广州航海学院

数字电子技术 实验报告

|  |  |
| --- | --- |
| 成绩 |  |

|  |  |  |  |
| --- | --- | --- | --- |
| 专业班级 |  | 实验日期 |  |
| 姓 名 |  | 学 号 |  |
| 实验名称 | 编码器、译码器、数据选择器的应用 | 指导教师 |  |

（报告内容包括实验目的、实验设备及器材、实验内容和要求、实验步骤、实验小结等）

**一、实验目的**

　　1、掌握中规模集成译码器的逻辑功能，用译码器实现组合逻辑函数

2、熟悉数码管的使用，及显示译码器的使用方法

3、掌握中规模集成数据选择器的逻辑功能及使用方法

4、学习用数据选择器构成组合逻辑电路的方法

**二、实验原理**

（一）译码器

译码器是一个多输入、多输出的组合逻辑电路。它的作用是把给定的代码进行“翻译”，变成相应的状态，使输出通道中相应的一路有信号输出。译码器在数字系统中有广泛的用途，不仅用于代码的转换、终端的数字显示，还用于数据分配，存贮器寻址和组合控制信号等。不同的功能可选用不同种类的译码器。

译码器可分为通用译码器和显示译码器两大类。前者又分为变量译码器和代码变换译码器。

1、变量译码器（又称二进制译码器），用以表示输入变量的状态，如2线－4线、3线－8线和4线－16线译码器。若有n个输入变量，则有2n个不同的组合状态，就有2n 个输出端供其使用。而每一个输出所代表的函数对应于n个输入变量的最小项。

以3线－8线译码器74LS138为例进行分析，图6－1(a)、(b)分别为其

逻辑图及引脚排列。

其中 A2 、A1 、A0 为地址输入端，～为译码输出端，S1、、为使能端。

当S1＝1，＋＝0时，器件使能，地址码所指定的输出端有信号（为0）输出，其它所有输出端均无信号（全为1）输出。当S1＝0，＋ ＝X时，或 S1＝X，＋＝1时，译码器被禁止，所有输出同时为1。



(a) (b)

图6－1 3－8线译码器74LS138逻辑图及引脚排列

表6－1

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输 入 | | | | | 输 出 | | | | | | | |
| S1 | + | A2 | A1 | A0 |  |  |  |  |  |  |  |  |
| 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |
| 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 0 | × | × | × | × | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| × | 1 | × | × | × | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

二进制译码器还能方便地实现逻辑函数，例如6－3所示，实现的逻辑函数是

Z＝＋ABC



图6－2 作数据分配器 图6－3 实现逻辑函数

**思考：用74LS138实现三输入的多数表决器，如何实现？**

2、数码显示译码器

a、七段发光二极管(LED)数码管

LED数码管是目前最常用的数字显示器，图6－5(a)、(b)为共阴管和共阳管的电路，(c)为两种不同出线形式的引出脚功能图。

一个LED数码管可用来显示一位0～9十进制数和一个小数点。小型数码管（0.5寸和0.36寸）每段发光二极管的正向压降，随显示光（通常为红、绿、黄、橙色）的颜色不同略有差别，通常约为2～2.5V，每个发光二极管的点亮电流在5～10mA。LED数码管要显示BCD码所表示的十进制数字就需要有一个专门的译码器，该译码器不但要完成译码功能，还要有相当的驱动能力。



(a) 共阴连接（“1”电平驱动） (b) 共阳连接（“0”电平驱动）



(c) 符号及引脚功能

图 6－5 LED数码管

b、BCD码七段译码驱动器

此类译码器型号有74LS47（共阳），74LS48（共阴），CC4511（共阴）等，本实验系采用CC4511 BCD码锁存／七段译码／驱动器。驱动共阴极LED数码管。

图6－6为CC4511引脚排列



图6－6 CC4511引脚排列

其中

A、B、C、D — BCD码输入端

a、b、c、d、e、f、g — 译码输出端，输出“1”有效，用来驱动共阴极LED数码管。

 — 测试输入端，＝“0”时，译码输出全为“1”

 — 消隐输入端，＝“0”时，译码输出全为“0”

LE — 锁定端，LE＝“1”时译码器处于锁定（保持）状态，译码输出保持在LE＝0时的数值，LE＝0为正常译码。

表6－2为CC4511功能表。CC4511内接有上拉电阻，故只需在输出端与

数码管笔段之间串入限流电阻即可工作。译码器还有拒伪码功能，当输入码超过1001时，输出全为“0”，数码管熄灭。

表6－2

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输 入 | | | | | | | 输 出 | | | | | | | |
| LE |  |  | D | C | B | A | a | b | c | d | e | f | g | 显示字形 |
| × | × | 0 | × | × | × | × | 1 | 1 | 1 | 1 | 1 | 1 | 1 |  |
| × | 0 | 1 | × | × | × | × | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 消隐 |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |  |
| 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |  |
| 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 |  |
| 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 |  |
| 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |  |
| 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 |  |
| 0 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 |  |
| 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |  |
| 0 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |  |
| 0 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 |  |
| 0 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 消隐 |
| 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 消隐 |
| 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 消隐 |
| 0 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 消隐 |
| 0 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 消隐 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 消隐 |
| 1 | 1 | 1 | × | × | × | × | 锁 存 | | | | | | | 锁存 |

在本数字电路实验装置上已完成了译码器CC4511和数码管BS202之间的连接。实验时，只要接通+5V电源和将十进制数的BCD码接至译码器的相应输入端A、B、C、D即可显示0～9的数字。四位数码管可接受四组BCD码输入。CC4511与LED数码管的连接如图6－7所示。

（二）数据选择器

数据选择器又叫“多路开关”。数据选择器在地址码（或叫选择控制）电位的控制下，从几个数据输入中选择一个并将其送到一个公共的输出端。数据选择器的功能类似一个多掷开关，如图7－1所示，图中有四路数据D0～D3，通过选择控制信号 A1、A0（地址码）从四路数据中选中某一路数据送至输出端Q。

数据选择器为目前逻辑设计中应用十分广泛的逻辑部件，它有2选1、4选1、8选1、16选1等类别。

数据选择器的电路结构一般由与或门阵列组成，也有用传输门开关和门电路混合而成的。

1、八选一数据选择器74LS151

74LS151为互补输出的8选1数据选择器，引脚排列如图7－2，功能如表7－1。

选择控制端（地址端）为A2～A0，按二进制译码，从8个输入数据D0～D7中，选择一个需要的数据送到输出端Q，为使能端，低电平有效。



图7－1 4选1数据选择器示意图 图 7－ 2 74LS151引脚排列

1. 使能端＝1时，不论A2～A0状态如何，均无输出（Q＝0，＝1），多

路开关被禁止。

1. 使能端＝0时，多路开关正常工作，根据地址码A2、A1、A0的状态选

择D0～D7中某一个通道的数据输送到输出端Q。

如：A2A1A0＝000，则选择D0数据到输出端，即Q＝D0。

如：A2A1A0＝001，则选择D1数据到输出端,即Q＝D1，其余类推。

表7－1

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 输 入 | | | | 输 出 | |
|  | A2 | A1 | A0 | Q |  |
| 1 | × | × | × | 0 | 1 |
| 0 | 0 | 0 | 0 | D0 |  |
| 0 | 0 | 0 | 1 | D1 |  |
| 0 | 0 | 1 | 0 | D2 |  |
| 0 | 0 | 1 | 1 | D3 |  |
| 0 | 1 | 0 | 0 | D4 |  |
| 0 | 1 | 0 | 1 | D5 |  |
| 0 | 1 | 1 | 0 | D6 |  |
| 0 | 1 | 1 | 1 | D7 |  |

2、双四选一数据选择器 74LS153

所谓双4选1数据选择器就是在一块集成芯片上有两个4选1数据选择器。引脚排列如图7－3，功能如表7－2。

表7－2



|  |  |  |  |
| --- | --- | --- | --- |
| 输 入 | | | 输 出 |
|  | A1 | A0 | Q |
| 1 | × | × | 0 |
| 0 | 0 | 0 | D0 |
| 0 | 0 | 1 | D1 |
| 0 | 1 | 0 | D2 |
| 0 | 1 | 1 | D3 |

图7－3 74LS153引脚功能

、为两个独立的使能端；A1、A0为公用的地址输入端；1D0～1D3和2D0～2D3分别为两个4选1数据选择器的数据输入端；Q1、Q2为两个输出端。

1）当使能端（）＝1时，多路开关被禁止，无输出，Q＝0。

2）当使能端（）＝0时，多路开关正常工作，根据地址码A1、A0的状态，将相应的数据D0～D3送到输出端Q。

如：A1A0＝00 则选择DO数据到输出端，即Q＝D0。

A1A0＝01 则选择D1数据到输出端，即Q＝D1，其余类推。

数据选择器的用途很多，例如多通道传输，数码比较，并行码变串行码，以及实现逻辑函数等。

例3：用4选1数据选择器74LS153实现函数



函数F的功能如表7－5所示

表7－5 表7－6

|  |  |  |  |
| --- | --- | --- | --- |
| 输 入 | | | 输出 |
| A | B | C | F |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 输 入 | | | 输出 | 中 选  数据端 |
| A | B | C | F |  |
| 0 | 0 | 0  1 | 0  0 | D0＝0 |
| 0 | 1 | 0  1 | 0  1 | D1＝C |
| 1 | 0 | 0  1 | 0  1 | D2＝C |
| 1 | 1 | 0  1 | 1  1 | D3＝1 |

函数F有三个输入变量A、B、C，而数据选择器有两个地址端A1、A0少于函数输入变量个数，在设计时可任选A接A1，B接A0。将函数功能表改画成7－6形式，可见当将输入变量A、B、C中

1. B接选择器的地址端A1、A0，由表7－6不难看出：

D0＝0， D1＝D2＝C， D3＝1

则4选1数据选择器的输出，便

实现了函数

接线图如图7－6所示。



图7－6 用4选1数据选择器

实现 

当函数输入变量大于数据选择器地址端（A）时，可能随着选用函数输入变量作地址的方案不同，而使其设计结果不同，需对几种方案比较，以获得最佳方案。

**思考：用数据选择器如何实现三输入的多数表决器？**

**三、实验设备与器件**

1、译码显示器CC4511 2、74LS20

3、共阴极数码管 4、74LS138、CC4511

5、数字电路实验箱 6、双踪示波器、万用表

7、数字电路实验箱 8、74LS153或74LS151



图6－7 CC4511驱动一位LED数码管

**四、实验内容**

（一）译码器

1、数据拨码开关及显示译码器CC4511的使用

将实验装置上的四组拨码开关的输出Ai、Bi、Ci、Di分别接至4组显示译码／驱动器CC4511的对应输入口，（LE、、接至三个逻辑开关的输出插口，内部已完成连接），接上+5V显示器的电源，然后按功能表6－2输入的要求揿动四个拨码开关，观测拨码盘上的四位数与LED数码管显示的对应数字是否一致，及译码显示是否正常。观察输入伪码时数码管的显示情况。

2、74LS138译码器逻辑功能测试，并用74LS138和74LS20实现三输入的多数表决器

将译码器使能端S1、、及地址端A2、A1、A0 分别接至逻辑电平开关输出口，八个输出端依次连接在逻辑电平显示器的八个输入口上，拨动逻辑电平开关，按表6－1逐项测试74LS138的逻辑功能。验证74LS138功能正常。

**设计电路，用74LS138及与非门实现三输入的多数表决器。写出设计过程、画出接线图，并将实验结果填入真值表进行验证。**

（二）数据选择器

1、测试74LS153的逻辑功能

测试方法及步骤同，验证数据选择器功能正常。

2、用4选1数据选择器74LS153实现三输入的多数表决器

1）写出设计过程

2）画出接线图

3）**将实验结果填入真值表，**验证所设计电路的逻辑功能

**五、实验预习要求**

1、复习有关译码器、显示译码器、数据选择器的原理。

2、根据实验任务，设计并画出所需的实验线路及记录表格。

**六、实验报告**

1、用译码器、数据选择器对实验内容进行设计、写出设计全过程、画出接线图、画出实验线路，列出真值表。进行逻辑功能测试；总结实验收获、体会。

1. 对实验结果进行分析、讨论。