四川大学计算机学院数字逻辑实验

实 验 报 告

学号：2020141460049 姓名：陈仲文 专业：计算机类 班级：行政四班 第 13 周

|  |  |  |  |
| --- | --- | --- | --- |
| 实验项目 | 制作加法器与全加器 | 实验时间 | 2020.11.23 |
| 实验目的 | 利用 Vivado 设计一个 2 位并行加法器 | | |
| 实验环境 | Vivado | | |
| 实验内容及步骤（含电路原理图/Verilog程序、管脚分配、仿真结果等；扩展内容也列入本栏） | 1.创建新工程。选择RTL工程，板卡代号设置为xc7a35tcpg236-1并对工程命名。  2.添加IP核。将实验室提供的IP压缩包解压后放在同一目录中，对工程进行IP设置时选择该目录进行检索，IP核会自动添加。  3.创建原理图并进行设定。点击Create Block Design，进入编辑模式。按实验手册所述的原理图添加适合的逻辑门，进行布线和端口定义。文件保存名为Fulladder.本实验中添加的端口以及名称定义如下。见图1和表1.    图1：实验原理设计图   |  |  | | --- | --- | | 实验手册所用端口名称 | 实际端口名称 | | a\_in | A | | b\_in | B | | c\_in | Cin | | s\_out | X | | c\_out | Cout |   表1：实验手册与真实实验端口名称对照表  4)生成顶层文件和 HDL 代码文件。确认设计无误后，保存文件，右击项目名称，选择生成顶层文件，完成后再选择创建HDL代码文件。  5）配置管脚约束。根据实验手册对照表，设置三个输入端和两个输出端的对应PIN如下,I/O Std设置为LVCMOS33.见图2、图3和表2.    图2：RTL模拟图    图3：实际端口的配置情况   |  |  |  | | --- | --- | --- | | 实际端口代号 | PIN | 端口意义 | | A | V17 | 加数 | | B | V16 | 被加数 | | Cin | W16 | 低位进位 | | Cout | U16 | 进位位 | | Xout | E19 | 和 |   表2：端口与PIN对照表  6)进行综合验证。点击Run synthesis，再依次选择Run Implementation，Generate Bitstream和Open Hardware Manager，完成工程实现，生成编译文件并开始板间验证。  7)验证。插入板卡，打开电源，在Vivado中打开该板卡，下载文件。进行验证。验证结果见图4至图11. | | |
| （接上）  实验内容及步骤（含电路原理图/Verilog程序、管脚分配、仿真结果等；扩展内容也列入本栏） | 图4    图5    图6    图7    图8    图9    图10    图11 | | |
| 实验结果分析 | 实验真值表如下。   |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | | 输入A | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | | 输入B | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | | 输入Cin | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | | 输出Cout | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | | 输出X | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 |   经过验证，上述真值表与实验手册所介绍的逻辑电路完全相同，可以达到加法器的作用，实验成功。 | | |
| 实验方案的缺陷及改进意见 | 1.在定义端口名称的时候，要尽量与实验手册所介绍的名称一致，否则数据查阅，验证情况和真值表的绘制将十分麻烦（因为还要把自己定义的端口名称与实验手册的进行匹配）。  2.输入管脚即使未使用，也不能定义为空，否则会引发错误，改进意见是在检查时确保所有引脚都已有有效定义。 | | |
| 心得体会、问题讨论 | 1.命名时绝对不能使用中文。  2.真值表的绘制要细心参考实验结果，不能出错。  3.本实验的原理图比较复杂，检查时应确认接线是否错误。 | | |
| 指导老师评 议 | 成绩评定： 指导教师签名： | | |

实验报告说明

数字逻辑课程组

**实验名称** 列入实验指导书相应的实验题目。

**实验目的** 目的要明确，要抓住重点，可以从理论和实践两个方面考虑。可参考实验指导书的内容。在理论上，验证所学章节相关的真值表、逻辑表达式或逻辑图的实际应用，以使实验者获得深刻和系统的理解，在实践上，掌握使用软件平台及设计的技能技巧。一般需说明是验证型实验还是设计型实验，是创新型实验还是综合型实验。

**实验环境** 实验用的软硬件环境（配置）。

**实验内容（**含电路原理图/Verilog程序、管脚分配、仿真结果等；扩展内容也列入本栏**）** 这是实验报告极其重要的内容。这部分要写明经过哪几个步骤。可画出流程图，再配以相应的文字说明，这样既可以节省许多文字说明，又能使实验报告简明扼要，清楚明白。

**实验结果分析** 数字逻辑的设计与实验结果的显示是否吻合，如出现异常，如何修正并得到正确的结果。

**实验方案的缺陷及改进意见** 在实验过程中发现的问题，个人对问题的改进意见。

**心得体会、问题讨论** 对本次实验的体会、思考和建议。