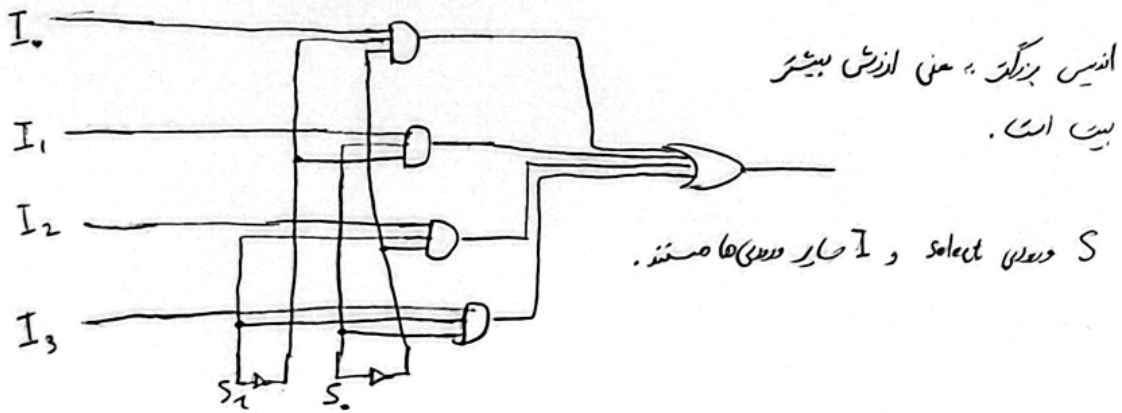


آزمایش محاسباتی کامپیوتر، پیش‌گزارش آزمایش 2

1- طراحی مدار 4 to 2 multiplexer:



2- طراحی مدار Encoder 4 to 2

ورودی فعال

I_0

I_1

I_2

I_3

O_1 O_0

0 0

0 1

1 0

1 1

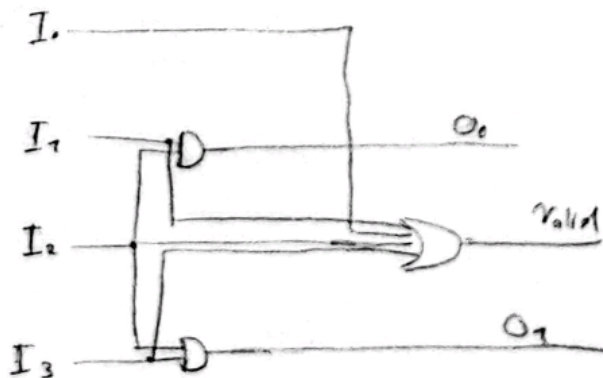
برای سایر حالتی که در جدول نیامده، don't care در نظر گرفته شده است.

$$O_0 = I_1 I_2$$

$$O_1 = I_2 I_3$$

کی خروجی valid هم در نظر می‌گیریم برای اینکه حالت $I[4] = 0000$ از حالت $I[3] = 0001$ متمایز شده شود.

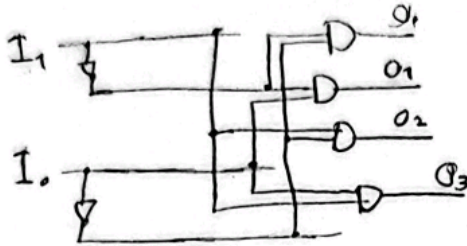
$$valid = I_0 + I_1 + I_2 + I_3$$



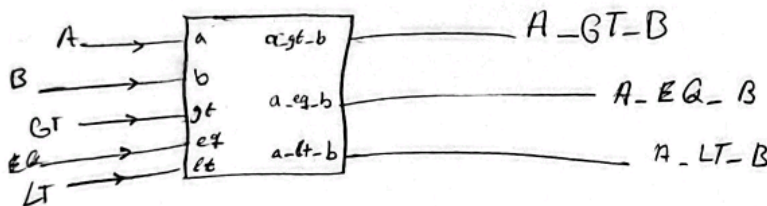
3- طراحی مدار : Decoder 2 to 4

باز طراحی کے لیے - 0 خرابی (0) و 1 دوسری (1) ہستند.

$$O_0 = I_1' I_0' \quad O_1 = I_1' I_0 \quad O_2 = I_1 I_0' \quad O_3 = I_1 I_0$$



4- طراحی مدار Comperator 2 بی :



ابتدا سیکل های simple-eq, simple-gt, و simple-lt طراحی کیکنیم. این سیکل ها طر
صرف a و b و بیت در نظر گرفتن و دوسری ها با هم مقایسه کیکنیم، پس، استاندارد از
این سیکل های میانی، خروجی ها کیکنیم :

$$a-gt-b = \text{simple-gt} + (\text{simple-eq}) \cdot (gt)$$

$$a-eq-b = (\text{simple-eq}) \cdot (eq)$$

$$a-lt-b = \text{simple-lt} + (\text{simple-lt}) \cdot (lt)$$

$$\text{simple-eq} = A' \oplus B = AB + A'B' = (AB' + A'B)'$$

$$\text{simple-gt} = AB'$$

$$\text{simple-lt} = A'B$$

آزمایش کاردینال و گزینش آزمون 2

