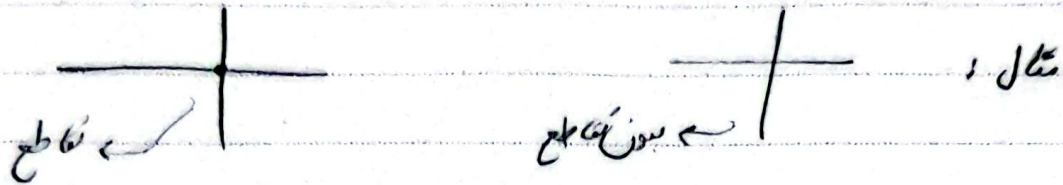


1) وظیفه یکی از روش های رایج، برای جلوگیری از اشباع، نقاط تقاطع

سیگنال ها با دایره های توپر مشخص شده اند.



2) در حل سوال 2، چون صورت سوال در مورد اینکه clock به کدام

به حساس باشد چیزی گفته نشده، فرض شده که clock به لایه پایین روند.

حساس است. این فرض منطقی بر طراحی D-FF در شکل یک

است.

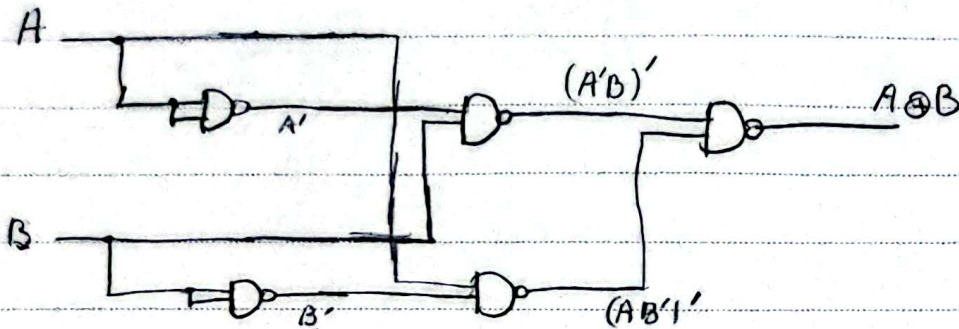
1) inverter: $A \rightarrow A'$
 $(A.A)' = A'$

پاسخ نمبر ۱

2) $A \oplus B = A'B + AB' = ((A'B)')' \cdot ((AB')')'$

De Morgan Law کے تحت

A و B کے درمیان

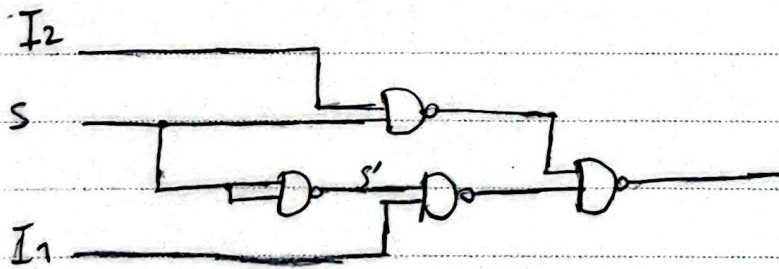


3) mux: $SI_2 + S'I_1$

select $\leftarrow S$

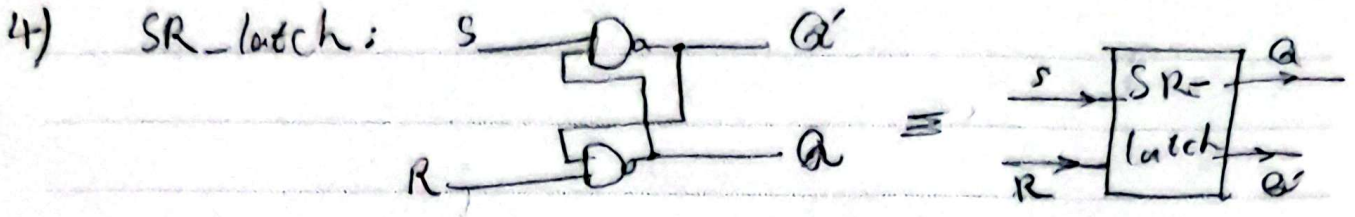
$= ((SI_2)' \cdot (S'I_1)')'$

MSB $\leftarrow I_2$ I_1 \leftarrow LSB



یہی طرحی D-FF، ابتداً از SR-latch شروع کی گئی، اجزائی مختلف تھے۔

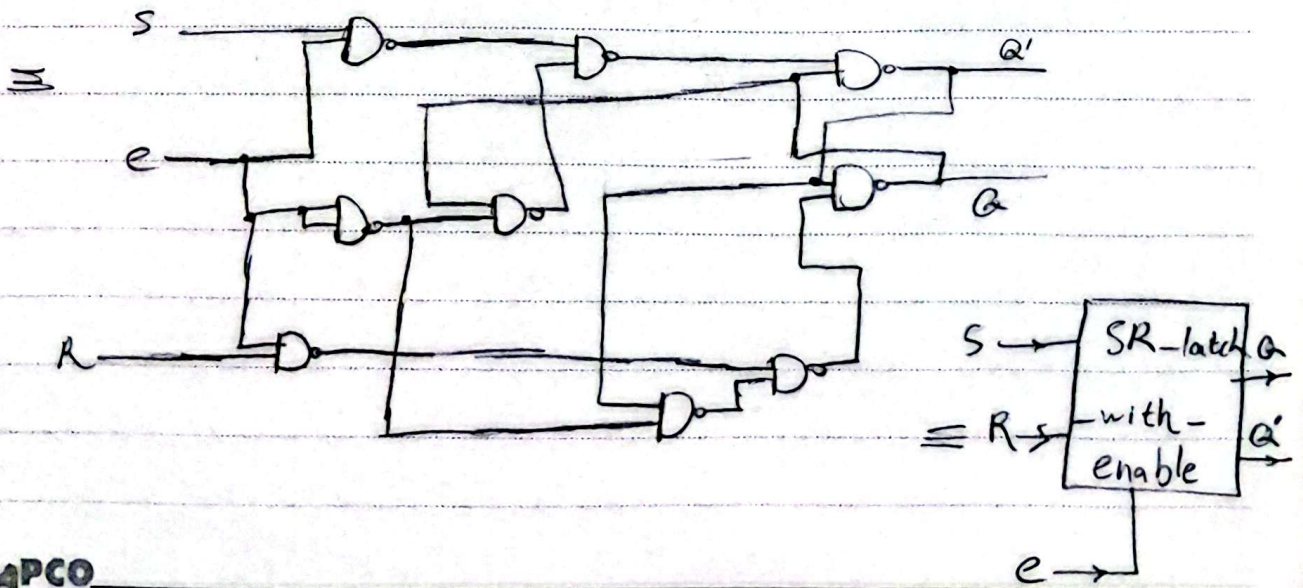
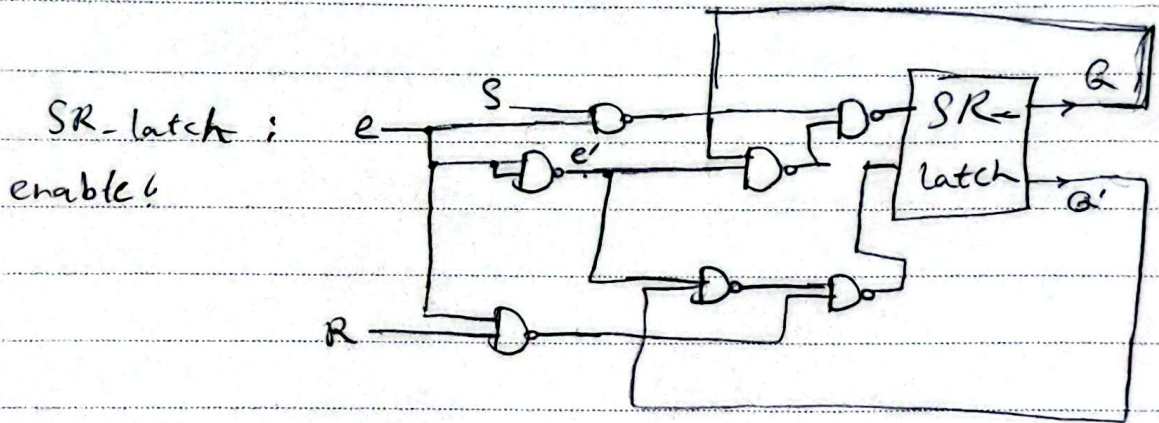
آج اساتذہ کی گئی تاکہ خواہی شکل دیکھیں۔



حال یک enable به آن اضافه می‌کنیم:

$$S_{\text{جدید}} = eS + e'Q = ((eS)_{\text{فصل}}, (e'Q)')' \quad \text{enable} \leftarrow e$$

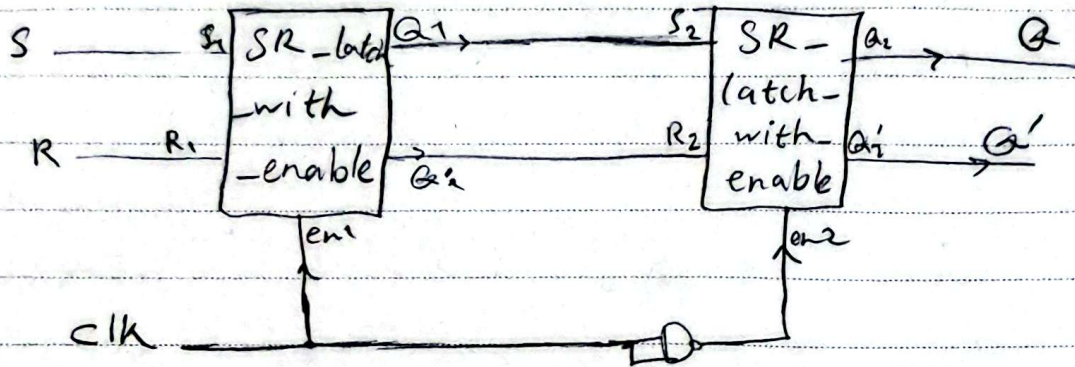
$$R_{\text{جدید}} = eR + e'Q' = ((eR)_{\text{فصل}}, (e'Q')')'$$



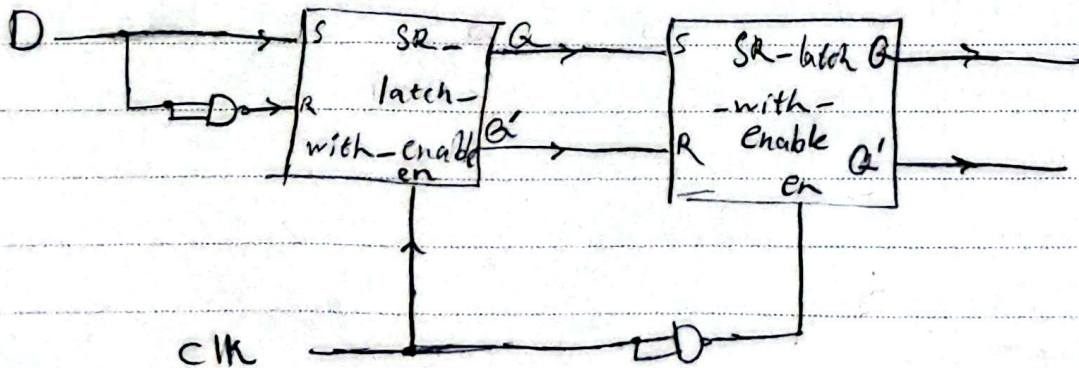
حال با استفاده از دو SR latch-with-enable یک SR-FF

ی بسازیم از نوع master-slave که حساس به لبه پائین رونده clock باشد.

clk ~ clock ورودی



حال FF با D-FF تبدیل می کنیم که حساس به لبه پائین رونده باشد.



حال یک بار load هم به D-FF اضافه می کنیم. حال یک بار load

(استاد گفتند FF با بار load داشته باشند) به آن اضافه می کنیم از طریق ورودی

$$(lc)' = l' + c'$$

کنیم می گیریم:

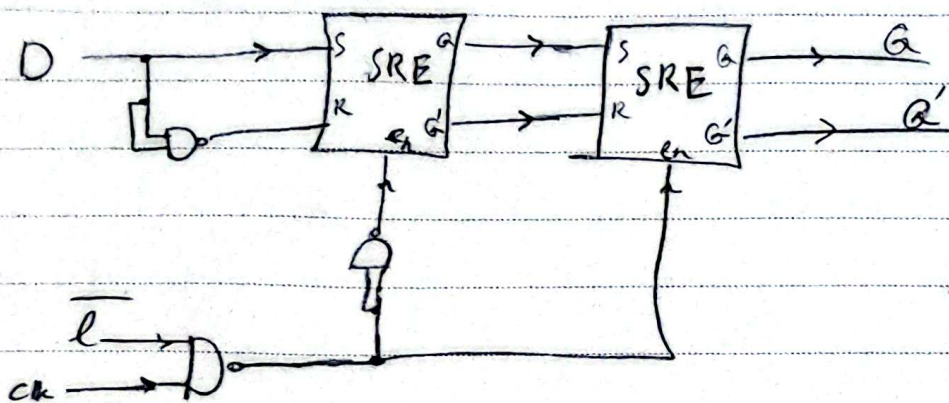
load ~ l
clk ~ c

می بینیم که اگر load ۱، صحت active-low در نظر بگیریم، طراحی بهتر

می شود. load همچنین در اینجا به کار گرفته شده که هنگام غیرفعال

شدن خروجی update نشود. از این به بعد هم به جای SR-latch-with-enable

از SRE برای سبکی استفاده می کنیم.

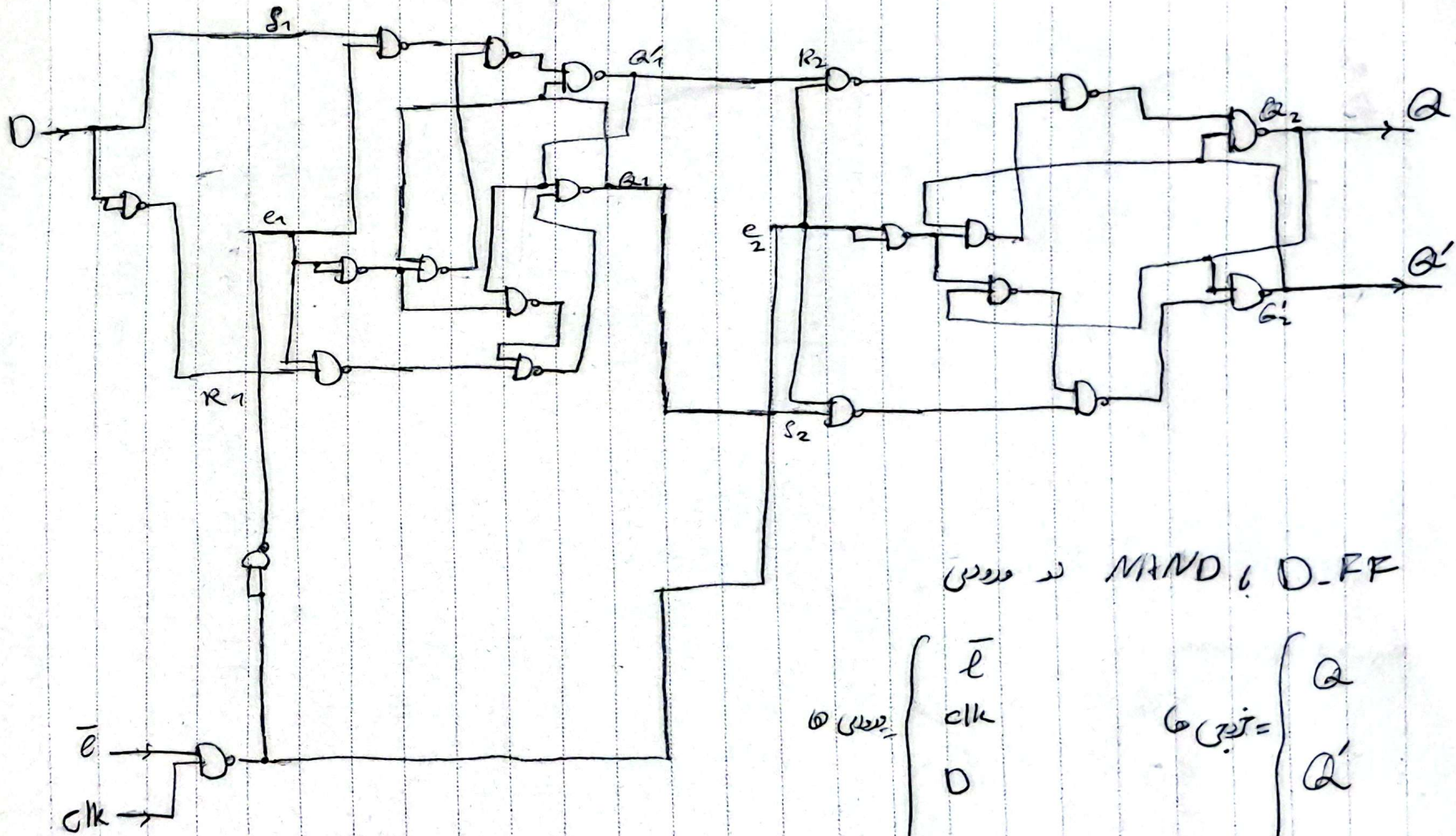


حال، تنها کافایت SRE ها را با یکدیگر می بینیم که طراحی کردیم.

حالا می بینیم که این کار در صفحه بعد انجام شده است.

$\bar{l} = 0 \rightarrow$ اجازه کار می دهد.

$\bar{l} = 1 \rightarrow$ اجازه کار نمی دهد.



AND, D-FF در ورودی

ورودی ها

$$\begin{cases} \bar{e} \\ clk \\ D \end{cases}$$

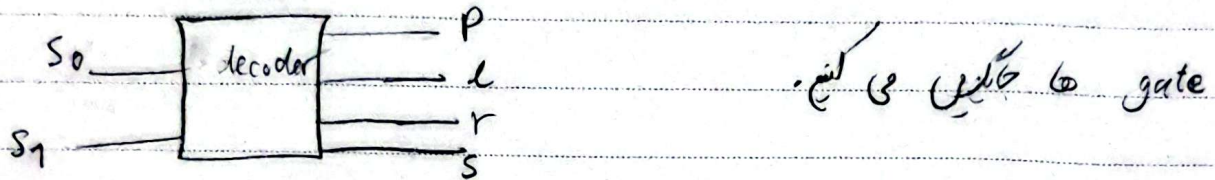
خروجی ها

$$\begin{cases} Q \\ Q' \end{cases}$$

پایه سوال دو) برای حل این سوال از D-FF کم در مسئله قبلی طراحی

شد استفاده می شود. ابتدا برای آسانی کار، فرض می کنیم یک decoder داریم؛

در ادامه با استفاده از ساده سازی های جبر بول، مدل را بهتر کرد decoder را با



l ← شیفتر، چپ

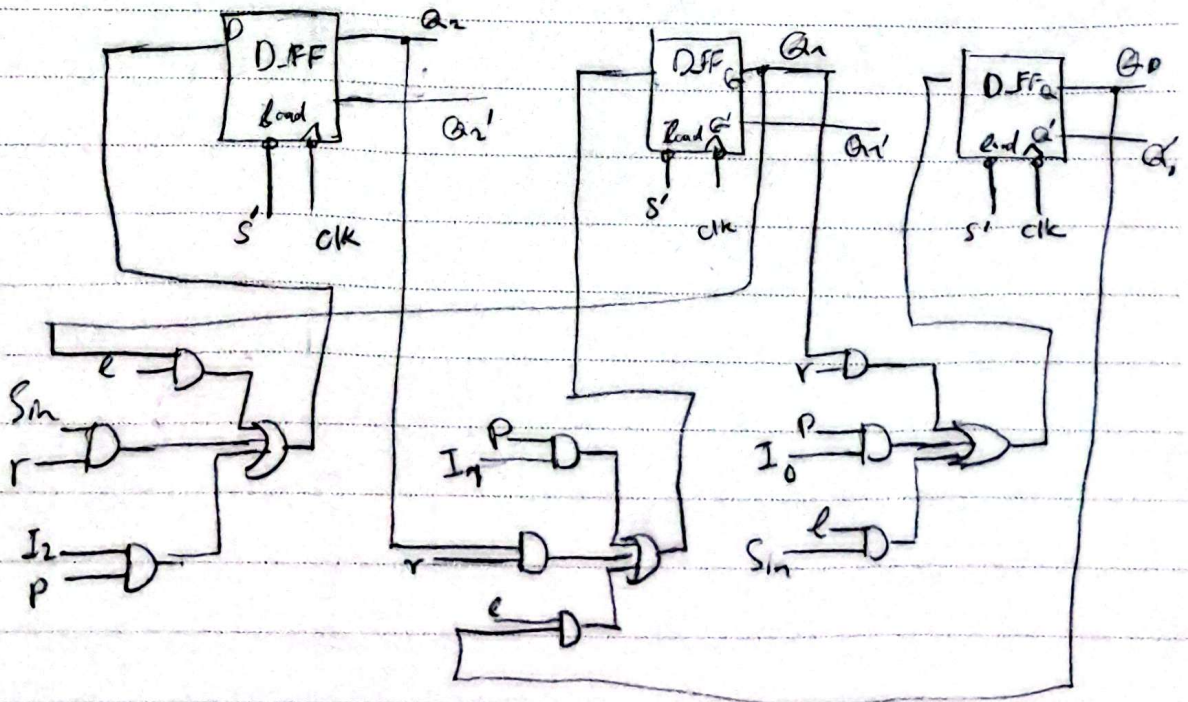
P ← ورودی مطلق

S ← حفظ مقدار قبلی

r ← شیفتر، راست

حال با فرض داشتن S, r, l, P, مدل را طراحی می کنیم.

Q_2



$$S' = (S_0' S_1')' = S_0 + S_1 \quad r = S_1 S_0'$$

$$l = S_1' S_0 \quad p = S_1 S_0$$

