

姓名: 张雨琪 学号: 11410047 实验日期: 2016.4.14

组合逻辑电路

1. 实验目的

- 掌握组合逻辑电路的功能测试;
- 验证半加器和全加器的逻辑功能;
- 掌握集成译码器及数据选择器的原理;
- 了解译码器及数据选择器的应用。

2. 预习要求

- 预习组合逻辑电路的分析方法;
- 阅读本实验所用各门电路 IC 的数据手册;
- 预习用与非门和异或门构成的半加器、全加器的工作原理;
- 预习二进制数的运算。

3. 实验器材

序号	名称	型号与规格	数量	备注
1	直流稳压电源	DP1308A	1	
2	数字示波器	TDS2012C	1	
3	函数信号发生器	DG1022	1	
4	模电数电综合试验箱	TPE-ADII	1	
5	元器件	74LS00 二输入端四与非门 3片, 74LS86 二输入端四异或门 1片, 74LS54 四组输入与或非门 1片, 74LS139 2-4线译码器 1片, 74LS153 双4选1数据选择器 1片。	7	

4. 实验内容

4.1 组合逻辑电路功能测试

用 2 片 74LS00 组成图 1.1 所示逻辑电路, 图中 U1A, U1B, U1C, U1D 为第一片 74LS00 的四个单元, U2A, U2B, U2D 为第二片 74LS00 的其中三个单元。图中输入 A、B、C 接电平开关, 输出 Y1、Y2 接 LED 电平指示。

按照表 1.1 改变 A、B、C 的状态, 根据 LED 电平指示填表, 并写出 Y1 和 Y2 的逻辑表达式。

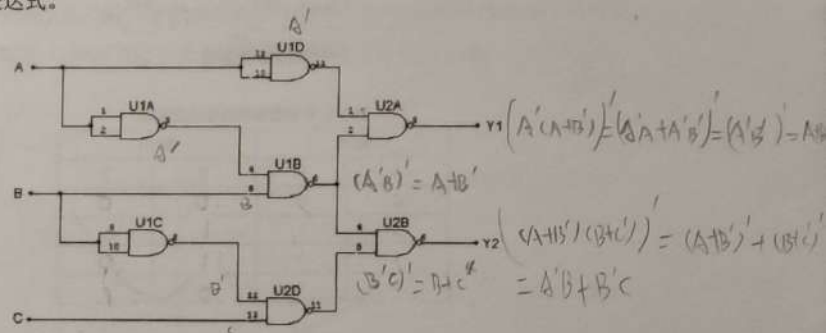


图 1.1 组合逻辑电路功能测试

表 1.1 组合逻辑电路功能测试

输入			输出	
A	B	C	Y1	Y2
0	0	0	0	0
0	0	1	0	1
0	1	1	1	1
1	1	1	1	0
1	1	0	1	0
1	0	0	1	0
1	0	1	1	1
0	1	0	1	1

Y1 = A+B

Y2 = A'B+B'C

4.2 半加器的逻辑功能测试

根据半加器的逻辑表达式可知，半加器 Y 是 A、B 的异或，而进位 Z 是 A、B 相与，故半加器可用一个集成异或门和两个与非门组成如图 2.1 所示的电路。其中输入 A、B 接电平开关，输出 Y、Z 接 LED 电平指示。按表 2.1 要求改变 A、B 的状态，填表。

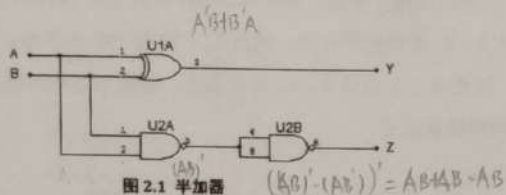


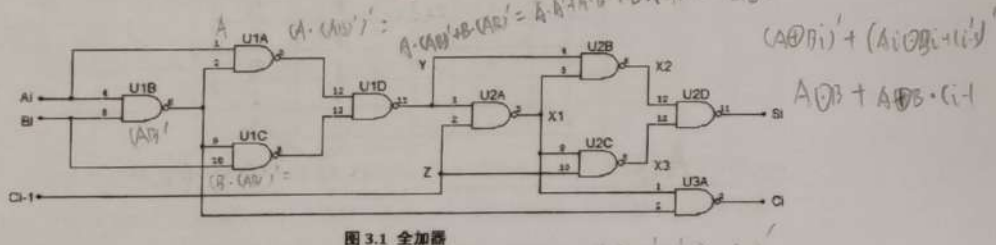
表 2.1 半加器电路逻辑功能测试

输入		输出	
A	B	Y	Z
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

4.3 全加器的逻辑功能测试

全加器电路如图 3.1 所示，写出以下逻辑表达式（请使用原始输入，不要使用中间结果）。

$Y = A \oplus B$ $Z = Ci-1$ $X1 = A \odot B + Ci-1$ $X2 = A \odot B + A \odot B \cdot Ci-1$
 $X3 = A \odot B + Ci-1$ $Si = A \oplus B \oplus Ci-1$ $Ci = (A \odot B) \cdot Ci-1 + AB$



根据以上逻辑表达式列真值表如表 3.1 所示，填写真值表

表 3.1 真值表

输入			输出						
Ai	Bi	Ci-1	Y	Z	X1	X2	X3	Si	Ci
0	0	0	0	0	1	1	1	0	0
0	0	1	0	1	1	1	0	1	0
0	1	0	1	0	1	0	1	1	0
0	1	1	1	1	0	1	1	0	1
1	0	0	1	0	1	0	1	1	0
1	0	1	1	1	0	1	1	0	1
1	1	0	0	0	1	1	1	0	1
1	1	1	0	1	1	1	0	1	1

根据真值表，画出逻辑函数 Si、Ci 的卡诺图

Si 的卡诺图

Ai \ Bi Ci-1	0 0	0 1	1 1	1 0
0	0	1	0	1
1	1	0	1	0

Ci 的卡诺图

Ai \ Bi Ci-1	0 0	0 1	1 1	1 0
0	0	0	1	0
1	0	1	1	1

按原理图选择与非门接线进行测试，检查逻辑功能是否与表 3.1 一致。

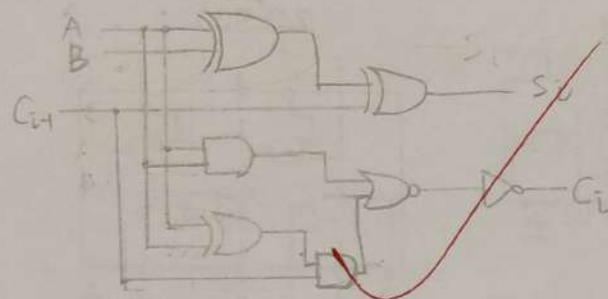
4.4 测试用异或、与或非门组成的全加器的逻辑功能

全加器可以用两个半加器和两个与门一个或门组成，在实验中，常用一块双异或门、一个与或非门（3-2-2-3 输入）和一个与非门实现。

画出用异或门、与或非门和与非门实现全加器的逻辑电路图，写出逻辑表达式。

$A \oplus B + A \odot B + Ci-1$

$(A \oplus B) + (A \odot B) \cdot Ci-1$



$$S_i = A \oplus B \oplus C_{i-1} \quad C_i = ((A \cdot B) + (A \oplus B) \cdot C_{i-1})'$$

找出异或门、与或非门以及与非门器件按自己画出的图连线，接线时注意与或非门中不用的与门输入端接地。

当输入端 A_i 、 B_i 及 C_{i-1} 接逻辑电平开关， S_i 和 C_i 接 LED 电平显示，填写下表。

输入端	A_i	0	0	0	0	1	1	1	1
	B_i	0	0	1	1	0	0	1	1
	C_{i-1}	0	1	0	1	0	1	0	1
输出端	S_i	0	1	1	0	1	0	0	1
	C_i	0	0	0	1	0	1	1	1

4.5 译码器功能测试

将 74LS139 译码器的管脚 1、2、3 接电平开关，管脚 4、5、6、7 接 LED 电平显示，接好电源和地，改变管脚 1、2、3 的状态，将结果记录于表 5.1。

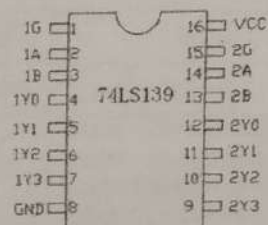


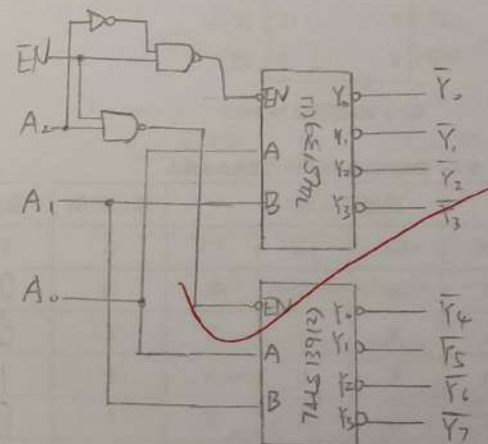
图 5.1 译码器 74LS139 引脚图

表 5.1 译码器 74LS139 逻辑功能测试

输入			输出			
使能	选择		Y_0	Y_1	Y_2	Y_3
G	B	A	Y_0	Y_1	Y_2	Y_3
H	X	X	1	1	1	1
L	L	L	0	1	1	1
L	L	H	1	0	1	1
L	H	L	1	1	0	1
L	H	H	1	1	1	0

4.6 译码器转换

将双 2-4 线译码器转换为带使能端的 3-8 线译码器 (可以额外增加与非门等逻辑门)，画出转换电路图并在实验箱上接线并验证设计是否正确。



$$\overline{EN(2)} = \overline{A_2 EN}$$

$$\overline{EN(1)} = \overline{A_2 EN}$$

4.7 数据选择器的测试及应用

将双4选1数据选择器74LS153的管脚如图7.1所示，将管脚1、2、14接入逻辑开关，连接电源，测试其功能并填写功能表7.1。

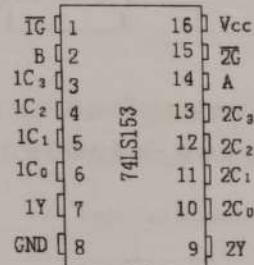


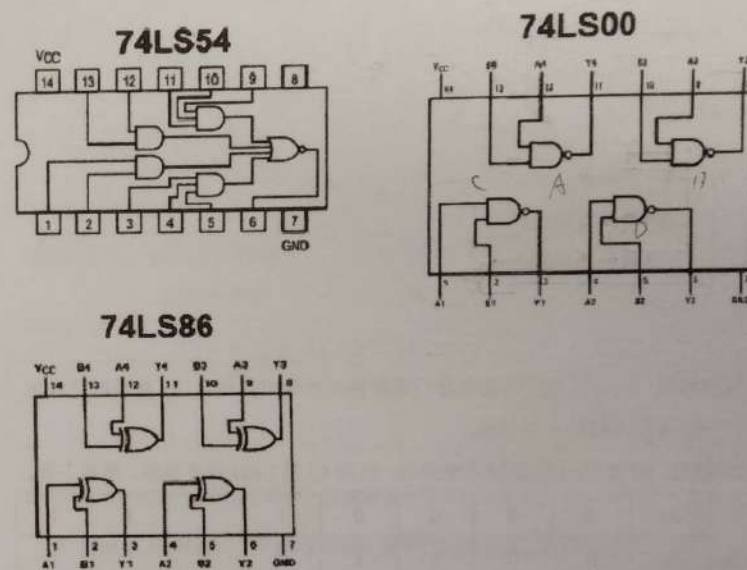
图 7.1 数据选择器 74LS153

表 7.1 数据选择器 74LS153 的逻辑功能测试

选择端		数据输入端				输出控制	输出
B	A	C0	C1	C2	C3	G	Y
X	X	X	X	X	X	H	0
L	L	L	X	X	X	L	0
L	L	H	X	X	X	L	1
L	H	X	L	X	X	L	0
L	H	X	H	X	X	L	1
H	L	X	X	L	X	L	0
H	L	X	X	H	X	L	1
H	H	X	X	X	L	L	0
H	H	X	X	X	H	L	1

将实验箱脉冲信号源中固定连续脉冲 4 个不同频率的信号接到数据选择器 4 个输入端 (3 脚接 80kHz, 4 脚接 40kHz, 5 脚接 20kHz, 6 脚接 10kHz), 将选择端置位, 在输出端用示波器可以观察到 4 种不同频率的脉冲信号。

附录: IC引脚图





姓名: 马强 学号: 11410172 实验日期: 2016.4.14

组合逻辑电路

1. 实验目的

- 掌握组合逻辑电路的功能测试;
- 验证半加器和全加器的逻辑功能;
- 掌握集成译码器及数据选择器的原理;
- 了解译码器及数据选择器的应用。

2. 预习要求

- 预习组合逻辑电路的分析方法;
- 阅读本实验所用各门电路 IC 的数据手册;
- 预习用与非门和异或门构成的半加器、全加器的工作原理;
- 预习二进制数的运算。

3. 实验器材

序号	名称	型号与规格	数量	备注
1	直流稳压电源	DP1308A	1	
2	数字示波器	TDS2012C	1	
3	函数信号发生器	DG1022	1	
4	模电数电综合试验箱	TPE-ADII	1	
5	元器件	74LS00 二输入端四与非门 3片, 74LS86 二输入端四异或门 1片, 74LS54 四组输入与或非门 1片, 74LS139 2-4线译码器 1片, 74LS153 双4选1数据选择器 1片。	7	



4. 实验内容

4.1 组合逻辑电路功能测试

用 2 片 74LS00 组成图 1.1 所示逻辑电路, 图中 U1A, U1B, U1C, U1D 为第一片 74LS00 的四个单元, U2A, U2B, U2D 为第二片 74LS00 的其中三个单元。图中输入 A、B、C 接电平开关, 输出 Y1、Y2 接 LED 电平指示。

按照表 1.1 改变 A、B、C 的状态, 根据 LED 电平指示填表, 并写出 Y1 和 Y2 的逻辑表达式。

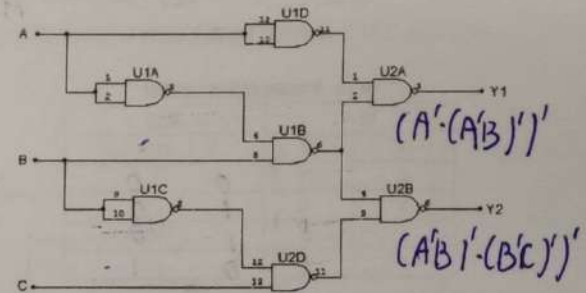


图 1.1 组合逻辑电路功能测试

表 1.1 组合逻辑电路功能测试

输入			输出	
A	B	C	Y1	Y2
0	0	0	0	0
0	0	1	0	1
0	1	1	1	1
1	1	1	1	0
1	1	0	1	0
1	0	0	1	0
1	0	1	1	1
0	1	0	1	1

Y1 = A+B

Y2 = A'B+B'

4.2 半加器的逻辑功能测试

根据半加器的逻辑表达式可知，半加器 Y 是 A、B 的异或，而进位 Z 是 A、B 相与，故半加器可用一个集成异或门和两个与门组成如图 2.1 所示的电路。其中输入 A、B 接电平开关，输出 Y、Z 接 LED 电平指示。按表 2.1 要求改变 A、B 的状态，填表。

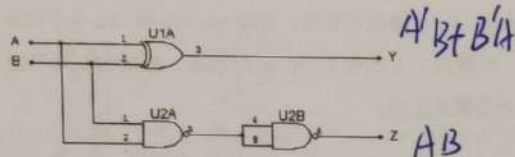


图 2.1 半加器

表 2.1 半加器电路逻辑功能测试

输入		输出	
A	B	Y	Z
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

4.3 全加器的逻辑功能测试

全加器电路如图 3.1 所示，写出以下逻辑表达式（请使用原始输入，不要用中间结果）。

$Y = A_i \oplus B_i$ $Z = C_{i-1}$ $X1 = C_{i-1} + A_i \odot B_i$ $X2 = C_{i-1} + A_i \odot B_i$
 $X3 = C_{i-1} + A_i \odot B_i$ $S_i = (A_i \oplus B_i) \oplus C_{i-1}$ $C_i = A_i B_i + C_{i-1}(A_i \oplus B_i)$

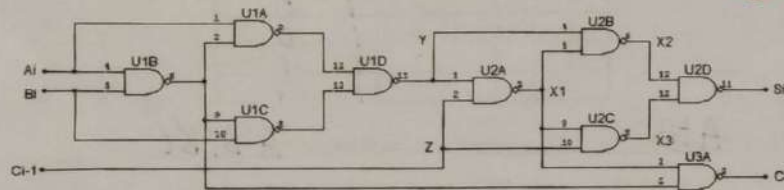


图 3.1 全加器

根据以上逻辑表达式列真值表如表 3.1 所示，填写真值表

$(A+B)(A+B)$
 $A'B + B'A$ $A+B$
 C_{i-1}

表 3.1 真值表

输入			输出						
Ai	Bi	Ci-1	Y	Z	X1	X2	X3	Si	Ci
0	0	0	0	0	1	1	1	0	0
0	0	1	0	1	1	1	0	1	0
0	1	0	1	0	1	0	1	1	0
0	1	1	1	1	0	1	1	0	1
1	0	0	1	0	1	0	1	1	0
1	0	1	0	1	0	1	1	0	1
1	1	0	0	0	1	1	0	0	1
1	1	1	0	1	1	1	0	1	1

根据真值表，画出逻辑函数 Si、Ci 的卡诺图

Ai \ Bi Ci-1	0 0	0 1	1 1	1 0
0	0	1	0	1
1	1	0	1	0

Ai \ Bi Ci-1	0 0	0 1	1 1	1 0
0	0	0	1	0
1	0	1	1	1

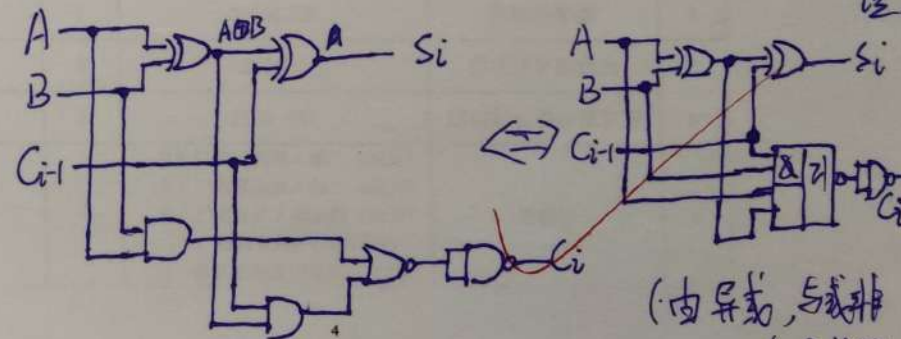
按原理图选择与非门接线进行测试，检查逻辑功能是否与表 3.1 一致。

4.4 测试用异或、与或非门组成的全加器的逻辑功能

全加器可以用两个半加器和两个与门一个或门组成，在实验中，常用一块双异或门、一个与或非门（3-2-2-3 输入）和一个与非门实现。

画出用异或门、与或非门和与非门实现全加器的逻辑电路图，写出逻辑表达式。

$S_i = A \oplus B \oplus C_{i-1}$ $C_i = AB + (A \oplus B)C_{i-1}$
 S_i 为结果和， C_i 为进位下一级（ $i-1$ 为上一级进位）



（由异或、与或非和与非门实现）

找出异或门、与或非门以及与非门器件按自己画出的图连线，接线时注意与或非门中不用的与门输入端接地。

当输入端 A_i 、 B_i 及 C_{i-1} 接逻辑电平开关， S_i 和 C_i 接 LED 电平显示，填写下表。

输入端	A_i	0	0	0	0	1	1	1	1
	B_i	0	0	1	1	0	0	1	1
	C_{i-1}	0	1	0	1	0	1	0	1
输出端	S_i	0	1	1	0	1	0	0	1
	C_i	0	0	0	1	0	1	1	1

4.5 译码器功能测试

将 74LS139 译码器的管脚 1、2、3 接电平开关，管脚 4、5、6、7 接 LED 电平显示，接好电源和地，改变管脚 1、2、3 的状态，将结果记录于表 5.1。

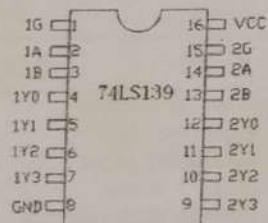


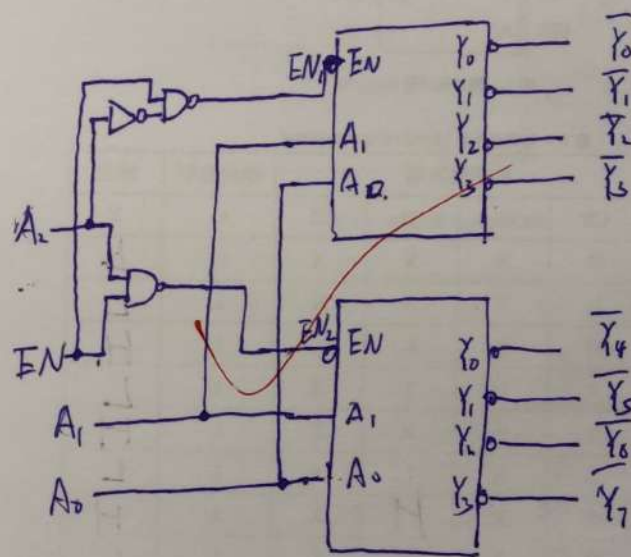
图 5.1 译码器 74LS139 引脚图

表 5.1 译码器 74LS139 逻辑功能测试

输入			输出			
使能	选择		Y0	Y1	Y2	Y3
G	B	A				
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	L	H	H	L	L	H
L	H	L	H	L	L	H
L	H	H	H	H	L	L

4.6 译码器转换

将双2-4线译码器转换为带使能端的3-8线译码器(可以额外增加与非门等逻辑门)，画出转换电路图并在实验箱上接线并验证设计是否正确。



4.7 数据选择器的测试及应用

将双4选1数据选择器74LS153的管脚如图7.1所示，将管脚1、2、14接入逻辑开关，连接电源，测试其功能并填写功能表7.1。

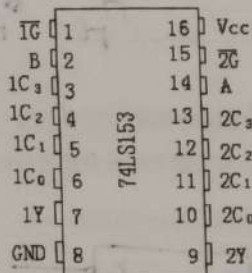


图 7.1 数据选择器 74LS153

表 7.1 数据选择器 74LS153 的逻辑功能测试

选择端		数据输入端				输出控制	输出
B	A	C0	C1	C2	C3	G	Y
X	X	X	X	X	X	H	L
L	L	L	X	X	X	L	L
L	L	H	X	X	X	L	H
L	H	X	L	X	X	L	L
L	H	X	H	X	X	L	H
H	L	X	X	L	X	L	L
H	L	X	X	H	X	L	H
H	H	X	X	X	L	L	L
H	H	X	X	X	H	L	H

将实验箱脉冲信号源中固定连续脉冲 4 个不同频率的信号接到数据选择器 4 个输入端（3 脚接 80kHz，4 脚接 40kHz，5 脚接 20kHz，6 脚接 10kHz），将选择端置位，在输出端用示波器可以观察到 4 种不同频率的脉冲信号。

附录：IC引脚图

