

姓名: 曾鼎轩 学号: 11410571 实验日期: 6.3.24

CMOS 门电路测试

99

1. 实验目的

- 熟悉 CMOS 门电路功能测试的方法;
- 学会 CMOS 门电路外特性的测试方法;
- 比较 CMOS 门和 TTL 门的特点。

2. 预习要求

- 复习门电路工作原理及相应逻辑表达式;
- 阅读本实验所用各门电路 IC 的数据手册;
- 熟悉所用集成电路的引线位置及各引线用途;
- 了解 CMOS 门与 TTL 门电路的差异。

3. 实验器材

序号	名称	型号与规格	数量	备注
1	直流稳压电源	DP1308A	1	
2	数字示波器	TDS2012C	1	
3	函数信号发生器	DG1022	1	
4	面包板		1	
5	元器件	74LS00 1片, CD4001 1片, CD4011 1片, 50K电位器一只 LED, 电阻若干	4	

4. 实验内容

4.1 CMOS 芯片 CD4001 功能测试

CMOS 集成电路 4000 系列芯片具有较宽的电源电压使用范围, 在+3~+18V

都可以使用。

CMOS 门电路的逻辑高、低电平取值和 TTL 门电路略有不同, 通常高电平为 V_{DD} , 低电平为 0V, 本实验电源电压 $V_{DD} = +5V$ 。

按照表 1.1 在输入端加不同的输入逻辑电平, 用电压表测试相应的输出值, 完成下列真值表。

注意: CMOS 门电路的多余输入端不允许悬空。

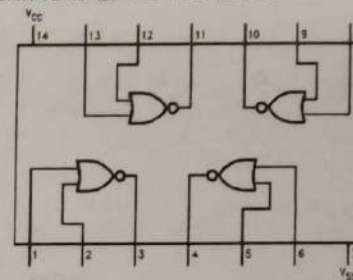


图 1.1 CD4001

表 1.1 CD4001 逻辑功能测试

输入								输出			
1	2	5	6	8	9	12	13	3	4	10	11
0	0	0	1	1	0	1	1	1	0	0	0
0	1	1	1	1	1	1	1	0	/	/	/
1	0	0	0	0	0	0	0	0	/	/	/
1	1	1	1	1	1	1	1	0	/	/	/

4.2 CMOS 门电路 CD4001 电压传输特性测试

按图1.2所示接线, 先令 $V_{DD} = +10V$, 调节电位器 R_p 的阻值, 使 V_i 在 $0 \sim V_{DD}$ 变化, 测量 V_o 随 V_i 变化的特性曲线。

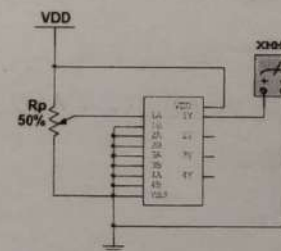


图 1.2 CD4001 电压传输特性测试

记录实验数据，画出电压传输特性曲线 $V_o = f(V_i)$ ，改变 V_{DD} 的值，使其分别为 +5V，+15V，重复上述实验，并在同一坐标中画出不同电源电压下的传输特性曲线。

+10V

V_i	2.00	4.00	4.50	4.82	4.60	5.00	6.00
V_o	9.99	9.98	9.94	0.009	0.004	0.002	0.001

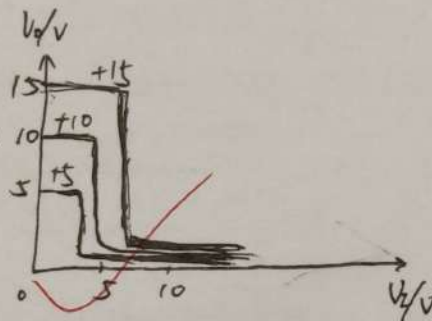
+5V

V_i	1.00	2.14	2.16	4.00
V_o	4.99	4.99	0.001	0.001

+15V

V_i	4.00	6.54	6.90	7.10	9.00	13.00
V_o	14.99	14.98	13.50	0.012	0.005	0.002

单位: V



4.3 CD4001平均传输时间 T_{PD} 的测量

按图1.3所示接线，图中 $V_{DD} = +5V$ ，CP输入连续脉冲，观察 V_i 与CP的异同，用双踪示波器观察并记录 V_i ， V_o 的波形，测出CD4001芯片的 T_{PD} 值 43.5ns。将CD4001芯片换成CD4011芯片，测出CD4011芯片的 T_{PD} 值 54.5ns 和TTL门电路的 T_{PD} 比较，从中得出什么结论？

TTL平均传输时间比CMOS要短。

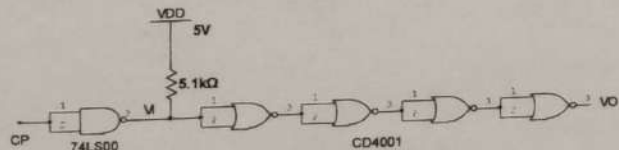


图 1.3 CD4001 平均传输时间的测量

5. 思考题

1. CMOS门电路多余的输入端在使用时不允许悬空，其理由是什么？

输入阻抗高。

因为它是压控元件，输入端信号易受外界影响。

2. 一般的CMOS门电路能否进行“线与”？为什么？若要将CMOS门的输出进行逻辑与，应该采取什么方法？

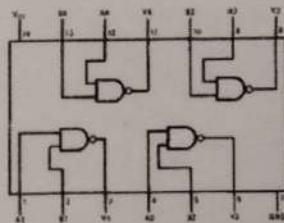
不能，直接线与可能会造成逻辑混乱。

比如一个低电平和一个高电平输出线与后，两个门电路内阻大约相等，而输出电压为 $\frac{1}{2}V_{DD}$ 造成了逻辑混乱。将输出极电路结构

附录：IC引脚图

变成一个漏极开路输出的MOS管构成OD门。

74LS00



姓名: 李博达 学号: 11410093 实验日期: 3.24

CMOS 门电路测试

1. 实验目的

- 熟悉 CMOS 门电路功能测试的方法;
- 学会 CMOS 门电路外特性的测试方法;
- 比较 CMOS 门和 TTL 门的特点。

2. 预习要求

- 复习门电路工作原理及相应逻辑表达式;
- 阅读本实验所用各门电路 IC 的数据手册;
- 熟悉所用集成电路的引线位置及各引线用途;
- 了解 CMOS 门与 TTL 门电路的差异。

3. 实验器材

序号	名称	型号与规格	数量	备注
1	直流稳压电源	DP1308A	1	
2	数字示波器	TDS2012C	1	
3	函数信号发生器	DG1022	1	
4	面包板		1	
5	元器件	74LS00 1片, CD4001 1片, CD4011 1片, 50K电位器一只 LED, 电阻若干	4	

4. 实验内容

4.1 CMOS 芯片 CD4001 功能测试

CMOS 集成电路 4000 系列芯片具有较宽的电源电压使用范围, 在+3~+18V

都可以使用。

CMOS 门电路的逻辑高、低电平取值和 TTL 门电路略有不同, 通常高电平为 V_{DD} , 低电平为 0V, 本实验电源电压 $V_{DD} = +5V$ 。

按照表 1.1 在输入端增加不同的输入逻辑电平, 用电压表测试相应的输出值, 完成下列真值表。

注意: CMOS 门电路的多余输入端不允许悬空。

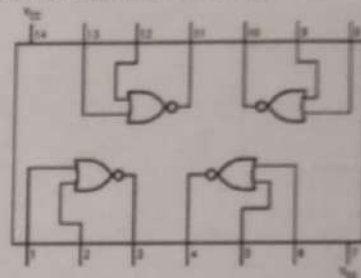


图 1.1 CD4001

表 1.1 CD4001 逻辑功能测试

输入								输出			
1	2	5	6	8	9	12	13	3	4	10	11
0	0	0	1	1	0	1	1	1	1	1	1
0	1	1	1	1	1	1	1	0	1	1	1
1	0	0	0	0	0	0	0	0	1	1	1
1	1	1	1	1	1	1	1	0	1	1	1

4.2 CMOS 门电路 CD4001 电压传输特性测试

按图 1.2 所示接线, 先令 $V_{DD} = +10V$, 调节电位器 R_p 的阻值, 使 V_i 在 $0 \sim V_{DD}$ 变化, 测量 V_o 随 V_i 变化的特性曲线。

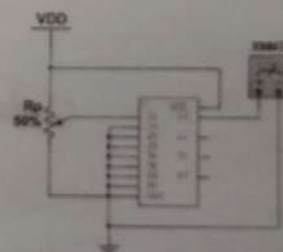
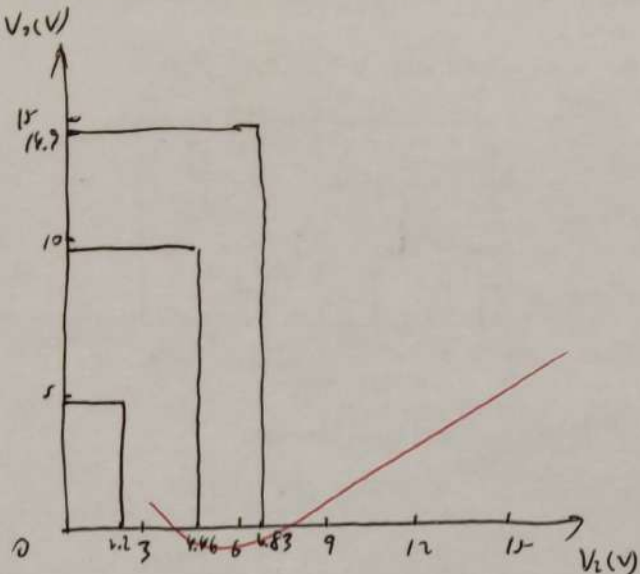


图 1.2 CD4001 电压传输特性测试

记录实验数据，画出电压传输特性曲线 $V_o = f(V_i)$ ，改变 V_{DD} 的值，使其分别为 +5V，+15V，重复上述实验，并在同一坐标中画出不同电源电压下的传输特性曲线。 $V_o(V)$



4.3 CD4001平均传输时间 T_{PD} 的测量

按图1.3所示接线，图中 $V_{DD} = +5V$ ，CP输入连续脉冲，观察 V_i 与CP的异同，用双踪示波器观察并记录 V_i ， V_o 的波形，测出CD4001芯片的 T_{PD} 值 63.0ns。将CD4001芯片换成CD4011芯片，测出CD4011芯片的 T_{PD} 值 62.1ns。和TTL门电路的 T_{PD} 比较，从中得出什么结论？

CMOS 的 T_{PD} 比 TTL 大，而 CMOS 的功耗低

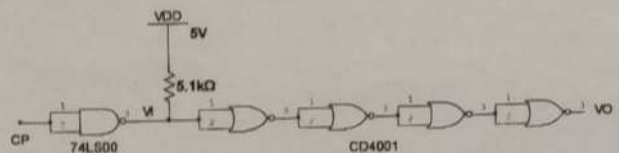


图 1.3 CD4001 平均传输时间的测量

5. 思考题

1. CMOS门电路多余的输入端在使用时不允许悬空，其理由是什么？

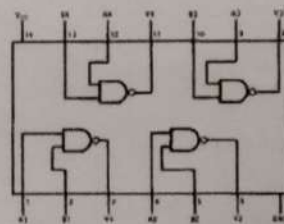
CMOS 集成电路的输入阻抗很高，输入端悬空，会受到感应信号干扰而误认为是有效输入信号而输出错误输出

2. 一般的CMOS门电路能否进行“线与”？为什么？若要将CMOS门的输出进行逻辑与，应该采取什么方法？

不能，因为输出端内阻不能忽略会产生逻辑混乱。需要漏极开路，再上拉一个电阻。

附录：IC引脚图

74LS00



姓名: 李兆华 学号: 11410581 实验日期: 3.24

CMOS 门电路测试

1. 实验目的

- 熟悉 CMOS 门电路功能测试的方法;
- 学会 CMOS 门电路外特性的测试方法;
- 比较 CMOS 门和 TTL 门的特点。

2. 预习要求

- 复习门电路工作原理及相应逻辑表达式;
- 阅读本实验所用各门电路 IC 的数据手册;
- 熟悉所用集成电路的引线位置及各引线用途;
- 了解 CMOS 门与 TTL 门电路的差异。

3. 实验器材

序号	名称	型号与规格	数量	备注
1	直流稳压电源	DP1308A	1	
2	数字示波器	TDS2012C	1	
3	函数信号发生器	DG1022	1	
4	面包板		1	
5	元器件	74LS00 1片, CD4001 1片, CD4011 1片, 50K电位器一只 LED, 电阻若干	4	

4. 实验内容

4.1 CMOS 芯片 CD4001 功能测试

CMOS 集成电路 4000 系列芯片具有较宽的电源电压使用范围, 在+3~+18V

都可以使用。

CMOS 门电路的逻辑高、低电平取值和 TTL 门电路略有不同, 通常高电平为 V_{DD} , 低电平为 0V, 本实验电源电压 $V_{DD} = +5V$ 。

按照表 1.1 在输入端加不同的输入逻辑电平, 用电压表测试相应的输出值, 完成下列真值表。

注意: CMOS 门电路的多余输入端不允许悬空。

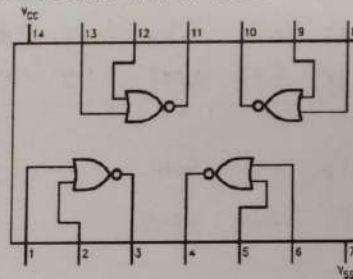


图 1.1 CD4001

表 1.1 CD4001 逻辑功能测试

输入								输出			
1	2	5	6	8	9	12	13	3	4	10	11
0	0	0	1	1	0	1	1	/	0	0	0
0	1	1	1	1	1	1	1	0	/	/	/
1	0	0	0	0	0	0	0	0	/	/	/
1	1	1	1	1	1	1	1	0	/	/	/

4.2 CMOS 门电路 CD4001 电压传输特性测试

按图 1.2 所示接线, 先令 $V_{DD} = +10V$, 调节电位器 R_p 的阻值, 使 V_i 在 $0 \sim V_{DD}$ 变化, 测量 V_o 随 V_i 变化的特性曲线。

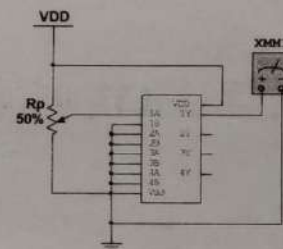


图 1.2 CD4001 电压传输特性测试

记录实验数据，画出电压传输特性曲线 $V_O = f(V_I)$ ，改变 V_{DD} 的值，使其分别为 +5V，+15V，重复上述实验，并在同一坐标中画出不同电源电压下的传输特性曲线。

+10V

V_I	2.00	4.00	4.50	4.52	4.60	5.00	8.00
V_O	9.99	9.98	9.94	0.009	0.004	0.002	0.001

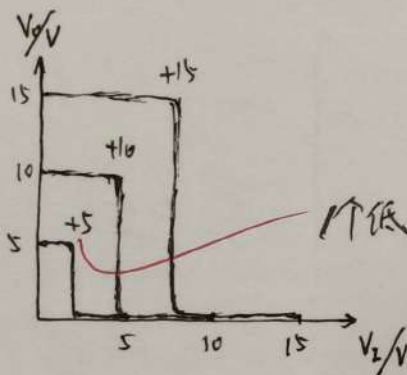
+5V

V_I	1.00	2.14	2.16	4.00
V_O	4.99	4.99	0.0001	0.0001

+15V

V_I	4.00	6.54	6.90	7.10	9.00	13.00
V_O	14.99	14.98	13.50	0.012	0.005	0.002

单位: V



4.3 CD4001平均传输时间 T_{PD} 的测量

按图1.3所示接线，图中 $V_{DD} = +5V$ ，CP输入连续脉冲，观察 V_I 与CP的异同，用双踪示波器观察并记录 V_I ， V_O 的波形，测出CD4001芯片的 T_{PD} 值 43.5ns。

将CD4001芯片换成CD4011芯片，测出CD4011芯片的 T_{PD} 值 54.5。和TTL门电路的 T_{PD} 比较，从中得出什么结论？

CMOS管平均传输时间比TTL的短长

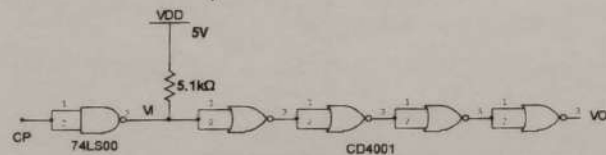


图 1.3 CD4001 平均传输时间的测量

5. 思考题

1. CMOS门电路多余的输入端在使用时不允许悬空，其理由是什么？

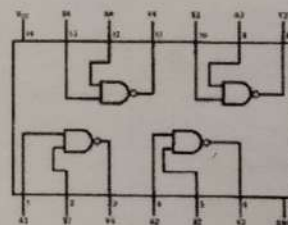
MOS管在电路中是压控元件，输入端阻抗大，信号易受外界干扰（如静电电压）

2. 一般的CMOS门电路能否进行“线与”？为什么？若要将CMOS门的输出进行逻辑与，应该采取什么方法？

不能，直接线与可能造成逻辑混乱，例如多个高电平输出并联后再与一个低电平，两个高电平输出线与后，两个门电路内电阻大约相同，此时输出电压约为 $\frac{1}{2}V_{DD}$ ，会造成逻辑混乱。

附录：IC引脚图

74LS00



应该将输出级电路结构改为一个漏极开路输出的MOS管，构成漏极开路输出(OD门)。

姓名: 陈朋 学号: 11410546 实验日期: 3.24

CMOS 门电路测试

1. 实验目的

- 熟悉 CMOS 门电路功能测试的方法;
- 学会 CMOS 门电路外特性的测试方法;
- 比较 CMOS 门和 TTL 门的特点。

2. 预习要求

- 复习门电路工作原理及相应逻辑表达式;
- 阅读本实验所用各门电路 IC 的数据手册;
- 熟悉所用集成电路的引线位置及各引线用途;
- 了解 CMOS 门与 TTL 门电路的差异。

3. 实验器材

序号	名称	型号与规格	数量	备注
1	直流稳压电源	DP1308A	1	
2	数字示波器	TDS2012C	1	
3	函数信号发生器	DG1022	1	
4	面包板		1	
5	元器件	74LS00 1片, CD4001 1片, CD4011 1片, 50K电位器一只 LED, 电阻若干	4	

4. 实验内容

4.1 CMOS 芯片 CD4001 功能测试

CMOS 集成电路 4000 系列芯片具有较宽的电源电压使用范围, 在+3~+18V

都可以使用。

CMOS 门电路的逻辑高、低电平取值和 TTL 门电路略有不同, 通常高电平为 V_{DD} , 低电平为 0V, 本实验电源电压 $V_{DD} = +5V$ 。

按照表 1.1 在输入端加不同的输入逻辑电平, 用电压表测试相应的输出值, 完成下列真值表。

注意: CMOS 门电路的多余输入端不允许悬空。

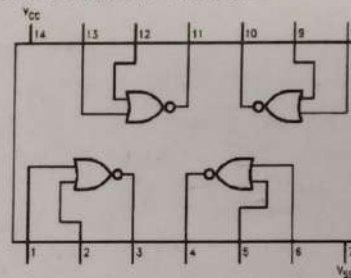


图 1.1 CD4001

表 1.1 CD4001 逻辑功能测试

输入								输出			
1	2	5	6	8	9	12	13	3	4	10	11
0	0	0	1	1	0	1	1	1	0	0	0
0	1	1	1	1	1	1	1	0	/	/	/
1	0	0	0	0	0	0	0	0	/	/	/
1	1	1	1	1	1	1	1	0	/	/	/

4.2 CMOS 门电路 CD4001 电压传输特性测试

按图 1.2 所示接线, 先令 $V_{DD} = +10V$, 调节电位器 R_p 的阻值, 使 V_i 在 $0 \sim V_{DD}$ 变化, 测量 V_o 随 V_i 变化的特性曲线。

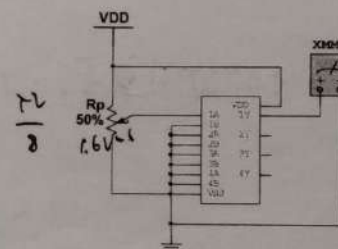
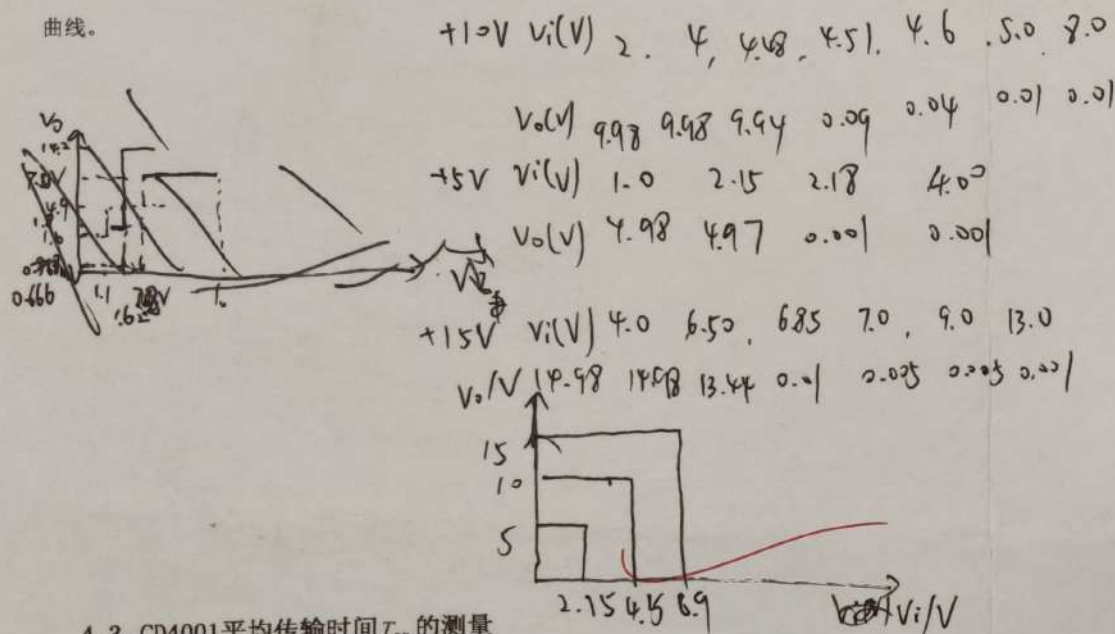


图 1.2 CD4001 电压传输特性测试

数字电路实验报告

记录实验数据，画出电压传输特性曲线 $V_O = f(V_I)$ ，改变 V_{DD} 的值，使其分别为 +5V，+15V，重复上述实验，并在同一坐标中画出不同电源电压下的传输特性曲线。



4.3 CD4001平均传输时间 T_{PD} 的测量

按图1.3所示接线，图中 $V_{DD} = +5V$ ，CP输入连续脉冲，观察 V_I 与CP的异同，用双踪示波器观察并记录 V_I ， V_O 的波形，测出CD4001芯片的 T_{PD} 值 43.2ns。

将CD4001芯片换成CD4011芯片，测出CD4011芯片的 T_{PD} 值 54.2ns。和TTL门电路的 T_{PD} 比较，从中得出什么结论？

CMOS管的平均传输时间要长于TTL门电路的传输时间。

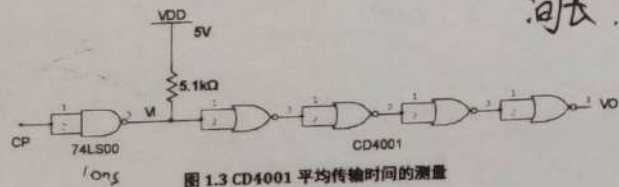


图 1.3 CD4001 平均传输时间的测量

数字电路实验报告

5. 思考题

1. CMOS门电路多余的输入端在使用时不允许悬空，其理由是什么？

CMOS管的输入阻抗很大，~~容易~~易受到微弱信号的影响，易受周围信号干扰。

2. 一般的CMOS门电路能否进行“线与”？为什么？若要将CMOS门的输出进行逻辑与，应该采取什么方法？

不能。若线与则会造成逻辑混乱，应该将输出极电路结构改为OD门（漏极开路输出门电路）。

附录：IC引脚图

74LS00

