- Знаковое и беззнаковое умножение
- Режим с накоплением
- 8, 16, 24, 32-битные операнды
- Режим насыщения
- Умножение дробных чисел

- Размер операндов определяется адресом при их записи, тип операции адресом записи 1 операнда
- Регистры 1 операнда:
- **■** *MPY* = *MPY32L*, беззнаковое, биты 0...15
- MPYS = MPYS32L, знаковое, биты 0...15
- MAC = MAC32L, беззнаковое с накоплением, 0...15
- MACS = MACS32L, знаковое с накоплением, биты 0...15
- МРҮЗ2Н, беззнаковое, биты 16...31
- MPYS32H, знаковое,биты 16...31
- МАС32Н, беззнаковое с накоплением,биты 16...31
- MACS32H, знаковое с накоплением,буты 16...31

- Регистры 2 операнда:
- ОР2 запуск операции умножения с 16-битным операндом 2 (биты 0...15)
- OP2L запуск операции умножения с 32битным операндом 2 (биты 0...15)
- ОР2Н продолжение операции умножения с 32битным операндом 2 (биты 16...31)
- Последняя запись (32L или 32H) перед записью 2 операнда определяет ширину 1 операнда
- Запись в ОР2Н без предшествующей ОР2L
- 64-битный результат 16-битные регистры RES0...RES3. RES0 = RESLO, RES1 = RESHI

Result Ready in MCLK Cycles					After
RES0	RES1	RES2	RES3	MPYC Bit	Aitei
3	3	4	4	3	OP2 written
3	5	6	7	7	OP2 written
3	5	6	7	7	OP2L written
N/A	3	4	4	4	OP2H written
3	8	10	11	11	OP2L written
N/A	3	5	6	6	OP2H written
	3 3 N/A 3	RES0 RES1 3 3 5 3 5 N/A 3 3 8	RES0 RES1 RES2 3 3 4 3 5 6 3 5 6 N/A 3 4 3 8 10	RES0 RES1 RES2 RES3 3 3 4 4 3 5 6 7 3 5 6 7 N/A 3 4 4 3 8 10 11	RES0 RES1 RES2 RES3 MPYC Bit 3 3 4 4 3 3 5 6 7 7 3 5 6 7 7 N/A 3 4 4 4 3 8 10 11 11

- 8/16-битные: результат доступен сразу после записи 2 операнда. В случае косвенной адресации требуется операция NOP
- 24/32-битные: аналогично

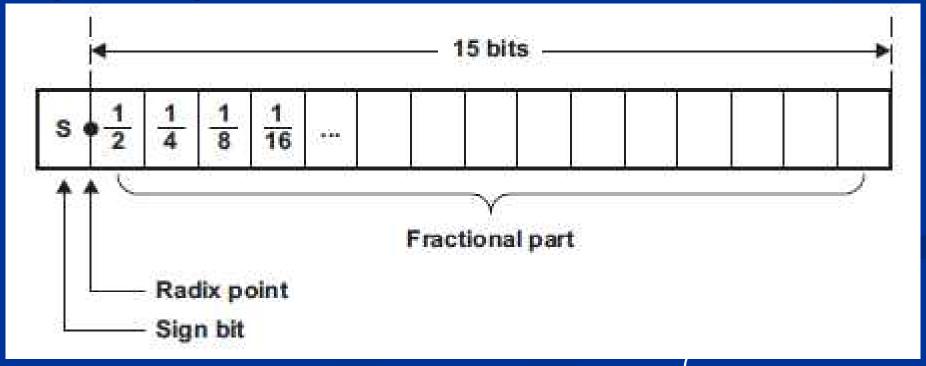
Поля SUMEXT и MPYC позволяют
 определить перенос либо знак результата
 в зависимости от операции

Mode	SUMEXT	MP	MPYC			
MPY	SUMEXT is always 0000h.	MP	MPYC is always 0.			
MPYS	SUMEXT contains the extended s	sign of the result. MP	MPYC contains the sign of the result.			
	00000h Result was positive or	zero 0	Result was positive or zero			
	0FFFFh Result was negative	1	Result was negative			
MAC	SUMEXT contains the carry of the	e result. MP	MPYC contains the carry of the result.			
	0000h No carry for result	0	No carry for result			
	0001h Result has a carry	1	Result has a carry			
MACS	SUMEXT contains the extended s	sign of the result. MP	YC contains the carry of the result.			
HILLSHING CO.	00000h Result was positive or :	zero 0	No carry for result			
	0FFFFh Result was negative	1	Result has a carry			

- При операции MACS переполнение автоматически не определяется
- Определить его можно, если перенос MPYC отличается от знака SUMEXT

```
; 16x16 Unsigned Multiply
MOV #01234h,&MPY ;Load 1st operand
MOV #05678h,&OP2 ;Load 2nd operand
; ...; Process results
```

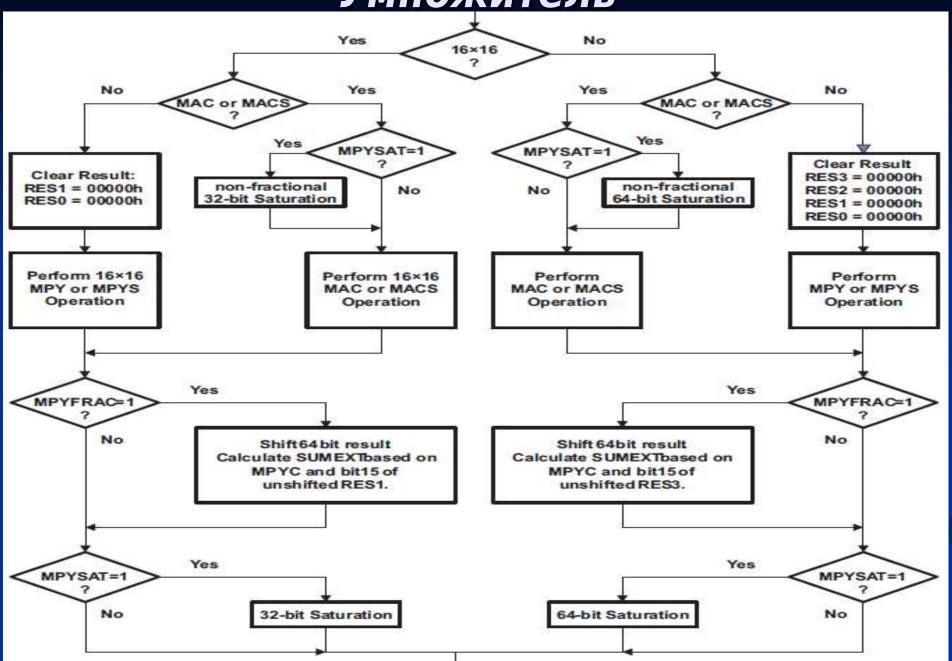
- MPYFRAC = 1 устанавливает режим умножения дробной части
- При умножении Q15 чисел, результат Q31, чтение RES1 дает результат в Q15
- При умножении Q31 чисел результат Q31 в регистрах RES2 и RES3



- Режим насыщения: MPYSAT = 1
- При переполнении устанавливается максимально возможное значение
- При 16-разрядных операциях режим влияет только на биты 0...31 (RES0 и RES1)
- □ При операциях МАС и МАСЅ смешивание последовательностей с 16-разрядными операциями и с 32-разрядными операциями дает непредсказуемый результата

 В режиме насыщения результат доступен только после вычисления RES3

Operation	Result Ready in MCLK Cycles				After	
(OP1 × OP2)	RES0	RES1	RES2	RES3	MPYC Bit	Altei
8/16 × 8/16	3	3	N/A	N/A	3	OP2 written
24/32 × 8/16	7	7	7	7	7	OP2 written
8/16 × 24/32	7	7	7	7	7	OP2L written
	4	4	4	4	4	OP2H written
24/32 × 24/32	11	11	11	11	11	OP2L written
	6	6	6	6	6	OP2H written



- Если после запись ОР перед записью ОР2 возникает прерывание, в котором используется умножитель, то текущий режим теряется и результат операции непредсказуем
- Для избегания этого:
- Запрещать прерывания на время использования умножителя
- Не использовать умножитель в обработчике прерывания
- Выполнять сохранение и восстановление состояния умножителя

- Регистры умножителя, за исключением регистров операндов и результата:
- SUMEXT регистр расширения суммы
- MPY32CTL0 регистр управления умножителем

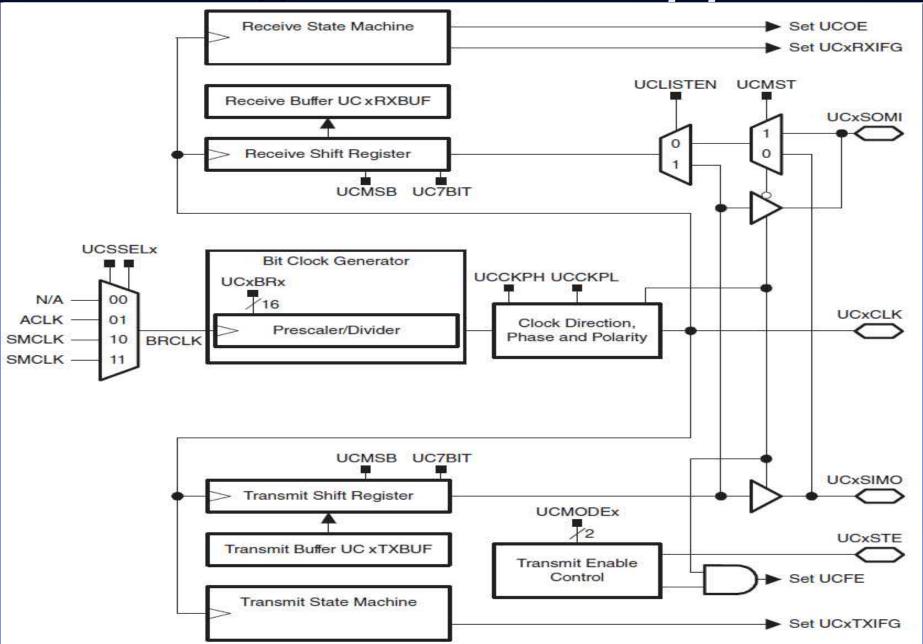
Умножитель. Регистр управления

Поле	Биты	Назначение
MPYDLY32	9	Задержка записи до получения результата (0 -64 бит, 1- 32бит)
MPYDLYWRTEN	8	Разрешение режима задержки записи
MPYOP2_32	7	Разрядность операнда 2 (0- 16, 1-32)
MPYOP1_32	6	Разрядность операнда 1 (0- 16, 1-32)
MPYMx	4-5	Режим (00- MPY, 01- MPYS, 10- MAC, 11- MACS)
MPYSAT	3	Разрешение режима насыщения
MPYFRAC	2	Разрешение дробной части
MPYC	0	Флаг переноса

- USCI Universal Serial Communication Interface
- 2 канала USCI_A
 - Режим UART (Universal asynchronous receiver/transmitter)
 - IrDA
 - Режим SPI (Serial Peripheral Interface)
 - Автоматическое определение скорости LIN
- 2 канала USCI_B
 - Режим I²C (Inter-Integrated Circuit)
 - Режим SPI

- SPI синхронный дуплексный интерфейс
- 3 или 4 линии: UCxSIMO, UCxSOMI,
 UCxCLK, and UCxSTE
- 7 или 8 бит данных
- Режим обмена: LSB или MSB первым
- Режим Master / Slave
- Независимые для приема и передачи сдвиговые регистры
- Отдельные буферные регистры для приема и передачи

- Непрерывный режим передачи
- Выбор полярности синхросигнала и контроль фазы
- Программируемая частота синхросигнала в режиме Master
- Независимые прерывания на прием и передачу
- Операции режима Slave в LPM4



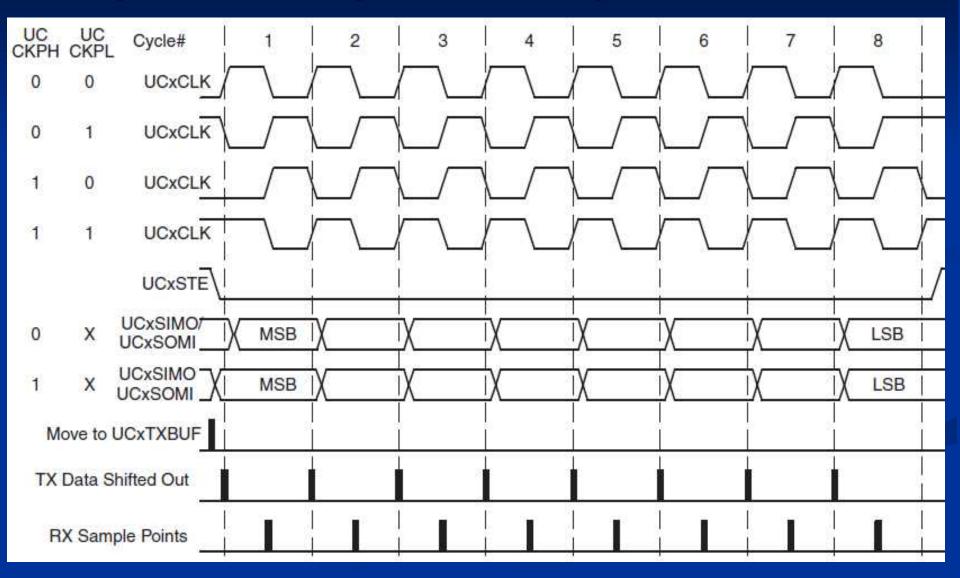
- Сигналы интерфейса:
- UCxSIMO Slave In, Master Out
- UCxSOMI Slave Out, Master In
- UCxCLK тактовый сигнал,
 выставляется Master-устройством
- UCxSTE Slave Transmit Enable. В 4битном протоколе используется для нескольких Master устройств на одной шине. В 3-битном не используется

- Передача данных начинается при помещении данных в регистр UCxTXBUF
- Данные помещаются в сдвиговый регистр, если он пуст, что начинает передачу по линии UCxSIMO
- Флаг прерывания UCTXIFG устанавливается при перемещении данных в сдвиговый регистр и сигнализирует об освобождении буферного регистра, а не окончания передачи
- UCTXIFG требует разрешений UCTXIE и GIE, автоматически сбрасывается при записи в UCxTXBUF

- Прием данных по линии UCxSOMI начинается с помещения данных в сдвиговый регистр по спаду синхросигнала
- Как только символ передан, данные из сдвигового регистра помещаются в UCxRXBUF
- После этого устанавливается флаг прерывания UCRXIFG, что сигнализирует об окончании передачи
- UCRXIFG требует разрешений UCRXIE и GIE, автоматически сбрасывается при чтении UCxRXBUF

- Сброс бита UCSWRST разрешает работу модуля USCI
- Для Master-устройства тактовый генератор готов к работе, но начинает генерировать сигнал только при записи в регистр UCxTXBUF
- Для Slave-устройства тактовый генератор отключен, а передача начинается с выставлением тактового сигнала Master-устройством
- Наличие передачи определяется флагом UCBUSY = 1

Поля полярности UCCKPL и фазы UCCKPH определяют 4 режима синхронизации бит



- Если UCMST = 1, для тактирования используется генератор USCI, входная частота выбирается битами UCSSELx
- 16 бит UCBRx (регистры UCxxBR1 и UCxxBR0) определяют делитель BRCLK входной тактовой частоты USCI
- $F_{BitClock} = f_{BRCLK} / UCBRx$

- Начальные адреса регистров:
- USCI_A0 05C0h, USCI_A1 0600h
- USCI_B0 05E0h, USCI_B1 0620h

Регистр	Адрес	Назначение
UCAxCTL0	05C0h	Регистры управления
UCAxCTL1	05C1h	
UCAxBR0	05C6h	Управление скоростью передачи
UCAxBR1	05C7h	
UCAxSTAT	05CAh	Регистр состояния
UCAxRXBUF	05CCh	Буфер приемника
UCAxTXBUF	05CEh	Буфер передатчика
UCAxIE	05DCh	Разрешение прерываний
UCAxIFG	05DDh	Флаги прерываний
UCAxIV	05DEh	Вектор прерываний

Регистр	Биты	Поле	Назначение
UCAxCTL0	7	UCCKPH	Выбор фазы Ти (0— изменение по первому перепаду, 1— захват)
	6	UCCKPL	Выбор полярности Ти (0 — активный - высокий)
	5	UCMSB	Выбор порядка передачи: 0 — LSB, 1- MSB
	4	UC7BIT	Разрядность: 0 — 8, 1 — 7
	3	UCMST	Режим: 0 — Slave, 1 - Master

■ Здесь и далее <mark>красное</mark> поле обозначает, что изменения возможны лишь при U©SWRST = 1

HOCHCHODGICHDIN MITTEPOCHC					
Регистр	Биты	Поле	Назначение		
UCAXCTLO	1-2	UCMODEx	Выбор синхронного режима: 00 - 3pin SPI, 01 - 4pin SPI + STE активен высокий, 10 - 4pin SPI + STE активный низкий, 11 - I ² C		
	0	UCSYNC	Выбор синхронного режима (=1)		
UCAxCTL1	6-7	UCSSELx	Выбор источника Ти: 01 — ACLK, 10,11 - SMCLK		
	0	UCSWRST	Разрешение программного сброса: 1 — логика интерфейса переводится в состояние сброса		

Регистр	Биты	Поле	Назначение
UCAxBR0	0-7	UCBRx	Младший байт делителя частоты
UCAxBR1	0-7	UCBRx	Старший байт делителя частоты
UCAxSTAT	7	UCLISTEN	Режим прослушивания — передача передается на прием
	6	UCFE	Флаг ошибки фрейма. При конфликте на шине в 4-bit
	5	UCOE	Флаг ошибки перезаписи. Устанавливается, если происходит запись в регистр UcxRXBUF до чтения предыдущего значения
	0	UCBUSY	Флаг приема/передачи

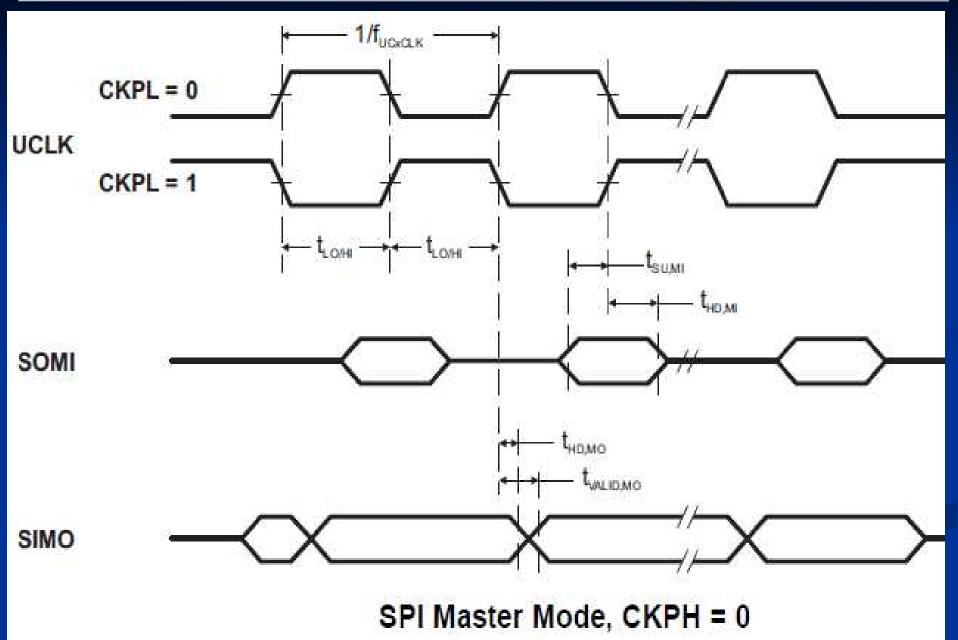
27

Регистр	Бит Ы	Поле	Назначение
UCAxRXBUF	0-7	UCRXBUFx	Буфер приемника
UCAxTXBUF	0-7	UCTXBUFx	Буфер передатчика
UCAxIE	1	UCTXIE	Разрешение пре-ния передачи
	0	UCRXIE	Разрешение прерывания приема
UCAxIFG	1	UCTXIFG	Флаг пр-я передачи
	0	UCRXIFG	Флаг пр-я приема
UCAxIV	15-0	UCIVx	Вектор прерываний

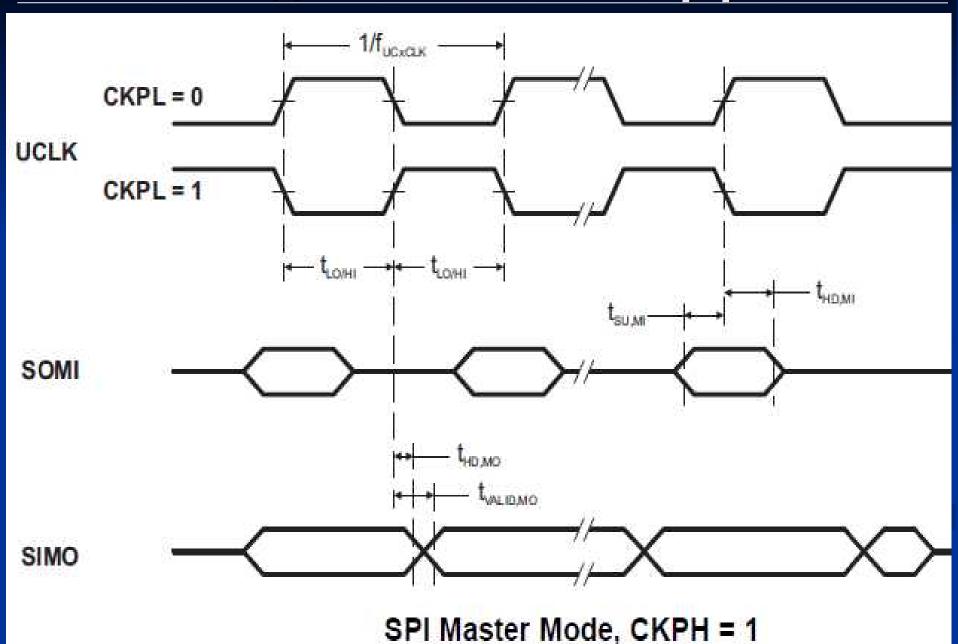
 Для интерфейса USCI_Bx поля и регистры аналогичны

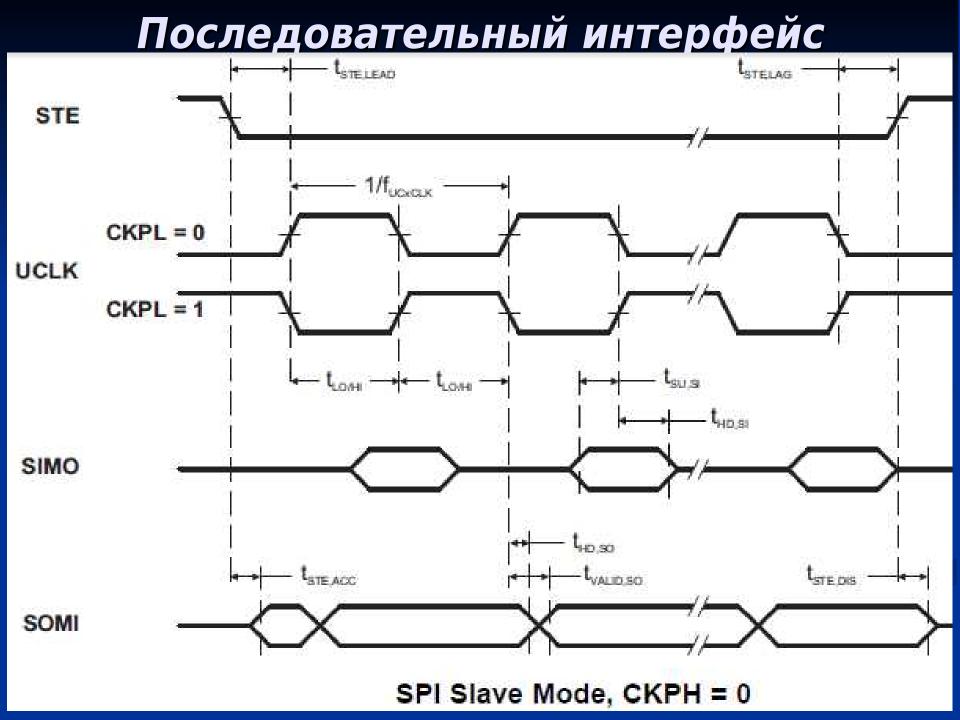
28

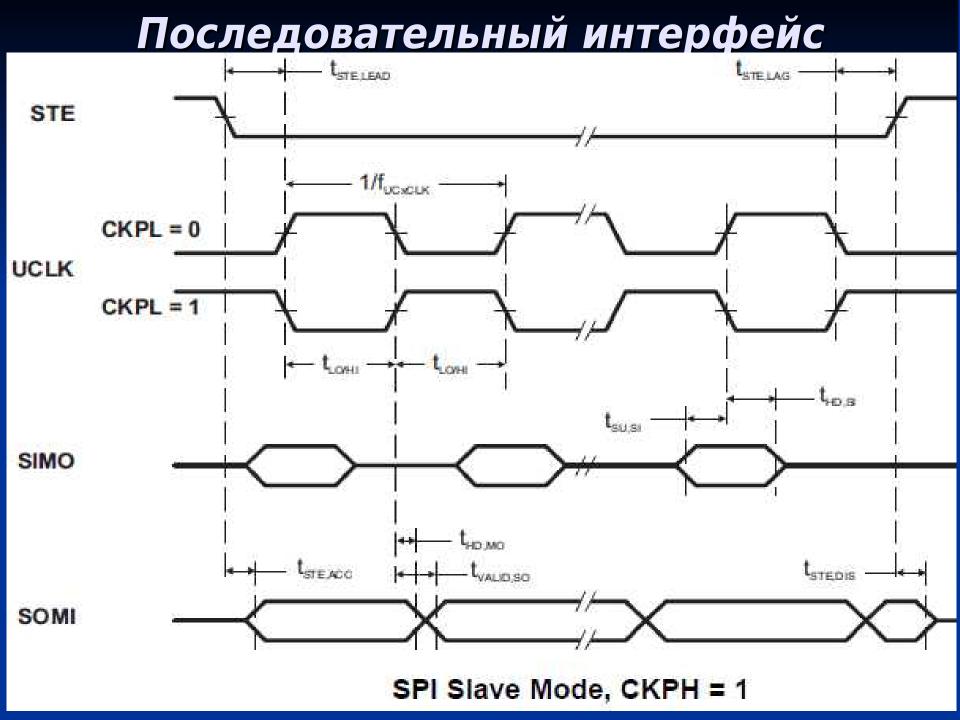
После сброса SPI в режиме 3-ріп



- $t_{LO/HI} \ge max(t_{VALID, MO(Master)} + t_{SU, SI(Slave)}, t_{SU, MI(Master)} + t_{VALID, SO(Slave)})$
- t _{su, мі} время установки данных на входе SOMI мин 25 55 нс в зависимости от режима
- t _{но, мі} время удержания данных на входе SOMI мин 0 нс
- t _{VALID, МО} время появления действительных данных на выходе SIMO после фронта CLK макс 15-20 нс в зависимости от режима
- t _{но, мо} время удержания данных на выходе SIMO.
 При отрицательных значениях данные становятся недействительными до фронта CLK. Мин -8...-10 нс





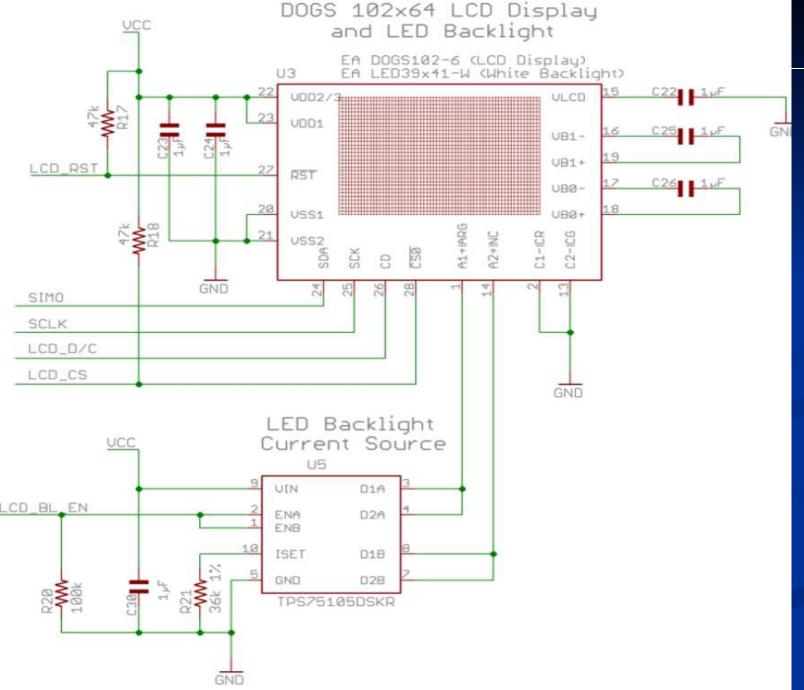


- t _{su, si} время установки данных на входе SIMO мин 2 5 нс в зависимости от режима
- t _{нр, si} время удержания данных на входе SIMO мин 5 нс
- t _{VALID, SO} время появления действительных данных на выходе SOMI после фронта CLK макс 40-76 нс в зависимости от режима
- t _{но, so} время удержания данных на выходе
 SOMI мин 8 18 нс

- t _{ste, lead} время установки STE до начала первого CLK мин 6 11 нс в зависимости от режима
- t _{STE, LAG} время последнего СLK до снятия
 STE мин 3 нс
- t _{STE, ACC} время появления первых данных на выходе SOMI после установки STE макс 30-66 нс в зависимости от режима
- t _{STE, DIS} время перевода выхода SOMI в высокоимпедансное состояние после снятия STE макс 13 30 нс в зависимости от режима

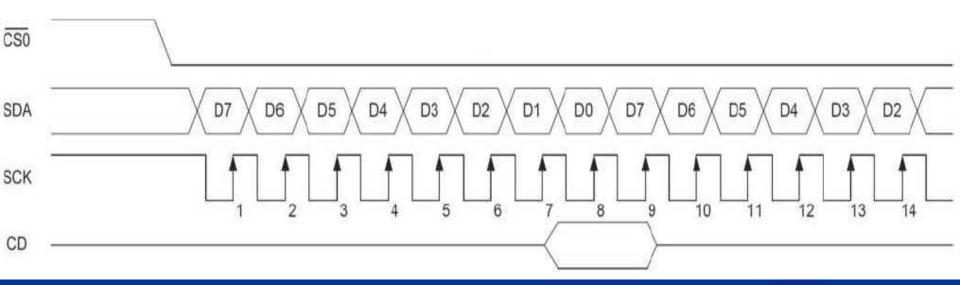
ЖКИ

- EA DOGS102W-6 ЖКИ дисплей 102x64
 пиксела
- EA LED39x41-W подсветка
- UC1701 контроллер ЖКИ 65х132
- Ток потребления 250 мкА
- Частота тактирования до 33 МГц при 3,3 В
- Контроллер поддерживает 2 параллельных режима 8-бит и SPI последовательный режим
- Контроллер поддерживает также и чтение данных, однако в SPI режиме только запись
- Двухпортовая статическая DDRAM



- по схеме (по модулю) по MSP430F5529
- LCD_RST (RST) P5.7 / TB0.1
- SIMO (SDA) P4.1 / PM_UCB1SIMO /
 - PM_UCB1SDA
- SCLK (SCK)
 P4.3 / PM_UCB1CLK /
 - PM_UCA1STE
- LCD D/C (CD) P5.6 / TB0.0
- LCD_CS (CS0) P7.4 / TB0.2
- LCD_BL_EN (ENA, ENB)P7.6 / TB0.4

- LCD_RST (RST) сброс (=0)
- SIMO (SDA) SIMO данные
- SCLK (SCK) синхросигнал
- LCD_D/C (CD) команда (=0) / данные (=1)
- LCD_CS (CS0) выбор устройства (=0)
- LCD_BL_EN (ENA, ENB) включение подсветки



- Только режим записи, формат MSB
- Сигнал CD защелкивается на бите данных D0 текущего фрейма
- Чтение данных по фронту синхросигнала

ЖКИ. Набор команд

Command Code

	Command	-	-	-				-	-		Function			
		CD	D7	D6	D5	D4	D3	D2	D1	D0	a another			
(1)	Write Data Byte	1			d	ata bit	D[70	0]			Write one byte to memory			
(4)	Set Column Address LSB	0	0	0	0	0		CA[30]		Set the SRAM column address			
(4)	Set Column Address MSB	U	0	0	0	1		CA[74]		CA=0131			
(5)	Set Power Control	0	0	0	1	0	1	F	PC[20	0]	PC0: 0=Booster OFF; 1=Booster ON PC1: 0=Regulator OFF; 1=Regulator ON PC2: 0=Follower OFF; 1=Follower ON			
(6)	Set Scroll Line	0	0	1			SL[5	50]			Set the display startline number SL=063			
(7)	Set Page Address	0	1	0	1	1		PA[30]		Set the SRAM page address PA=07			
(8)	Set VLCD Resistor Ratio	0	0	0	1	0	0	F	PC[53	3]	Configure internal resistor ratio PC=07			
(9)	Set Electronic Volume	0	1	0	0	0	0	0	0	1	Adjust contrast of LCD panel			
(9)	Set Electronic volume	101	0	0	in 10		PM[50]			PM=063			
(10)	Set All Pixel On	0	1	0	1	0	0	1	0	C1	C1=0: show SRAM content C1=1: Set all SEG-Drivers to ON			
(11)	Set Inverse Display	0	1	0	1	0	0	1	1	Co	C0=0: show normal SRAM content C0=1: show inverse SRAM content			
(12)	Set Display Enable	0	1	0	1	0	1	1	1	C2	C2=0: disable Display (sleep) C2=1: enable Display (exit from sleep)			
(13)	Set SEG direction	0	1	0	1	0	0	0	0	MX	MX=0: normal SEG 0131 MX=1: mirror SEG 1310			
(14)	Set COM direction	0	1	1	0	0	MY	0	0	0	MY=0: normal COM 063 MY=1: mirror COM 630			
(15)	System Reset	0	1	1	1	0	0	0	1 0		System Reset			
(17)	Set LCD Bias Ratio	0	1	0	1	0	0	0	0 1 BR		BR: 0=1/9; 1=1/7			
(25)	Set Adv. Program Control 0	0	1	1	1	1	1	0	1	0	TC: Temp. comp. 0= -0.05; 1= -0,11%/°C WC: Column wrap around 0=0FF; 1=ON			
	····································	5,740. 13	TC	0	0	1	0	0	WC	WP				

- значения по умолчанию (после сброса):
- CA [7..0] = 00000000 адрес столбца
- РС [2..0] = 000 питание усилителя и других элементов отключено
- SL [5..0] = 000000 начало экрана на 0 строке (без скроллинга)
- PA [3..0] = 0000 адрес страницы
- PC [5..3] = 100 внутренний резистор
- РМ [5..0] = 100000 регулировка контраста
- **□ C1 = 0** отображение содержимого памяти
- C0 = 0 обычный, не инверсный режим
- C2 = 0 дисплей отключен (Sleep)₂

- значения по умолчанию (после сброса):
- MX = 0 не зеркальное отображение по X
- MY = 0 не зеркальное отображение по Y
- BR = 0 смещение (компенсация) питания 1/9
- ТС = 1 температурная компенсация -0,11% /С
- WC = 0 циклический адрес колонки выключен
- WP = 0 циклический адрес страницы выключен

 Поля, отмеченные красным, программный сброс не устанавливает

ЖКИ. Ориентация экрана

0	Column address 101
D0 1 D7	Page 0
D0 1 D7	Page 1
D0 1 D7	Page 2
D0 2 D7	Page 3
D0 1 D7	Page 4
D0 1 D7	Page 5
D0 2 D7	Page 6
D0	Page 7



Orientation for 6 o'clock (Bottom View)



Orientation for 12 o'clock (Top View)

30	Column address
D0 2 D7	Page 0
D0 1 D7	Page 1
D0 ≀ D7	Page 2
D0 ¿ D7	Page 3
D0 1 D7	Page 4
D0 1 D7	Page 5
D0 1 D7	Page 6
D0 2 D7	Page 7

		Line								M'	/- 0		MY	/-1	
PA[3:0]	0	AddeCss	_			 				SL=0	SL-16	SL-0	SL-0	SL-25	SL-25
	D0	00H								C1	C49	C64	C48	C25	C9
0000	D1	01H								C2	C50	C63	C47	C24	C8
	D2	02H								C3	C51	C62	C46	C23	C7
	D3	03H						Page 0		C4	C52	C61	C45	C22	C6
0000	D4	04H						rageo		C5	C53	C60	C44	C21	C5
	D5	05H								C6	C54	C59	C43	C20	C4
	D6	06H								C7	C55	C58	C42	C19	C3
	D7	07H								C8	C56	C57	C41	C18	C2
	D0	08H								C9	C57	C56	C40	C17	C1
	D1	09H								C10	C58	C55	C39	C16	
	D2	0AH								C11	C59	C54	C38	C15	
0001	D3	OBH						Page 1		C12	C60	C53	C37	C14	
0001	D4	OCH						. ugo .		C13	C61	C52	C36	C13	
	D5	ODH								C14	C62	C51	C35	C12	
	D6	0EH								C15	C63	C50	C34	C11	
	D7	OFH								C16	C64	C49	C33	C10	
	D0	10H								C17	C1	C48	C32	C9	
	D1	11H								C18	C2	C47	C31	C8	
	D2	12H								C19	C3	C46	C30	C7	
0010	D3	13H						Page 2		C20	C4	C45	C29	C6	
0010	D4	14H						1 ugo L		C21	C5	C44	C28	C5	
	D5	15H								C22	C6	C43	C27	C4	
	D6	16H					T			C23	C7	C42	C26	C3	

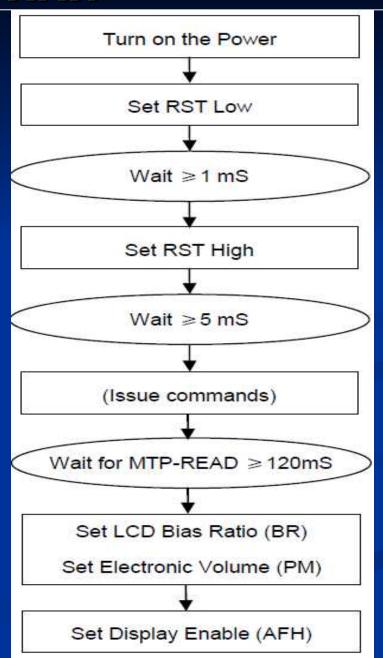
- MX = 0, MY = 0, SL = 0
 - Page 0 Seg 1 : 11100000b, Page 0 Seg 25 00110011

	D7	2FH																C48	G32	C17	C1	C43	C
	D0	30H																C49	C33	C16		C41	C
	D1	31H																C50	C34	C15	-	C40	C.
	D2	32H										•						C51	C35	C14		C39	C
0110	D3	33H										Page 6						C52	C36	C13	-	C38	C
0110	D4	34H										rages						C53	C37	C12	-	C37	G
	D5	35H										•						C54	C38	C11		C36	G
	D6	36H										•						C55	C39	C10		C35	C
	D7	37H																C56	C40	C9		C34	C
	D0	38H	1															C57	C41	C8		C33	C
	D1	39H										Ī						C58	C42	C7		C32	C
	D2	3AH	4									ı						C59	C43	C6		C31	C
0111	D3	3BH										Page 7		Щ				C60	C44	C5		C30	C
	D4	3CH	4									a						C61	C45	C4		C29	G
	D5	3DH	4									1						C62	C46	C3		C28	C
	D6	3EH										ī						C63	C47	C2		C27	C
	D7	3FH	4															C64	C48	C1		C26	C
1000	D0	40H										Page 8						CIC	CIC	CIC	CIC	CIC	CI
															_					65	49	65	
		×	0	SEG1	SEGS	SEG3	SEG4	SEGS	903S	293S	893S		SEG128	SEG129	SEG130	SEG131	SEG132				М	IJΧ	
		>	-	SEG132	SEG131	SEG130	SEG129	SEG128	SEG127	SEG126	SEG125		SEGS	SEG	SEGS	SEG2	SEG1						

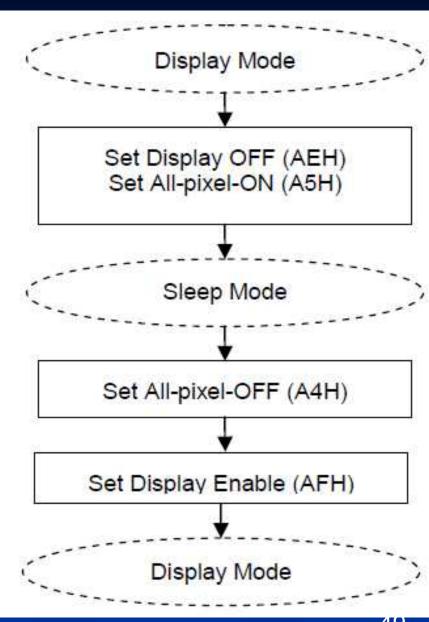
ЖКИ. Пример инициализации

	Initialisation example (bottom view)													
Comi	mand	CD	D7	D6	D5	D4	D3	D2	D1	D0	Hex	Remark		
(6)	6) Set Scroll Line		0	1	0	0	0	0	0	0	\$40	Display start line 0		
(13)	Set SEG direction	0	1	0	1	0	0	0	0	1	\$A1	SEG reverse *)		
(14)	Set COM direction	0	1	1	0	0	0	0	0	0	\$C0	Normal COM0~COM63		
(10)	Set All Pixel On	0	1	0	1	0	0	1	0	0	\$A4	Disable -> Set All Pixel to ON		
(11)	11) Set Inverse Display		1	0	1	0	0	1	1	0	\$A6	Display inverse off		
(17)	Set LCD Bias Ratio	0	1	0	1	0	0	0	1	0	\$A2	Set Bias 1/9 (Duty 1/65)		
(5)	Set Power Control	0	0	0	1	0	1	1	1	1	\$2F	Booster, Regulator and Follower on		
(8)	Set VLCD Resistor Ratio	0	0	0	1	0	0	1	1	1	\$27			
(0)	Cat Flantasia Walana		1	0	0	0	0	0	0	1	\$81	Set Contrast		
(9)	Set Electronic Volume	0	0	0	0	1	0	0	0	0	\$10			
/OF)	(OE) Cot Adv. Drogram Control O		1	1	1	1	1	0	1	0	\$FA	Set Temperature compensation		
(25)	Set Adv. Program Control 0	0	1	0	0	1	0	0	0	0	\$90	curve to -0.11%/°C		
(12)	Set Display Enable	0	1	0	1	0	1	1	1	1	\$AF	Display on		

Контроллер ЖКИ при формировании сигнала сброса требует ожидания 5-10 мс, при включении питания ожидания не требуется

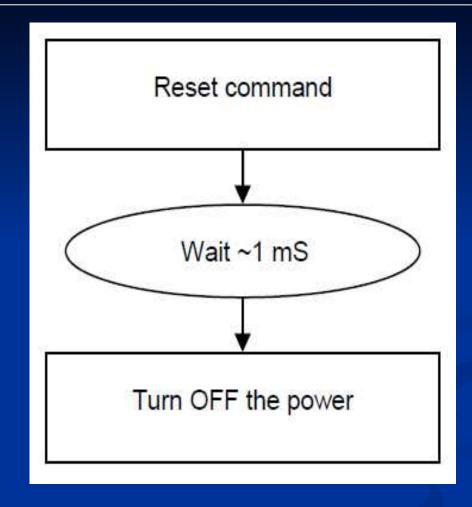


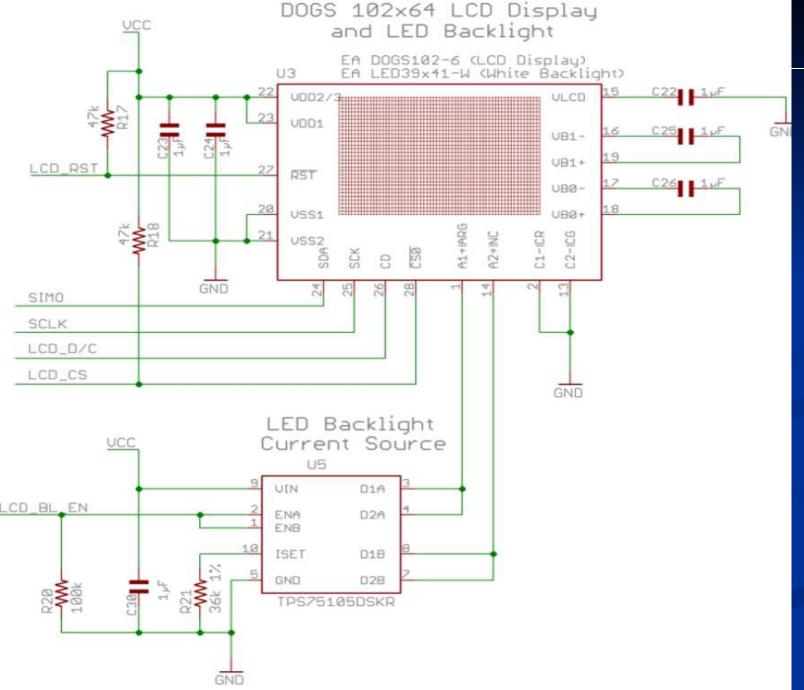
Вход выход в режим ожидания



49

Выключение





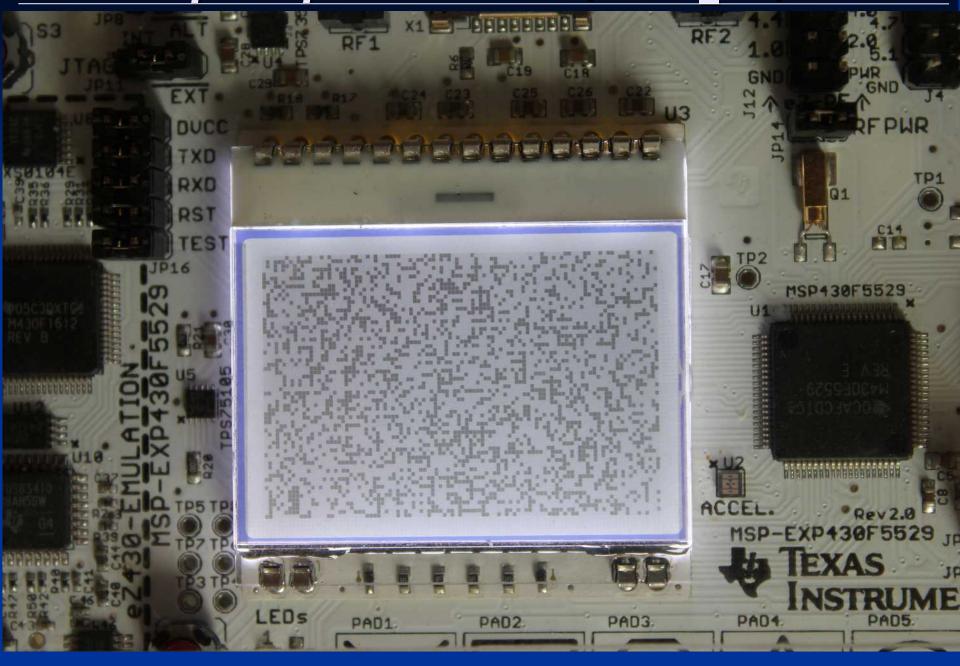
- по схеме (по модулю) по MSP430F5529
- LCD_RST (RST) P5.7 / TB0.1
- SIMO (SDA) P4.1 / PM_UCB1SIMO /
 - PM_UCB1SDA
- SCLK (SCK)
 P4.3 / PM_UCB1CLK /
 - PM_UCA1STE
- LCD_D/C (CD)
 P5.6 / TB0.0
- LCD_CS (CS0) P7.4 / TB0.2
- LCD_BL_EN (ENA, ENB)P7.6 / TB0.4

- LCD_RST (RST) сброс (=0)
- SIMO (SDA) SIMO данные
- SCLK (SCK) синхросигнал
- LCD_D/C (CD) команда (=0) / данные (=1)
- LCD_CS (CS0) выбор устройства (=0)
- LCD_BL_EN (ENA, ENB) включение подсветки

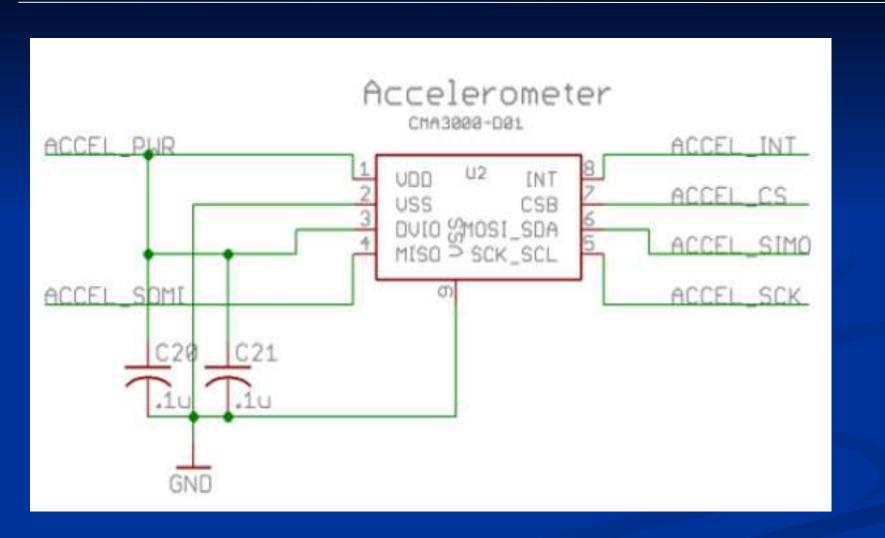
```
#include <msp430.h>
void DOGS102 SPI(unsigned char byte1);
int main(void) {
    WDTCTL = WDTPW | WDTHOLD; // Stop watchdog timer
    // P5.6 & P5.7 (DOGS102 pin CD & RST) set as output
   P5DIR |= (BIT7 | BIT6);
   // P7.4 & P7.6 (DOGS102 pin CS & ENA) set as output
   P7DIR = (BIT4 | BIT6);
// P4.1 & P4.3 (DOGS102 pin CDA/SIMO & SCK) set as output
   P4DIR |= (BIT1 | BIT3);
// P7.4 & P7.6 (DOGS102 pin CS & ENA) no select, on bkLED
   P7OUT |= (BIT4 | BIT6);
    // device mode: P4.1 & P4.3 is UCB1SIMO & UCB1CLK
    P4SEL |= (BIT1 | BIT3);
    // P5.7 (DOGS102 pin RST) set "0" is reset
    P5OUT &= ~BIT7;
   delay cycles(25000);
   // P5.7 (DOGS102 pin RST) set "1" is no reset
    P5OUT |= BIT7;
                                          54
    delay cycles(125000);
```

```
UCB1CTL1 |= UCSWRST; //Set SPI mode: reset logic is on
// Set SPI mode: master, MSB first, data latch on rising
   UCB1CTL0 |= UCSYNC | UCMST | UCMSB | UCCKPH;
   // Set SPI mode: SMCLK for clock, keep reset
   UCB1CTL1 |= UCSWRST | UCSSEL SMCLK;
   UCB1BR0 = 0x30; // Set SPI mode: low byte division
   UCB1BR1 = 0;  // Set SPI mode: high byte division
   UCB1CTL1 &= ~UCSWRST;//Reset SPI==Start SPI interface
   P5OUT &= ~BIT6; // DOGS102 format: command
   DOGS102 SPI(0x2F);// SPI transmit.Command: Power on
   DOGS102 SPI(0xAF);// SPI transmit.Command: Display on
   // SPI transmit. Command: Set LSB column address
   DOGS102 SPI(0);
    // SPI transmit. Command: Set MSB column address
   DOGS102 SPI(0x14);
   // SPI transmit. Command: Set page address
   DOGS102 SPI(0xB4);
   P50UT |= BIT6; // DOGS102 format: data
   DOGS102 SPI(0xFF); // SPI transmit. 855pixels are set
```

```
// Enter LPMO, enable interrupts
     bis SR register(LPMO bits + GIE);
    no operation(); // For debugger
   return 0;
}
void DOGS102 SPI(unsigned char byte1)
{
    // Wait TXIFG == TXBUF is ready for new data
    while (!(UCB1IFG & UCTXIFG));
// P7.4 (DOGS102 pin CS) set "0" is start SPI operation
    P7OUT &= ~BIT4;
    UCB1TXBUF = byte1;  // Start SPI transmit
    // Wait until USCI B1 SPI interface is no longer busy
   while (UCB1STAT & UCBUSY);
    // P7.4 (DOGS102 pin CS) set "1" is stop SPI operation
   P7OUT |= BIT4;
```



- Задача 4.
- 4.1. С какой частотой выставляются биты данных на SPI?
- 4.2. Почему не заработал LCD?



- <mark>-</mark> по схеме (по мо∂улю) по MSP430F5529
- ACCEL_PWR (VDD, DVIO) P3.6 / TB0.6
- ACCEL_SOMI (MISO) P3.4 / UCA0RXD / UCA0SOMI
- ACCEL_INT (INT) P2.5 / TA2.2
- ACCEL_CS (CSB) P3.5 / TB0.5
- ACCEL_SIMO (MOSI_SDA) P3.3 / UCA0TXD / UCA0SIMO
- ACCEL_SCK (SCK_SCL) P2.7 / UCB0STC / UCA0CLK

- 3-координатный акселерометр с цифровым выходом СМА3000-D01
- Диапазон измерений задается программно (2g, 8g)
- Питание 1.7 3.6 В
- Интерфейс SPI или I²С задается программно
- Частота отсчетов (10, 40, 100, 400 Гц) задается программно
- Режим сна ток потребления 3 мкА
- Ток потребления при 10 отсчетах 7 мкА,
 при 400 отсчетах 70 мкА
- Максимальная частота 500 КГц

- Разрешение 18 mg (при диапазоне 2g), 71mg (при диапазоне 8g)
- Чувствительность 56 точек / д (при 2д), 14 точек / д (при 8д)
- Режим обнаружения движения
- Режим обнаружения свободного падения

- Режим измерения:
- Доступна фильтрация нижних частот
- 2g 400 Гц, 100 Гц
- 8g 400 Гц, 100 Гц, 40 Гц
- Прерывание при готовности новых данных
- Прерывание может быть отключено
- Флаг прерывания сбрасывается автоматически при чтении данных

- Режим определения свободного падения:
- Доступна фильтрация нижних частот
- 2g 400 Гц, 100 Гц
- 8g 400 Гц, 100 Гц
- Прерывание при обнаружении свободного падения
- Пороги срабатывания (время, ускорение) могут изменяться

- Режим определения движения:
- Фильтрация по полосе пропускания 1,3 3,8
 Гц
- <mark>-</mark> 8g 10 Гц
- Прерывание при обнаружении движения
- Пороги срабатывания (время, ускорение) могут изменяться
- Может быть установлен режим перехода в режим измерения 400 Гц после обнаружения движения

- Сброс формируется внутренней цепью. После сброса читаются калибровочные и конфигурационные данные. Бит PERR=0 регистра STATUS определяет успешность чтения
- Запись последовательности 02h, 0Ah, 04h в RSTR регистр выполняет программный сброс
- После инициализации по сбросу автоматически переходит в режим отключенного питания. Состояние регистров данных сохраняется
- Программно этот режим устанавливается битами MODE = 000b или 111b в CTRL регистре

Регистр	Адрес	Назначение
WHO_AM_I	0h	R, идентификационный регистр
REVID	1h	R, версия ASIC
CTRL	2h	RW, управление
STATUS	3h	R, состояние
RSTR	4h	RW, регистр сброса
INT_STATU S	5h	R, состояние прерывания
DOUTX	6h	R, регистр данных канала Х
DOUTY	7h	R, регистр данных канала Y
DOUTZ	8h	R, регистр данных канала Z
MDTHR	9h	RW, регистр порога ускорения режима детекции движения

Регистр	Адрес	Назначение
MDFFTMR	Ah	RW, регистр порога времени для режимов детекции движения и свободного падения
FFTHR	Bh	RW, регистр порога ускорения режима детекции свободного падения
I2C_ADDR	Ch	R, адрес устройства для протокола I ² C

Регистр	Биты	Поле	Назначение
CTRL	7	G_RANGE	Диапазон. 0 — 8g, 1 - 2g
	6	INT_LEVEL	Активный уровень сигнала прерывания: 0 - высокий, 1 - низкий
	5	MDET_EXIT	
	4	I2C_DIS	Выбор интерфейса I ² C: 0 — разрешен, 1 - запрещен
	1-3	MODE[20]	Режим
	0	INT_DIS	Запрещение прерывания (1 - отключен)

- Режим:
- 000 отключено питание
- 001 измерение, 100 Гц
- 010 измерение, 400 Гц
- 011 измерение, 40 Гц
- 100 детекция движения, 10 Гц
- 101 детекция свободного падения, 100 Гц
- 110 детекция свободного падения, 400 Гц
- 111 отключено питание

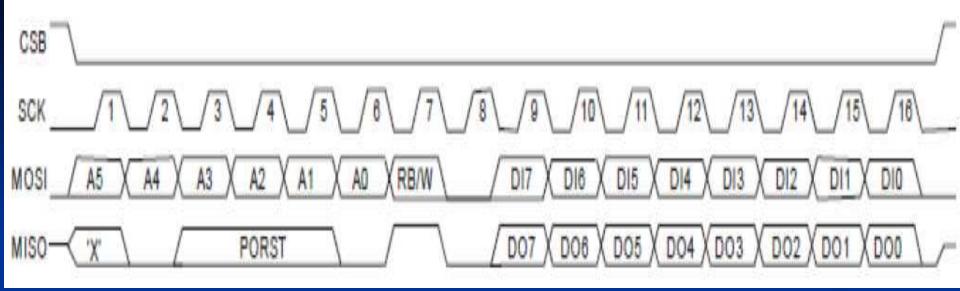
Регистр	Биты	Поле	Назначение
STATUS	3	PORST	Флаг состояния сброса. Чтение всегда сбрасывает в 0
	0	PERR	Флаг ошибки четности EEPROM
RSTR	0-7	RSTR	Запись 02h, 0Ah, 04h выполняет сброс устройства
INT_STATUS	2	FF_DET	Флаг детекции свободного падения
	0-1	MDET[10]	Флаг детекции движения: 00 — нет, 01 - X , 10 - Y, 11 - Z

Физические уровни бит (в тд) регистра данных

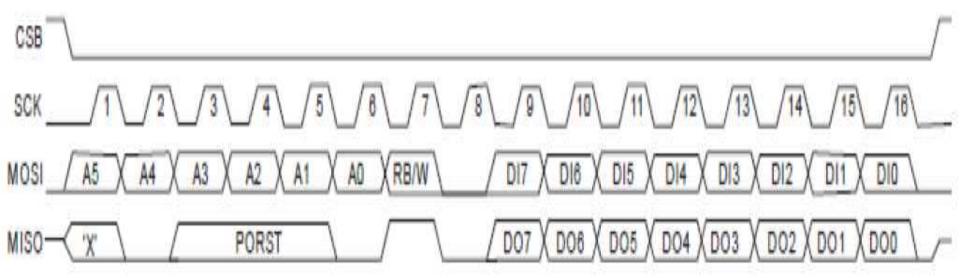
Range	G_RANGE	Output sample rate	В7	В6	B5	B4	В3	B2	B1	В0
2g	1	400 Hz, 100 Hz	S	1142	571	286	143	71	36	1/56 = 18 mg
2g	1	40 Hz, 10 Hz	S	4571	2286	1142	571	286	143	1/14 = 71 mg
8g	0	400 Hz, 100 Hz	S	4571	2286	1142	571	286	143	1/14 = 71 mg
8g	0	40 Hz, 10 Hz	S	4571	2286	1142	571	286	143	1/14 = 71 mg

s = sign bit

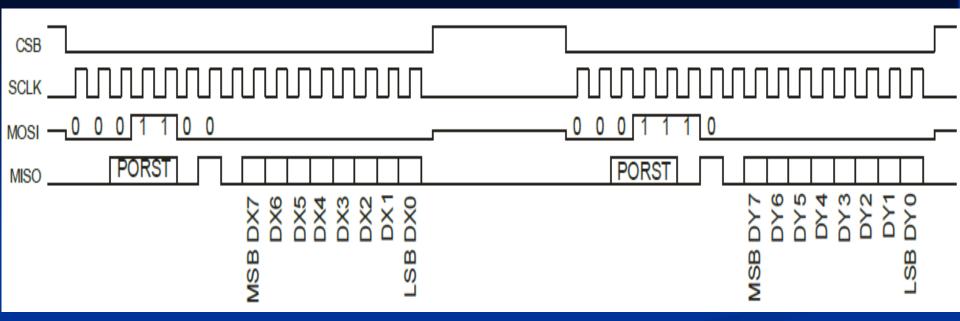
- Выбор интерфейса (SPI или I²C) при помощи сигнала выбора кристалла
- **□** *l*²C может быть отключен программно
- Акселерометр всегда работает в ведомом (Slave) режиме
- Подключение 4-проводное



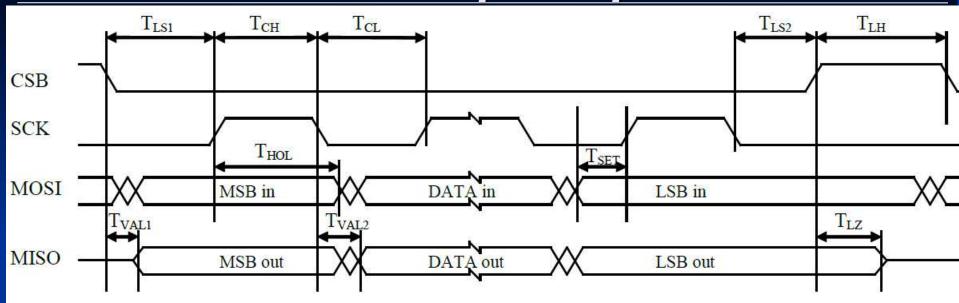
- Фрейм содержит 2 байта (16 бит)
- Первый байт (первые 6 бит) содержит адрес регистра и тип операции (R/W, 7 бит), 8 бит = 0
- Второй байт содержит данные (при записи), и что угодно (при чтении)
- Данные заносятся в регистр по переднему фронту



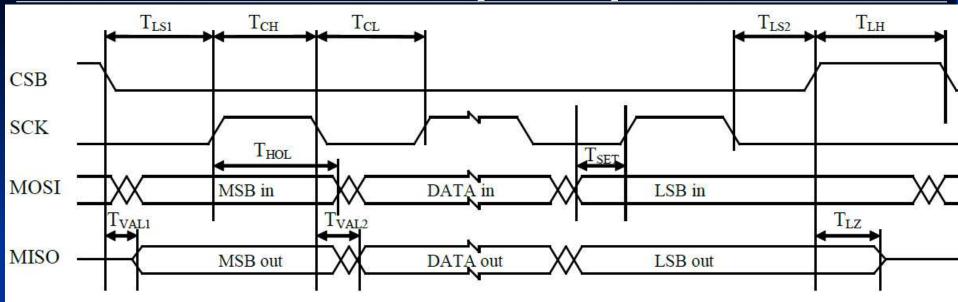
- На линии MISO первый бит не определен, второй
 0, потом 3 бита статуса сброса, далее 010
- Второй байт содержит данные
- При высоком CSB, MISO в высокоимпедансном состоянии
- Данные выставляются на линию по заднему фронту, поэтому читать линию надо по переднему фронту



Пример операции чтения

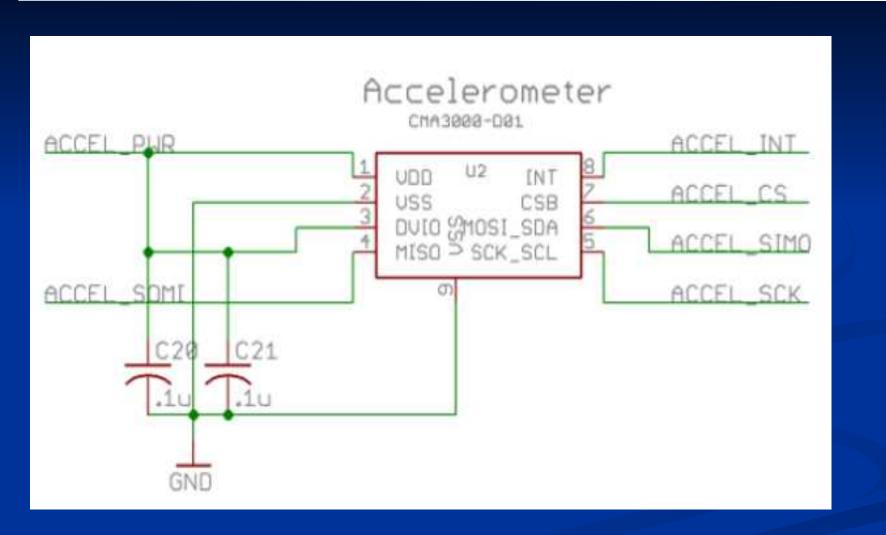


- ¬ T_{LS1} om CSB до SCK мин 0,8 мкс
- T_{LS2} om SCK до CSB мин 0,8 мкс
- T_{CI} низкий SCK мин 0,8 мкс
- *T_{CH}* высокий SCK мин 0,8 мкс
- Т_{SET} время установки данных (до SCK) мин 0,5 мкс
- T_{ноL} время удержания данных (от SCK до изменения MOSI) мин 0,5 мкс 77



- T_{VAL1} om CSB до стабилизации MISO макс 0,5 мкс
- T_{LZ} от снятия CSB до высокоимпедансного MISO макс 0,5 мкс
- Т_{VAL2} от спада SCK до стабилизации MISO макс
 0,75 мкс
- Т_{LH} задержка между SPI циклами (высокий CSB) 78 мин 22 мкс

Stop watchdog timer Set MCU clocks Configure INT-pin to receive interrupt from CMA3000 Configure CSB-pin, disable CMA3000 Activate USCI_A0 option Configure and start SPI interface Read REVID register Enter interrupt Activate CMA3000 Read X-, Y- and measurement mode Z-registers (2g/400 Hz) Exit Interrupt Enter LPM



- по схеме (по модулю) по MSP430F5529
- ACCEL_PWR (VDD, DVIO) P3.6 / TB0.6
- ACCEL_SOMI (MISO) P3.4 / UCA...
- ACCEL_INT (INT) P2.5 / TA2.2
- ACCEL_CS (CSB) P3.5 / TB0.5
- ACCEL_SIMO (MOSI_SDA) P3.3 / UCA0TXD / UCA0SIMO
- ACCEL_SCK (SCK_SCL) P2.7 / UCB0STC / UCA0CLK

```
#include <msp430.h>
char cma3000 SPI (unsigned char byte1, unsigned char
byte2);
int main(void) {
WDTCTL = WDTPW | WDTHOLD; // Stop watchdog timer
P1DIR |= BIT0;
                        // P1.0 (LED1) set as output
P8DIR |= (BIT1 | BIT2); // P8.1 & P8.2(LED2 & LED3)output
P1OUT &= ~BITO;
                     // LED1 off
P8OUT &= ~(BIT1 | BIT2); // LED2 & LED3 off
P2DIR &= ~BIT5; // P2.5 (cma3000 pin INT) input
P20UT = BIT5; // P2.5 (cma3000 pin INT) pull-up resistor
P2REN |= BIT5; // P2.5 (cma3000 pin INT) enable resistor
P2IE |= BIT5; // P2.5 (cma3000 pin INT) interrupt enable
// P2.5 (cma3000 pin INT) edge for interrupt: low-to-high
P2IES &= ~BIT5;
P2IFG &= ~BIT5; // P2.5 (cma3000 pin INT) clear int flag
```

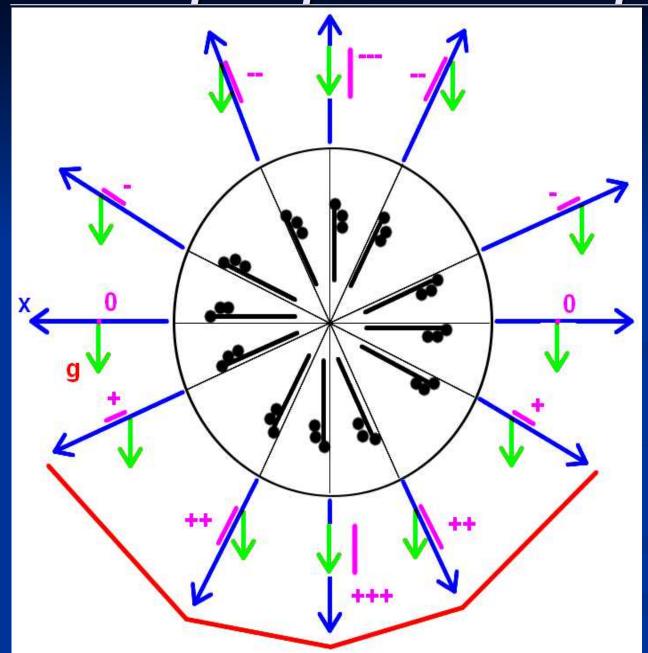
```
P3DIR |= BIT5; // P3.5 (cma3000 pin CSB) set as output
// P3.5 (cma3000 pin CSB) set "1" is disable cma3000
P3OUT |= BIT5;
P2DIR |= BIT7;  // P2.7 (cma3000 pin SCK) set as output
P2SEL |= BIT7; // device mode: P2.7 is UCA0CLK
// P3.3 & P3.6 (cma3000 pin MOSI, PWR) set as output
P3DIR |= (BIT3 | BIT6);
P3DIR &= ~BIT4; // P3.4 (cma3000 pin MISO) set as input
// device mode: P3.3 - UCAOSIMO, P3.4 - UCAOSOMI
P3SEL |= (BIT3 | BIT4);
// P3.6 (cma3000 pin PWR) set "1" is power cma3000
P3OUT |= BIT6;
UCAOCTL1 |= UCSWRST; // Set SPI mode: reset logic is on
// Set SPI mode: master, MSB first, data latch on rising
UCAOCTLO |= UCSYNC | UCMST | UCMSB | UCCKPH;
// Set SPI mode: SMCLK for clock, keep reset
UCAOCTL1 |= UCSWRST | UCSSEL SMCLK;
```

```
UCAOBRO = 0x30; // Set SPI mode: low byte division
UCAOBR1 = 0;  // Set SPI mode: high byte division
UCAOMCTL = 0;  // Set SPI mode: no modulation
UCAOCTL1 &= ~UCSWRST; // Reset SPI == Start SPI interface
// Start SPI transmit. cma3000 format:
// 1 = REVID register, 0 - read, 0 - predefined
// Second byte for read operation can be any
cma3000 SPI(0x4, 0);
delay cycles(1250); // ????
// SPI: 10 = CTRL register, 1 - write, 0 - predefined
// cma3000 CTRL register set: 2g, disable I2C, 400 Hz
cma3000 SPI(0xA, BIT7 | BIT4 | BIT2);
delay cycles(25000); // ????
// Enter LPMO, enable interrupts
 bis SR register(LPM0 bits + GIE);
return 0; }
```

```
char cma3000 SPI (unsigned char byte1, unsigned char
byte2) {
char indata;
// P3.5 (cma3000 pin CSB) set "0" is start SPI operation
P3OUT &= ~BIT5;
indata = UCAORXBUF; // ??????
// Wait TXIFG == TXBUF is ready for new data
while (!(UCAOIFG & UCTXIFG)) ;
UCAOTXBUF = byte1; // Start SPI transmit. Send first byte
// Wait RXIFG == RXBUF have new data
while (!(UCAOIFG & UCRXIFG));
indata = UCAORXBUF; // ??????
// Wait TXIFG == TXBUF is ready for new data
while (!(UCA0IFG & UCTXIFG));
UCAOTXBUF = byte2; // Start SPI transmit. Send second byte
// Wait RXIFG == RXBUF have new data
while (!(UCA0IFG & UCRXIFG));
```

```
// Read SPI data from accel. in 2 byte in read command
// ????? in write command
indata =UCAORXBUF;
// Wait until USCI A0 SPI interface is no longer busy
while (UCAOSTAT & UCBUSY) ;
// P3.5 (cma3000 pin CSB) set "1" is stop SPI operation
P3OUT |= BIT5;
return indata;
}
// Port 2 interrupt service routine == cma3000 interrupt
#pragma vector=PORT2 VECTOR
 interrupt void PORT2 ISR(void)
char dx, dy, dz;
if (P2IN & BIT5) {
P1OUT &= ~BITO; // LED1 off
P8OUT &= ~ (BIT1 | BIT2); // LED2 & LED3 off
```

```
// Start SPI transmit. cma3000 format:
// 110 = DOUTX register, 0 - read, 0 - predefined
// Second byte for read operation can be any
dx = cma3000 SPI(0x18, 0);
delay cycles(1250); // ????
// SPI: 111 = DOUTY register, 0 - read, 0 - predefined
dy = cma3000 SPI(0x1C, 0);
delay cycles(1250); // ????
// SPI: 1000 = DOUTZ register, 0 - read, 0 - predefined
dz = cma3000 SPI(0x20, 0);
delay cycles(1250); // ????
// LED1 on if acceleration on X more than threshold
if (dx > 32) Plour = BITO;
// LED2 on if acceleration on Y more than threshold
if (dy > 32) P8OUT |= BIT1;
// LED3 on if acceleration on Z more than threshold
if (dz > 32) P8OUT |= BIT2;
P2IFG &= ~BIT5; // reset interrupt flag
                                          87
```



Видео
05. Accelerometer_3
Что хотели получить

Видео 05. Accelerometer_0 Что на самом деле вышло

- Задача 4.
- 4.3. Какая тактовая частота поступает на CLK вход акселерометра (какая частота передачи бит)?
- 4.4. Почему плата не реагирует на перемещение?
- 4.5. Зачем ___delay_cycle?
- 4.6. Зачем при передаче данных в акселерометр выполняется чтение данных?