

## Trabajo Práctico N° 5

### UNIDADES ARITMÉTICAS Y DECODIFICADORES

#### OBJETIVOS

*Circuitos sumadores y restadores: configuración circuital interna, interconexión de módulos para obtener sumadores de mayor capacidad. Condicionamientos a su velocidad de respuesta. Multiplicación en binario. Circuitos multiplicadores paralelo y serie. Condicionamientos a su velocidad de respuesta. División. Circuitos divisores paralelo y serie. Decodificadores y multiplexores: circuito y aplicaciones.*

#### A.- SUMA Y RESTA

- 1.- Obtener la tabla y las ecuaciones del sumador de dos palabras de un bit (half adder). Realizar los diagramas de Karnaugh correspondientes a la suma y al carry e implementar dichas funciones con las compuertas más convenientes.
- 2.- Ídem anterior para tres palabras de un bit.
- 3.- Considerando que los retardos de propagación introducidos por las compuertas tipo AND, OR, NAND y NOR tienen un valor 10 nseg, en tanto que una compuerta XOR introduce un retardo de 20 nseg, calcular los tiempos de funcionamiento para los circuitos de los problemas 2 y 3.
- 4.- Implementar un sumador de tipo paralelo para palabras de 4 bits basado en sumadores completos
- 5.- Siguiendo la estructura circuital planteada en el ejercicio anterior dar el diagrama circuital de un sumador de dos números de 16 bits. estimar cuál es el tiempo de cálculo de cada una de las siguiente sumas (considerar que el retardo de las compuertas XOR es de 20 nseg y el de las compuertas AND de 10 nseg.)
  - a)  $0011010110100011 + 1000000001011001$
  - b)  $6CEA + 417C$
  - c)  $011111110100001 + 101110101111111$
  - d)  $31F5 + CE1E$Indicar además la secuencia en que los bits del resultado van adoptando sus respectivos valores finales.
- 6.- Implementar un circuito que calcule el complemento a la base de un número binario de 8 bits.
- 7.- Definir el diagrama circuital de un circuito restador de 16 bits basado en sumadores de 4 bits.
- 8.- Implementar un circuito que realice las operaciones de suma y resta en la convención de complemento a la base para dos palabras de 8 bits. Considerar la existencia de una variable de control externa que controle el tipo de operación.
- 9.- En base al circuito anterior definir un circuito similar pero que, además de tener capacidad de sumar y restar dos números de 8 bits, incluya salidas con los indicadores de carry, overflow, cero y paridad.
- 10.- Describir criterios para comparar el valor relativo de dos números en base al resultado de su resta efectuada con el circuito del ejercicio anterior. Responder considerando que se trata de números (a) enteros sin signo (b) enteros con signo expresados en complemento a 2.

## **B.- MULTIPLICACIÓN**

- 11.- Efectuar las siguientes operaciones de multiplicación entre números enteros sin signo. Mostrar cálculos intermedios. Respetar el orden indicado, el segundo operando es el multiplicador.
  - a)  $1011 \times 0111$
  - b)  $1101 \times 1100$
  - c)  $01001101 \times 01111010$
  - d)  $01111010 \times 01010100$
- 12.- Describir un circuito que implemente la operación de dos números de 8 bits basado en una estructura paralelo.
- 13.- Idem ejercicio anterior pero basado en una estructura serie con elementos de memoria.
- 14.- Para el multiplicador con estructura serie y las operaciones del ejercicio 11 indique la secuencia de valores binarios sucesivamente acumulados en cada registro del multiplicador.
- 15.- Comparar las estructuras paralelo y serie de los ejercicios 12 y 13. Obtener conclusiones generales respecto de cuáles son los condicionamientos a una alta velocidad de operación en dispositivos multiplicadores.
- 16.- Efectuar las mismas operaciones de multiplicación planteadas en el ejercicio 11 pero aquí interpretadas según números en complemento a 2. Mostrar cálculos intermedios. Discutir la necesidad de realizar la extensión de signo.

## **C.- DIVISIÓN**

- 17.- Efectuar las siguientes operaciones de división entre números enteros sin signo.
  - a)  $1010 / 11$
  - b)  $10000 / 00101$
  - c)  $101010 / 10001$
  - d)  $01101 / 100$
- 18.- Describir un circuito capaz de implementar en hardware las operaciones del ejercicio anterior, basado en una estructura paralelo.
- 19.- Idem al ejercicio 18 pero basado en una estructura serie.

## **D.- DECODIFICADORES Y MULTIPLEXORES**

- 20.- Definir por medio de una tabla de verdad las características de un decodificador de 3 entradas de control. En base a esta obtener su diagrama circuital.
- 21.- Por medio de un sensor se detecta la entrada de cada persona a una determinada habitación. El máximo posible de personas entrantes es 29. El total de personas ingresadas debe ser presentado en un panel donde 29 leds, de a uno por vez, iluminan una de las 29 etiquetas con números de 0 a 29. Diseñar un circuito que tenga por entrada digital la proveniente del sensor y por variables lógicas de salida las que controlan el encendido de cada led.
- 22.- Definir por medio de una tabla de verdad las características de un multiplexor de 3 entradas de control. En base a esta obtener su diagrama circuital.
- 23.- Un panel es capaz de presentar información alfanumérica que le llega codificada a su conector de entrada en la forma de una palabra de 8 bits. La información puede provenir de 4 fuentes distintas (todas ellas la proveen precodificada en 8 bits en el mismo formato que acepta el panel). Diseñar un circuito que según una señal de control compuesta por 2 bits permita seleccionar la fuente de información que se va a presentar en el panel.
- 24.- Discutir el funcionamiento del decodificador en su papel de demultiplexor, es decir como complementario del multiplexor.