

## Trabajo Práctico N° 3

### BIESTABLES

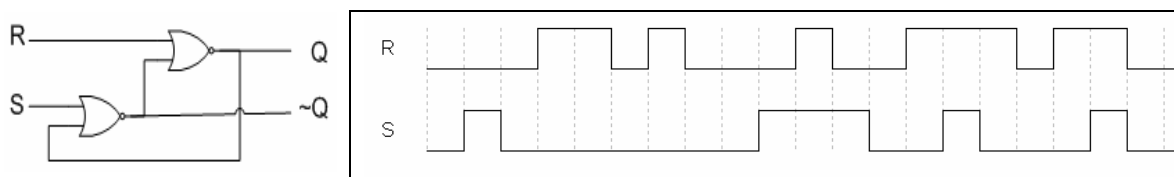
#### OBJETIVOS

Efectos de la realimentación en circuitos lógicos. Modelo general de circuito secuencial. Análisis de circuitos realimentados por medio de su diagrama de tiempo. Concepto de estado. Biestables RS, JK, D y T: ecuaciones características, tablas de estado, diagramas de estado. Biestables sincrónicos y asincrónicos. Biestables sincrónicos activados por pulso y por nivel. Entradas asincrónicas.

#### A. CIRCUITOS LOGICOS REALIMENTADOS

1.- Para el circuito de la figura:

- a) Completar el diagrama de tiempos indicando la evolución de las salidas Q y  $\sim Q$  en base a los cambios que se indican para las entradas R y S. Suponer que Q está inicialmente en 1.



- b) Obtener conclusiones generales respecto a su funcionamiento.  
c) Analizar el concepto de circuito secuencial e indicar por qué este circuito responde al mismo.

2.- El circuito del problema anterior recibe el nombre de Flip-Flop RS.

- a) Proponer posibles aplicaciones.  
b) Indicar por qué se denomina “estado prohibido” al de entrada  $R=S=1$ .

3.- Concepto de estado de un circuito secuencial. Definir variables de entrada, de salida, de excitación y de estado. Identificarlas en el caso del FF-RS.

4.- Analizar el modelo general de circuitos secuenciales. Discutir cómo puede estudiarse el diagrama circuital del FF-RS como un caso particular de ese modelo general. Identificar las variables en juego.

#### B. FLIP-FLOPs ASINCRÓNICOS

5.- Plantear la tabla de estados (ampliada y reducida) del FF-RS. Discutir el significado de  $Q^n$  y  $Q^{n+1}$ .

6.- Obtener por medio del método de Karnaugh la ecuación característica del FF-RS.

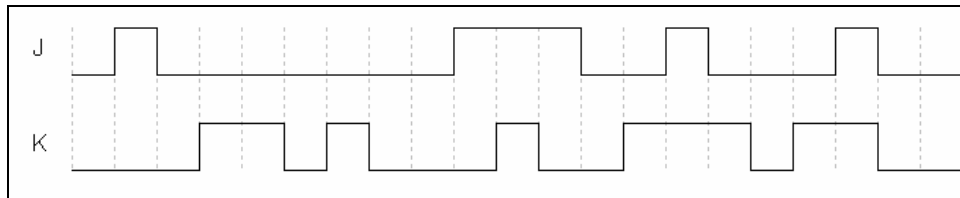
7.- Discutir el concepto de diagrama de estados. Aplicarlo al FF-RS.

8.- Discutir el significado de “pulso y nivel” en las señales. Analizar las restricciones de tiempo en las señales de entrada al circuito: ancho del pulso, separación entre pulsos sucesivos en una misma entrada, frecuencia de funcionamiento, separación temporal entre señales de distintas entradas.

9. Construir un flip-flop RS con compuertas NAND, justificando su diseño con las leyes de De Morgan. Comparar su funcionamiento con el del FF-RS obtenido con compuertas NOR.

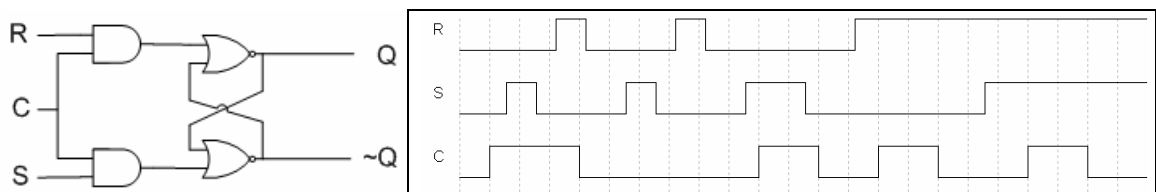
10. El estado de un FF-RS en el instante  $t_0$  viene dado por su salida  $Q=0$  y sus entradas  $R=S=0$ . En el instante  $t_1$  la entrada S toma el valor 1. Este cambio en las entradas promueve un cambio de estado que es alcanzado en el tiempo  $t_2$ . Estimar el retardo  $t_2 - t_1$  considerando que cada compuerta tiene un retardo típico de 10 nanosegundos.

11. Definir la tabla de estados (ampliada y reducida) del Flip-Flop JK. Obtener la ecuación característica siguiendo el método de Karnaugh. Dar su diagrama circuital y diagrama de estados. Comparar su funcionamiento con el del FF-RS.
12. Para un FF-JK, completar el siguiente diagrama de tiempos indicando la evolución de las salidas Q y  $\sim Q$  en base a los cambios que se indican para las entradas J y K. Suponer Q=1 al inicio.

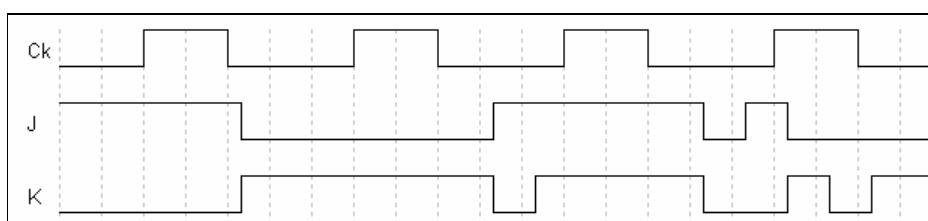


### C. FLIP-FLOPs SINCRÓNICOS

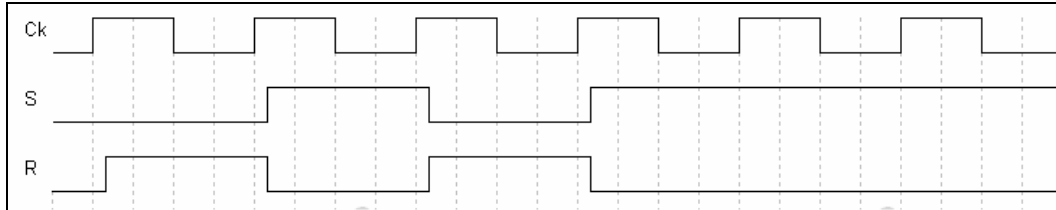
- 13.- Discutir la necesidad de contar con FF sincrónicos. Analizar como usar una entrada de habilitación para obtener un FF-RS sincrónico activado por nivel.
- 14.- Completar el siguiente diagrama de tiempos para el circuito de la figura. Suponer Q=0 al inicio.



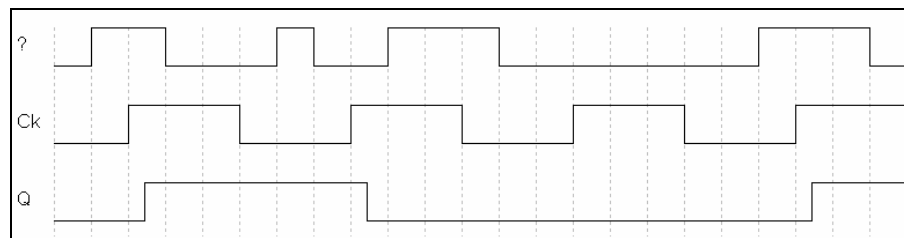
- 15.- Respecto del FF-RS sincrónico:
  - (a) Discutir el significado de  $Q^n$  y  $Q^{n+1}$  comparándolo con el caso asincrónico de la sección anterior.
  - (b) Analizar cómo se refleja ello en la ecuación característica.
  - (c) Discutir qué relación existe entre la entrada de reloj y la lógica del FF.
  - (c) Indicar qué ocurre con la combinación R=S=1.
- 16.-Proponer un circuito que implemente un FF-JK sincrónico activado por nivel. Estudiar su comportamiento completando un diagrama de tiempos similar al presentado en el ejercicio 12. Verificar si soluciona el inconveniente encontrado en aquel caso. Analizar que ocurre si el pulso de sincronismo se mantiene en alto por un tiempo mayor que tres tiempos de retardo de compuerta.
- 17.- Analizar la estructura de un FF-JK maestro-esclavo. Estudiar su funcionamiento en un diagrama de tiempos igual al del ejercicio 12. Verificar si presenta los problemas encontrados en los FF-JK de los ejercicios 12 y 16.
18. Las señales J, K y Ck representadas en el siguiente diagrama de tiempos son aplicadas a un FF-JK maestro-esclavo. Dibujar la evolución de las salidas Q y  $\sim Q$ , considerando:
  - a) Flip-Flop activo por flanco descendente.
  - b) Flip-Flop activo por flanco ascendente.



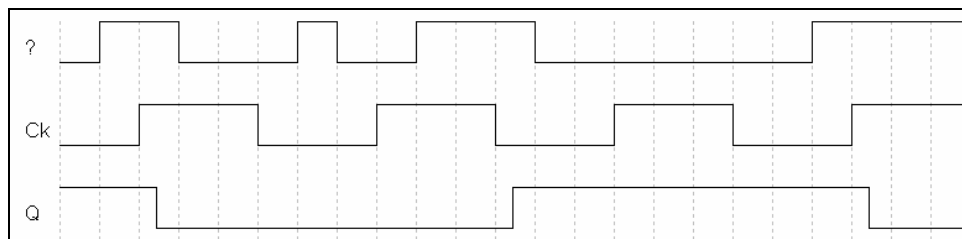
- 19.- Definir la tabla de estados de un FF tipo D. Obtener su ecuación característica y diagrama de estados. Indicar sus posibles usos.
- 20.- Comparar los circuitos y funcionamiento del FF-D implementado como asincrónico, síncrono activado por nivel y síncrono maestro-esclavo por flanco descendente.
- 21.- En el siguiente diagrama de tiempos determinar Q para un FF-RS síncrono por flanco descendente (Suponer  $Q=0$  inicialmente).



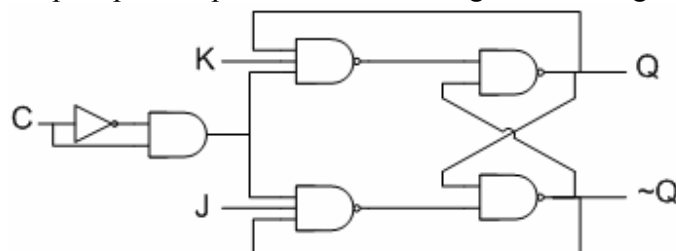
- 22.- Definir la tabla de estados de un FF tipo T (Toggle). Obtener su ecuación característica y diagrama de estados. Implementarlo a partir de un FF-RS y de un JK. Indicar sus usos posibles.
- 23.- Comparar las versiones síncrona y asincrónica del FF-T.
- 24.- La figura ilustra la evolución temporal de la salida Q de un flip-flop síncrono a cuya entrada de reloj se aplica la señal Ck y a cuya entrada de control se aplica la señal "?". Indicar qué tipo de flip-flop es.



25. Ídem con el siguiente diagrama.



- 26.- Comparar el flip-flop JK maestro-esclavo (principio de funcionamiento y funcionalidad obtenida) con el flip-flop JK implementado con la siguiente configuración circuital.



#### D. ENTRADAS ASINCRÓNICAS

- 27.- Analizar el funcionamiento de un FF al activar las entradas de preset y clear. Distinguir entre entradas asincrónicas y sincrónicas.
- 28.- Escribir la tabla de verdad de las entradas asincrónicas de los FF D y JK
- 29.- Determinar la salida Q de un FF-JK sincrónico por flanco de subida con entradas asíncronas de PRESET y CLEAR activas a nivel bajo (Suponer  $Q=0$  inicialmente).

