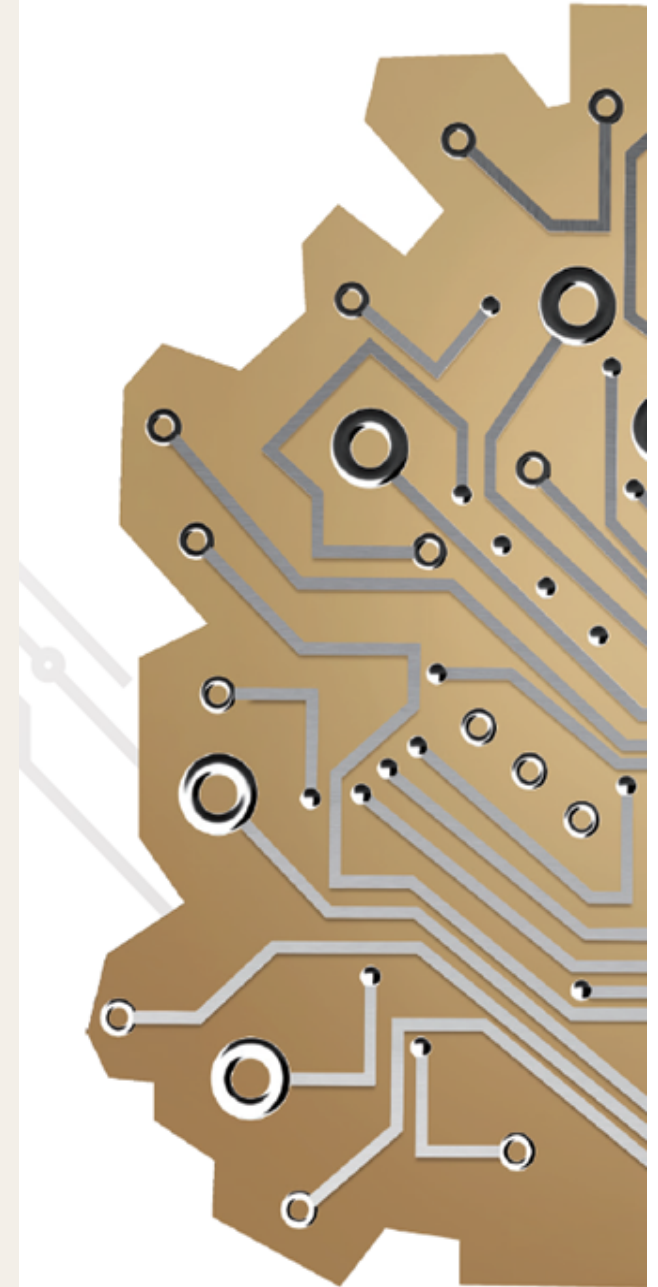




PSPICE 실습

1

증폭기의 주파수 응답 특성



실험 목적과 실험 내용

→ 실험 목적

- 시뮬레이션을 통해 증폭기의 주파수 응답 특성을 예측한다.
- 결합 및 바이패스 커패시턴스가 증폭기의 하측 차단주파수에 미치는 영향을 확인한다.
- 증폭기의 이득과 상측 차단주파수의 관계를 확인한다.

→ 실험 내용

- 실험 1-1 | 결합 커패시턴스에 의한 공통컬렉터 증폭기의 저주파 응답 특성 측정하기
- 실험 1-2 | 바이패스 커패시턴스에 의한 공통이미터 증폭기의 저주파 응답 특성 측정하기
- 실험 1-3 | 공통이미터 증폭기의 고주파 응답 특성 측정하기

STEP 01

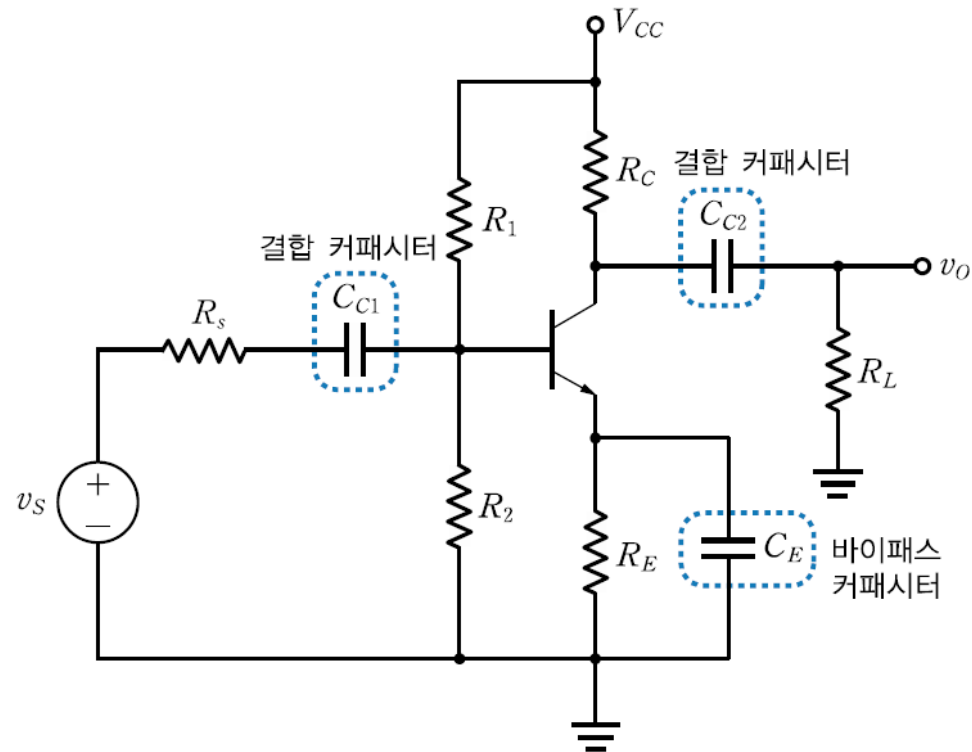
이론적 배경 알아보기



증폭기의 저주파 응답 특성 이해하기

★ 증폭기의 저주파 응답 특성

- 신호의 주파수가 낮을수록 증폭기 이득이 감소하는 특성
- 결합 커패시터 C_{C1} , C_{C2} 와 바이패스 커패시터 C_E 는 증폭기의 저주파 응답 특성에 영향을 미침

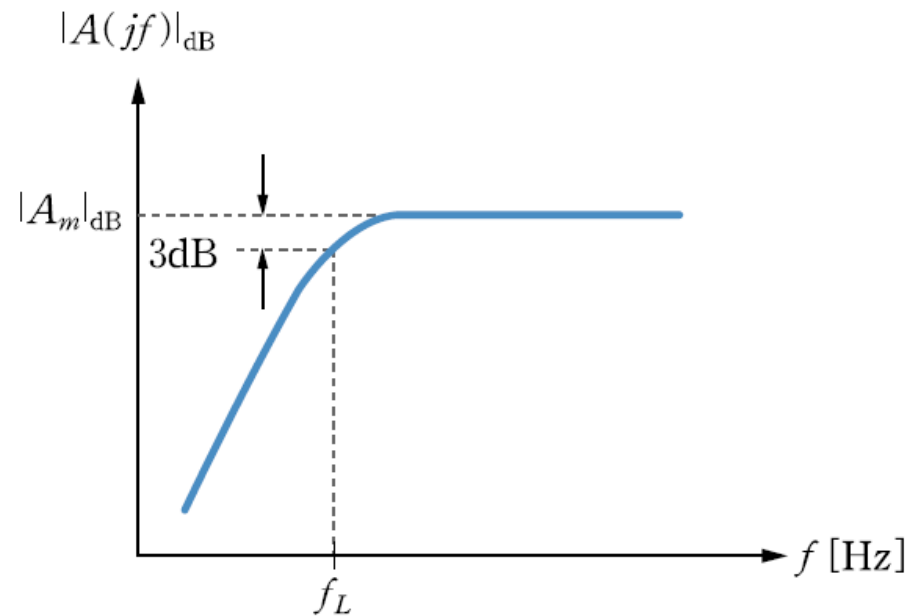


(a) 결합 및 바이패스 커패시터를 갖는 공통이미터 증폭기

그림 13-1 결합 및 바이패스 커패시터에 의한 저주파 응답 특성

증폭기의 저주파 응답 특성 이해하기

- 하측 차단주파수 f_L : 중대역 이득 $|A_m|$ 으로부터 3dB 감소하는 주파수



(b) 저주파 응답 특성을 나타내는 보드 선도

- 하측 차단주파수 f_L : 중대역 이득 $|A_m|$ 으로부터 3dB 감소하는 주파수

증폭기의 저주파 응답 특성 이해하기

★ 결합 커패시터가 하측 차단주파수에 미치는 영향

- 증폭기 입력단의 결합 커패시터 C_{C1} 에 의한 하측 차단주파수 f_L

$$f_L = \frac{1}{2\pi(R_s + r_\pi)C_{C1}}$$

- 단, 바이어스 저항 R_1, R_2 의 영향은 무시

증폭기의 저주파 응답 특성 이해하기

★ 바이패스 커패시터가 하측 차단주파수에 미치는 영향

- 바이패스 커패시터 C_E 에 의한 하측 차단주파수 f_L

$$f_L \simeq \frac{g_m}{2\pi C_E}$$

증폭기의 저주파 응답 특성 이해하기

여기서 잠깐 | 데시벨의 정의

- 데시벨^{Decibel} : 전압, 전류, 전력, 음량 등의 크기를 비교하기 위해 상용대수($\log_{10}X$)를 사용해 나타낸 비율^{ratio}의 단위
➡ 기호 : dB
- 전압, 전류, 음압 등이 기준 값에 대해 몇 배인가를 나타내는 비율을 상용대수로 나타낸 것에 20을 곱하면 데시벨 값이 됨
➡ 전압비의 데시벨 표현 : $20\log_{10}(V_2/V_1)$
- 전력의 경우에는 20이 아닌 10을 곱함
➡ 전력비의 데시벨 표현 : $10\log_{10}(P_2/P_1)$
- 예를 들어, 전압이득 10을 데시벨로 나타내면 $20\log_{10}10=20\text{dB}$
- 전압에 대해 1배는 0dB, 2배는 6dB, 5배는 14dB, 10배는 20dB이 됨

증폭기의 저주파 응답 특성 이해하기

여기서 잠깐 | 이득이 -3dB 감소되는 주파수를 임계 주파수로 사용하는 이유는?

- $-3\text{dB} = 1/\sqrt{2}$ 이므로, 하측 차단주파수 f_L 에서 출력전압이 $1/\sqrt{2}$ 배 감소
- 전력은 전압의 제곱에 비례하므로, 하측 차단주파수 f_L 에서 출력전력은 $1/2$ 이 됨
- 차단주파수는 출력전력이 $1/2$ 로 감소하는 주파수를 의미
➔ f_L 을 하측 반전력 주파수 lower half-power frequency라고도 함

증폭기의 고주파 응답 특성 이해하기

★ 증폭기의 고주파 응답 특성

- 신호의 주파수가 높을수록 증폭기 이득이 감소하는 특성
- 증폭기의 고주파 응답 특성은 트랜지스터 내부의 기생^{parasitic} 커패시턴스에 영향을 받음

증폭기의 고주파 응답 특성 이해하기

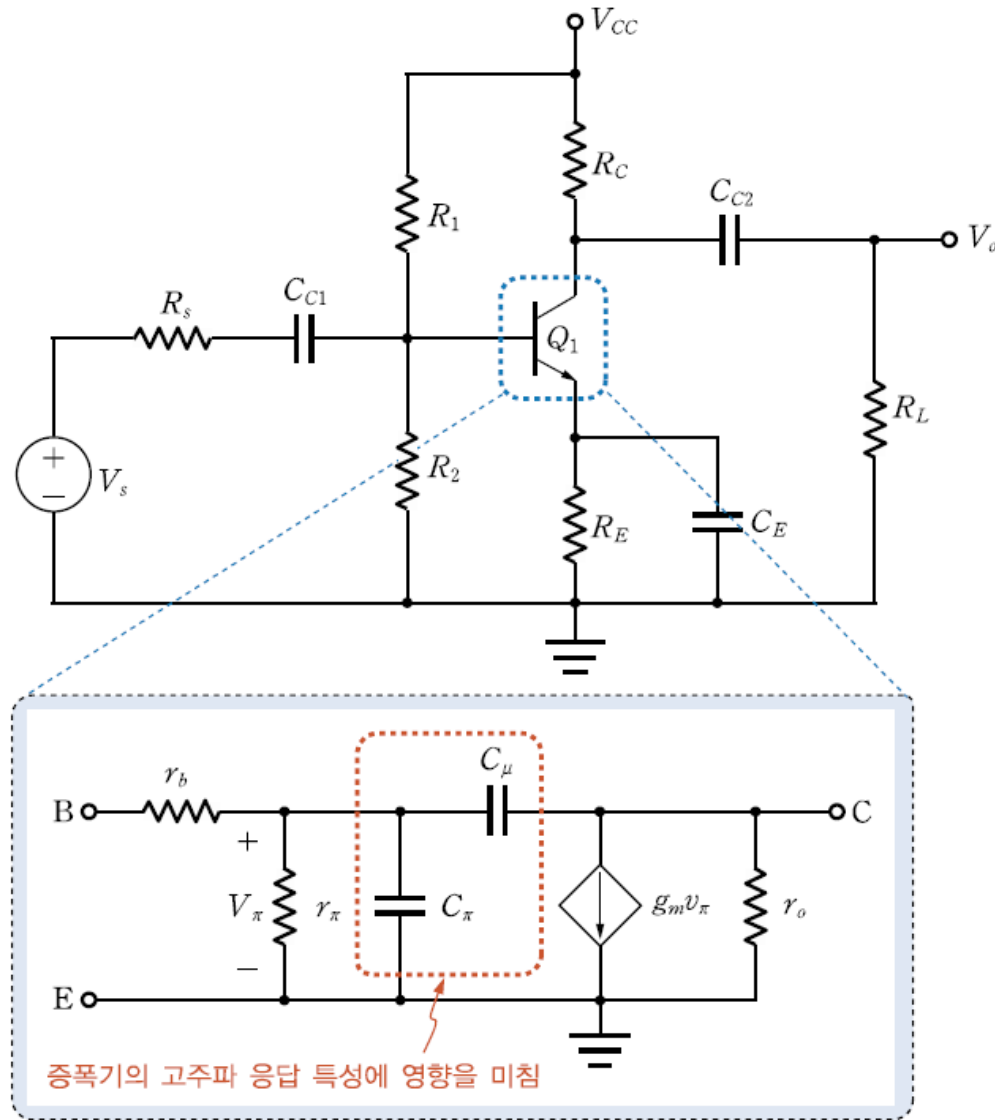


그림 14-1 증폭기의 고주파 응답 특성에 영향을 미치는 트랜지스터 내부의 기생 커패시턴스 성분

증폭기의 고주파 응답 특성 이해하기

★ 증폭기의 고주파 응답 특성

- 증폭기의 고주파 응답 특성을 나타내는 상측 차단주파수 f_H
: 중대역 이득 $|A_m|$ 으로부터 3dB 감소하는 주파수

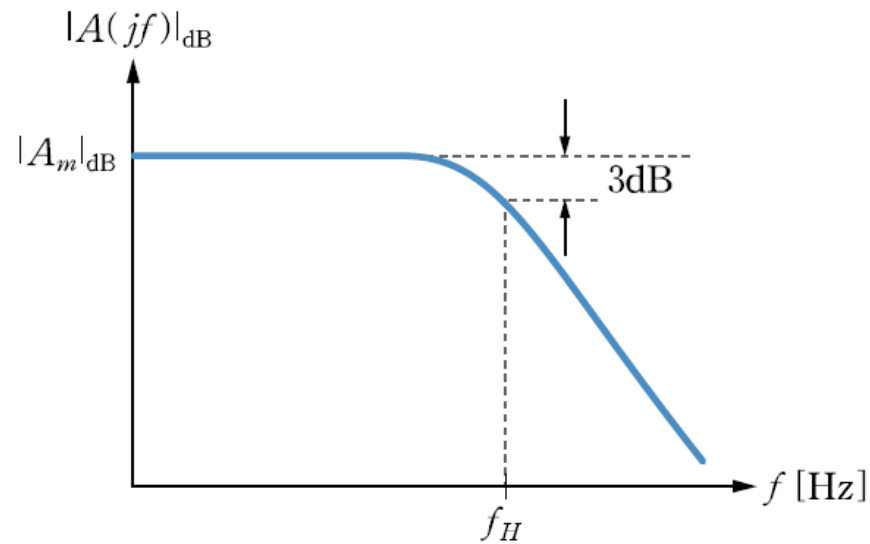


그림 14-2 증폭기의 고주파 응답 특성을 나타내는 보드 선도

증폭기의 고주파 응답 특성 이해하기

★ 대역폭

- 증폭기 이득이 주파수에 무관하게 일정한 값을 갖는 영역
- 하측 차단주파수 f_L 과 상측 차단주파수 f_H 사이의 영역으로 정의함

$$BW = f_H - f_L$$

- $f_L \ll f_H$ 이면, $BW \approx f_H$ 로 근사화할 수 있음

증폭기의 고주파 응답 특성 이해하기

★ 이득-대역폭 곱

- 중대역 이득의 크기 $|A_m|$ 과 대역폭 BW 의 곱

$$GBP = |A_m| \times BW \simeq |A_m| \times f_H$$

- 주어진 증폭기 회로에 대해 GBP 는 일정한 값을 가짐
- 이득과 대역폭 사이에는 교환 조건^{trade-off}이 존재함
 - ➔ 이득을 크게 하면 대역폭이 작아지고, 대역폭을 크게 하면 이득이 작아짐

STEP 02

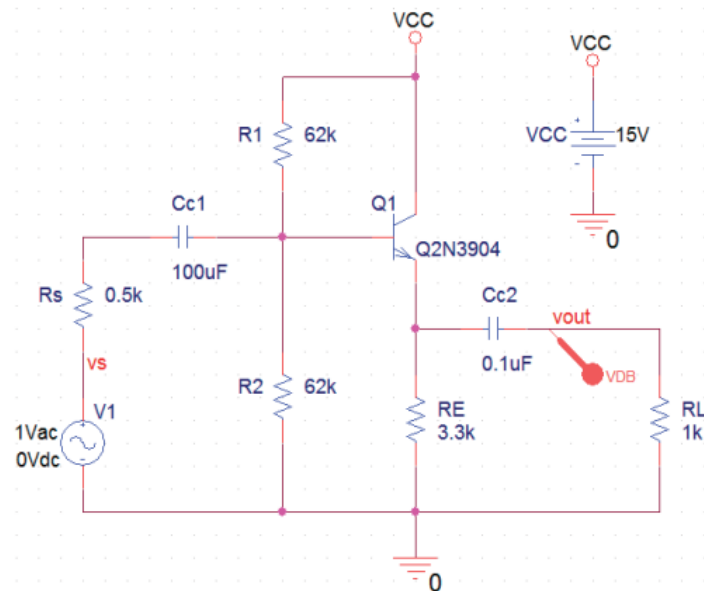
PSPICE 시뮬레이션하기



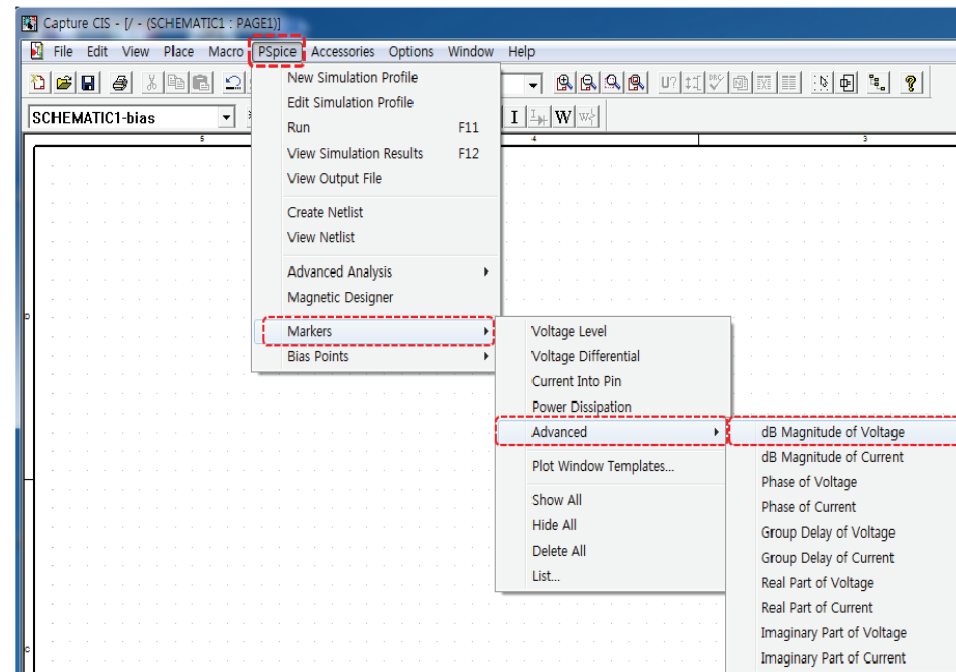
PSPICE 시뮬레이션하기

시뮬레이션 1-1 | 결합 커패시턴스에 따른 공통컬렉터 증폭기의 저주파 응답 특성 해석하기

1 회로도 입력



(a) 시뮬레이션 회로

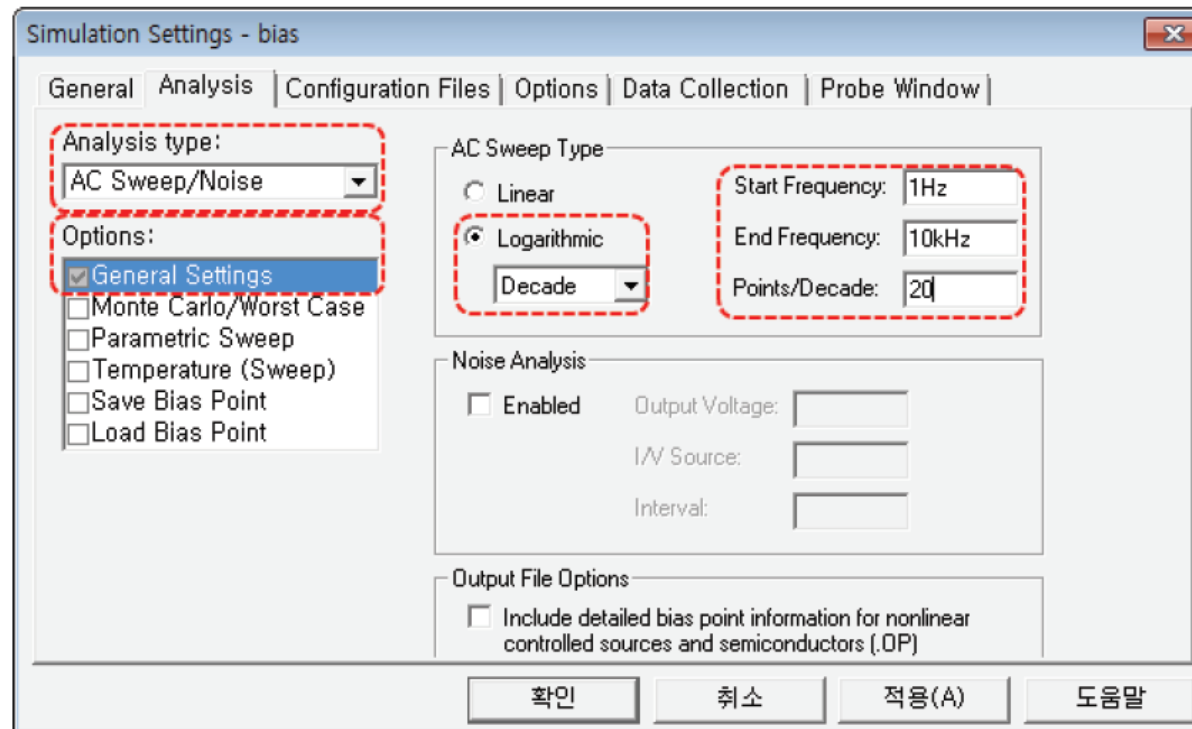


(b) VDB Marker 설정

그림 13-2 공통컬렉터 증폭기의 저주파 응답 특성 시뮬레이션 (계속)

PSPICE 시뮬레이션하기

2 시뮬레이션 설정

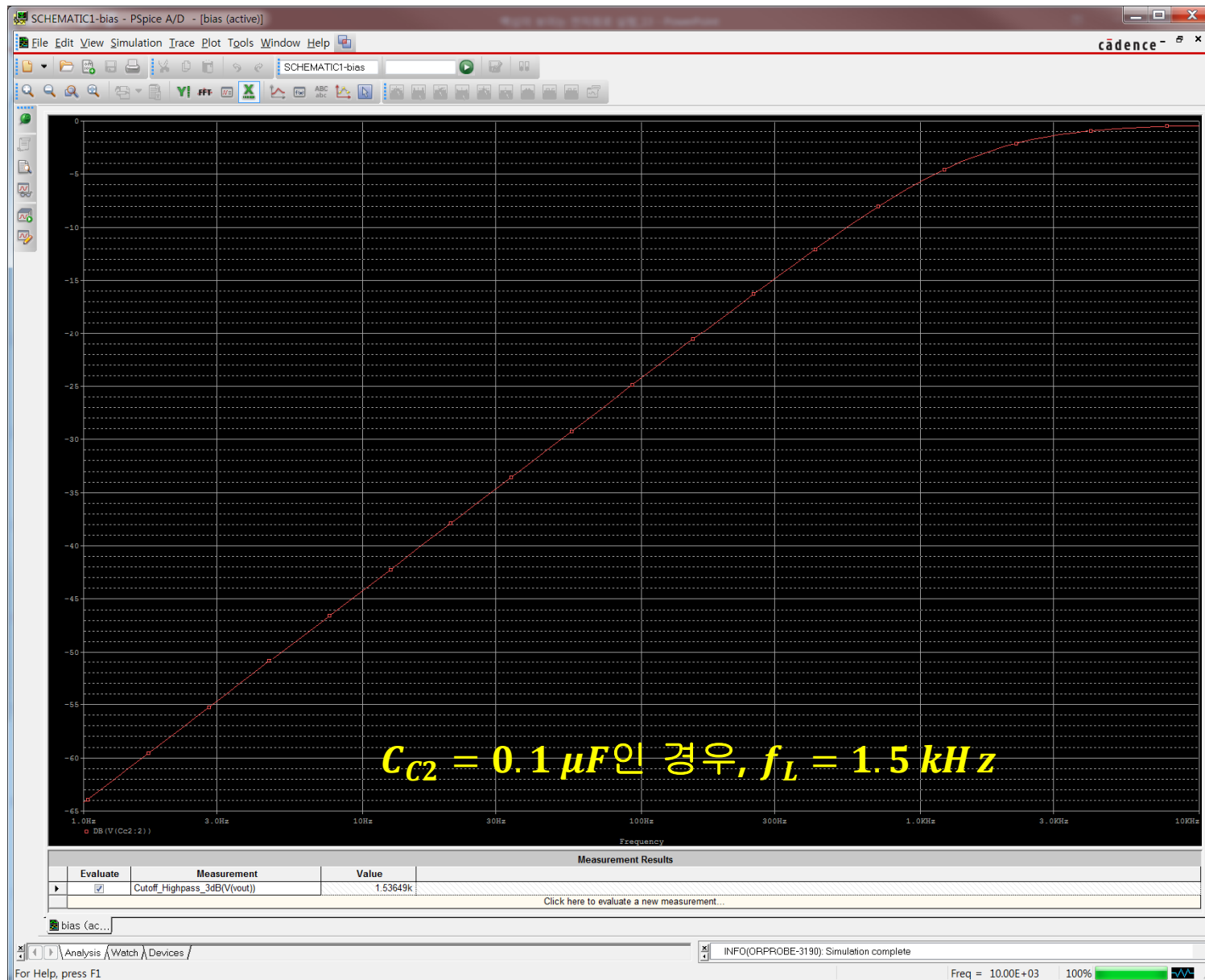


(c) 시뮬레이션 설정(AC Sweep)

그림 13-2 공통컬렉터 증폭기의 저주파 응답 특성 시뮬레이션

3 시뮬레이션 실행

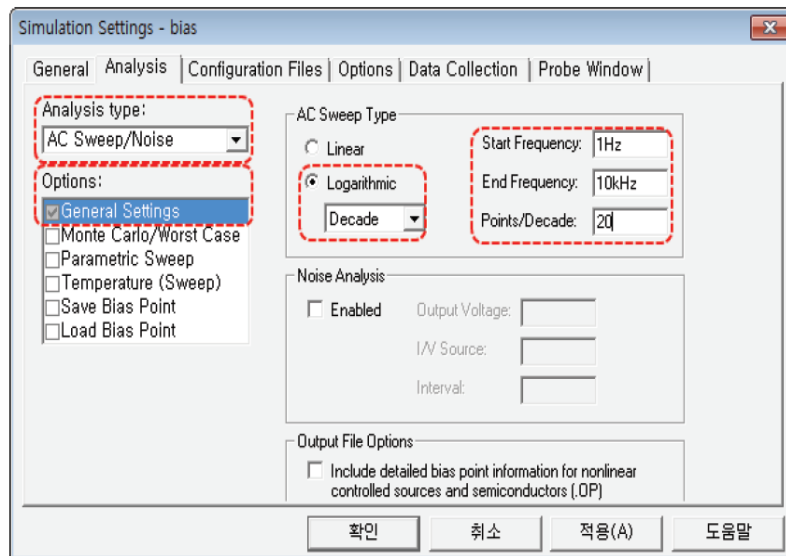
PSPICE 시뮬레이션하기 – 시뮬레이션 결과



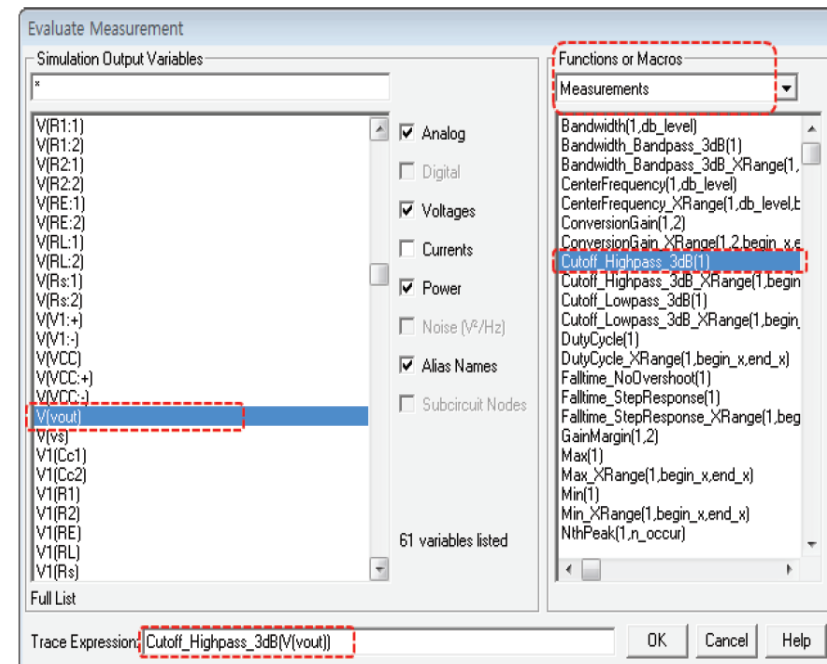
PSPICE 시뮬레이션하기

4 커패시턴스 값 변경 후, 시뮬레이션 재실행

- 결합 커패시터 C_{C2} 를 $0.56 \mu F$, $1.0 \mu F$ 으로 변경한 후, 시뮬레이션을 실행



(c) 시뮬레이션 설정(AC Sweep)



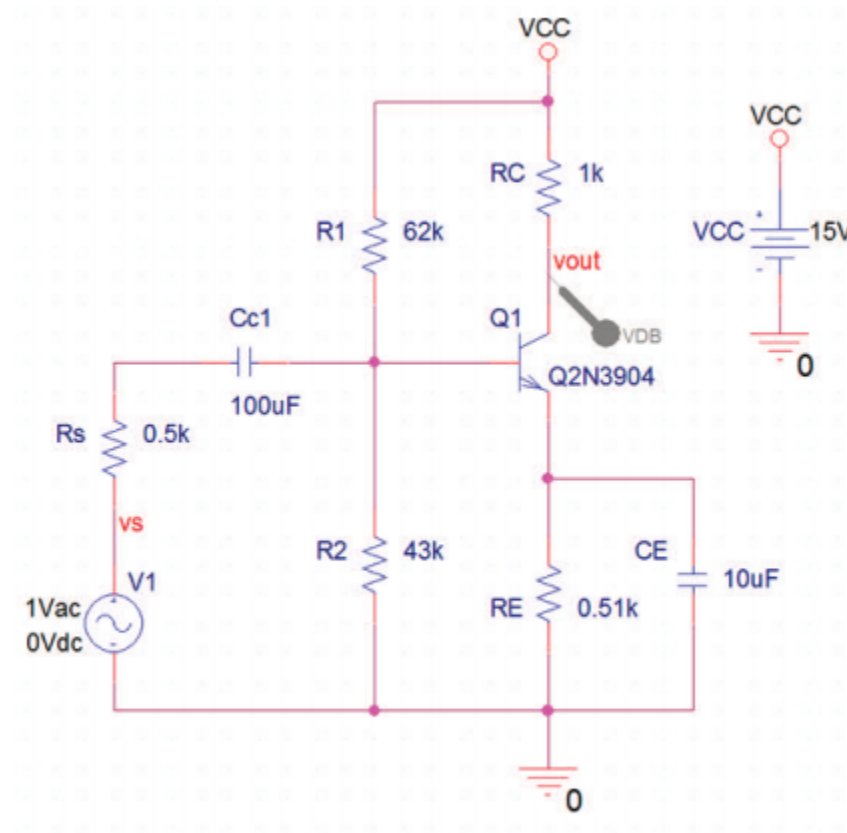
(d) 하측 차단주파수 측정

그림 13-2 공통컬렉터 증폭기의 저주파 응답 특성 시뮬레이션

PSPICE 시뮬레이션하기

시뮬레이션 1-2 | 바이패스 커패시턴스에 따른 공통이미터 증폭기의 저주파 응답 특성 해석하기

1 회로도 입력

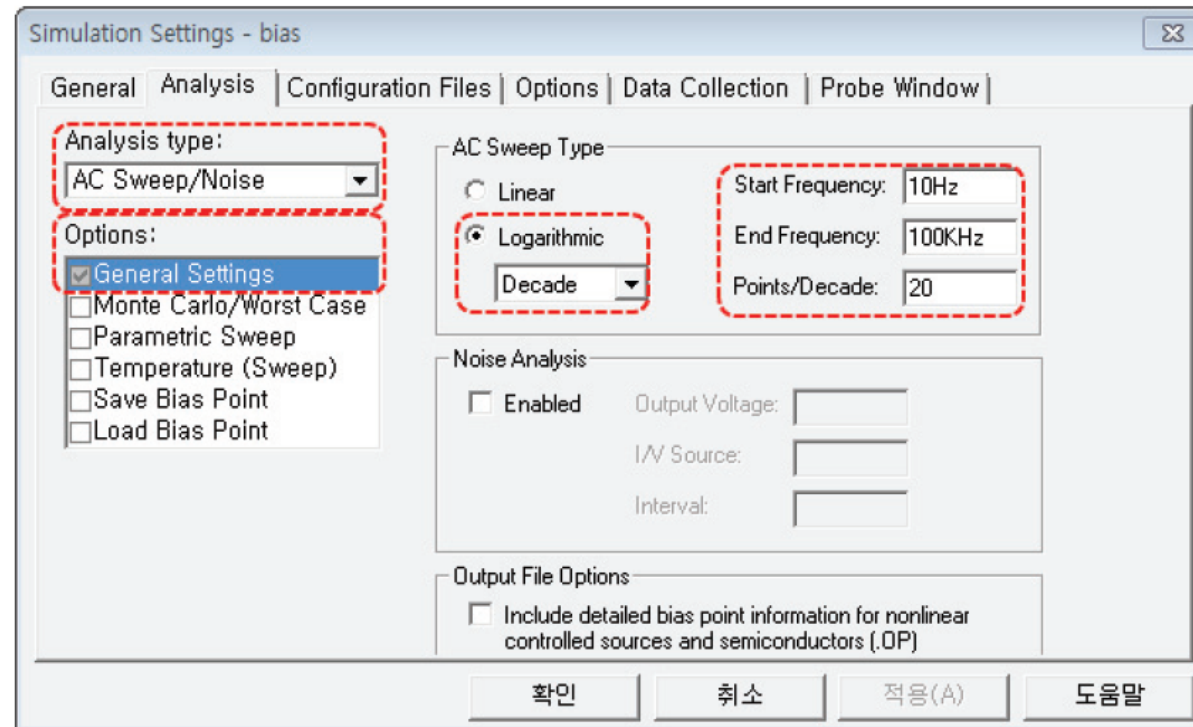


(a) 시뮬레이션 회로

그림 13-3 공통이미터 증폭기의 저주파 응답 특성 시뮬레이션

PSPICE 시뮬레이션하기

2 시뮬레이션 설정

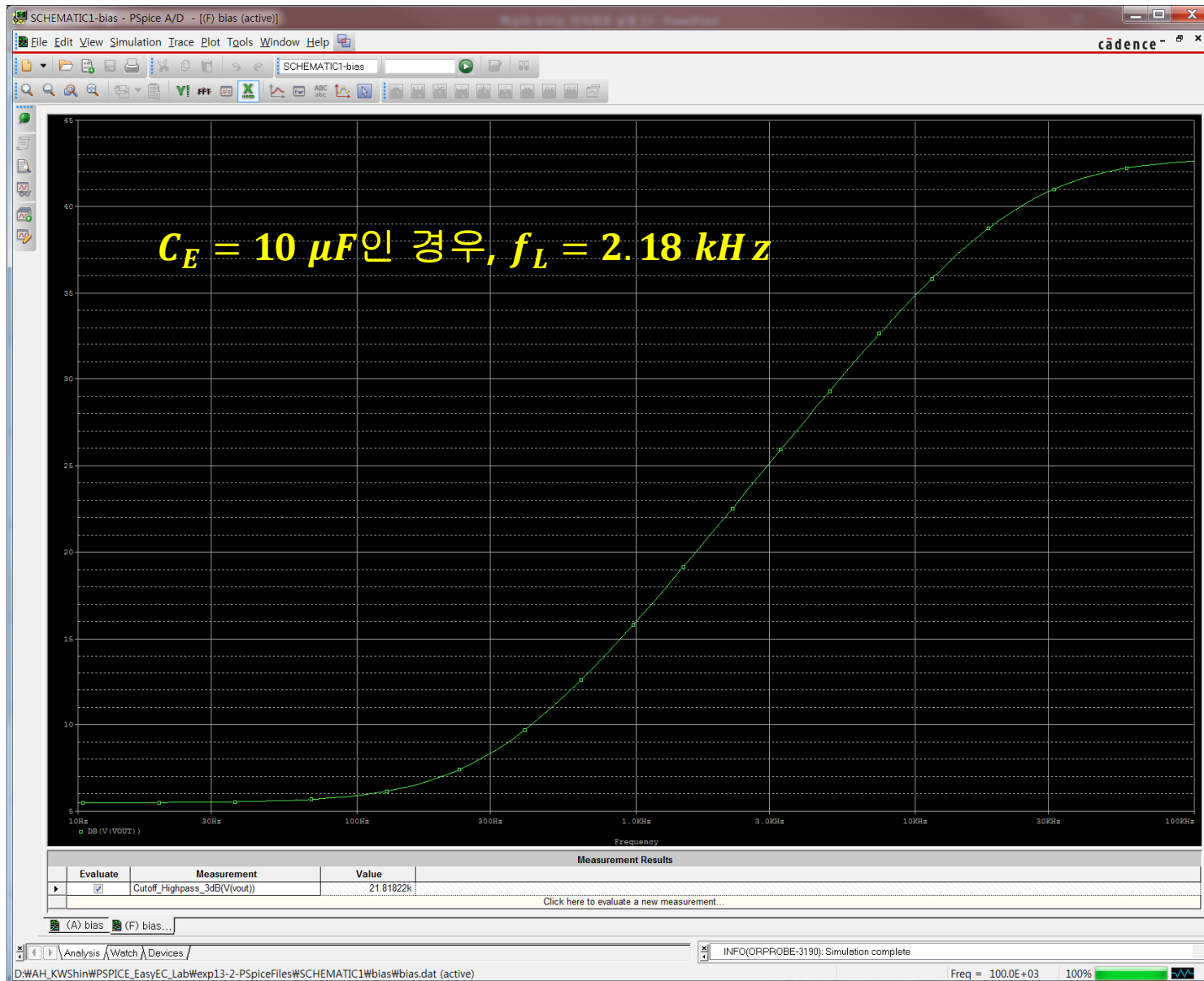


(b) 시뮬레이션 설정(AC Sweep)

그림 13-3 공통이미터 증폭기의 저주파 응답 특성 시뮬레이션

3 시뮬레이션 실행

PSPICE 시뮬레이션하기 – 시뮬레이션 결과



PSPICE 시뮬레이션하기

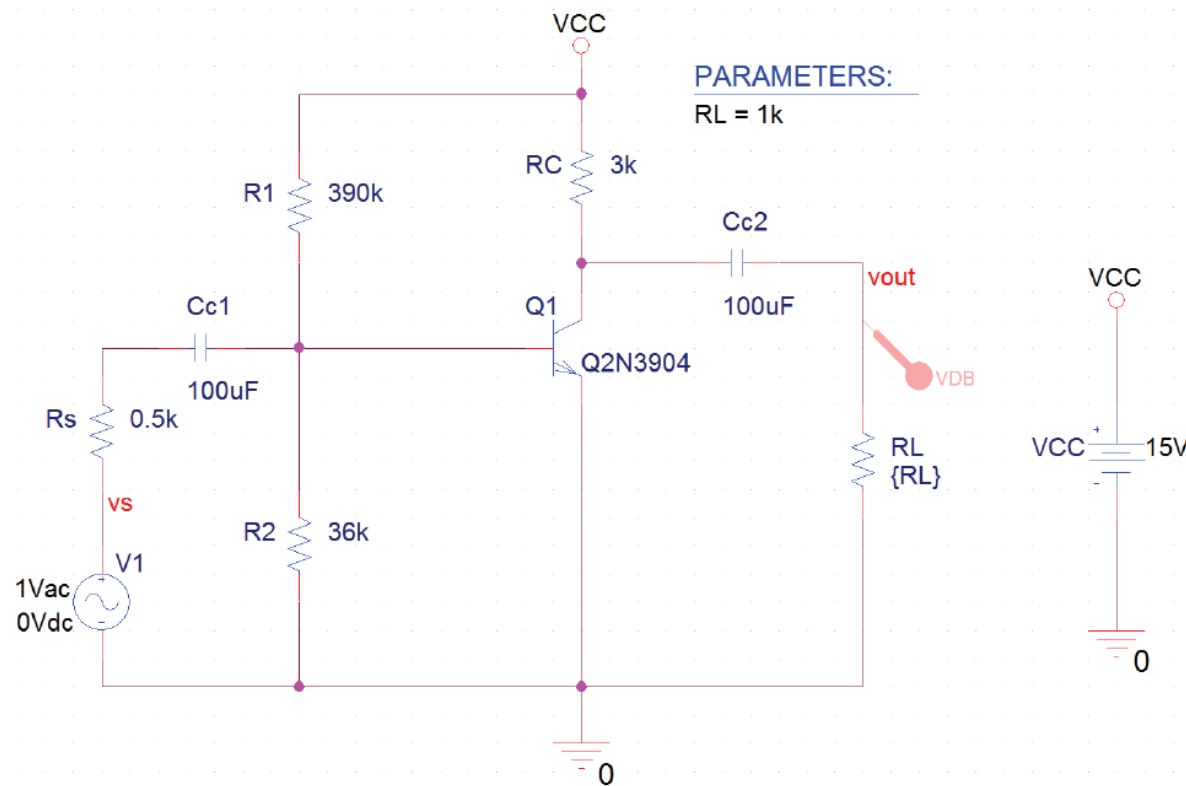
4 커패시턴스 값 변경 후, 시뮬레이션 재실행

- 결합 커패시터 C_E 를 $22\ \mu F$, $33\ \mu F$ 으로 변경한 후, 시뮬레이션을 실행

PSPICE 시뮬레이션하기

시뮬레이션 1-3 | 공통이미터 증폭기의 고주파 응답 특성 해석하기

1 회로도 입력

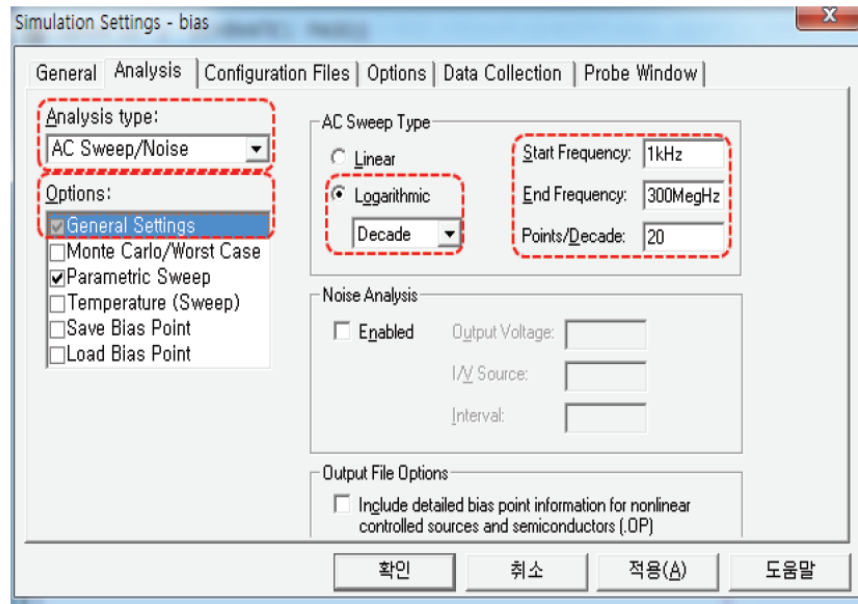


(a) 시뮬레이션 회로

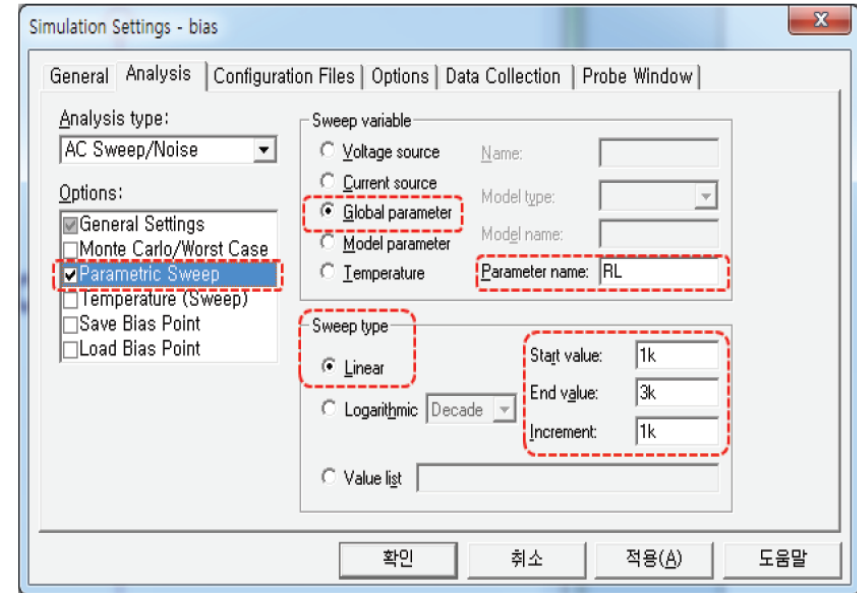
그림 14-3 공통이미터 증폭기의 고주파 응답 특성 시뮬레이션 (계속)

PSPICE 시뮬레이션하기

2 시뮬레이션 설정



(b) 시뮬레이션 설정(AC Sweep)



(c) 시뮬레이션 설정(Parametric Sweep)

그림 14-3 공통이미터 증폭기의 고주파 응답 특성 시뮬레이션

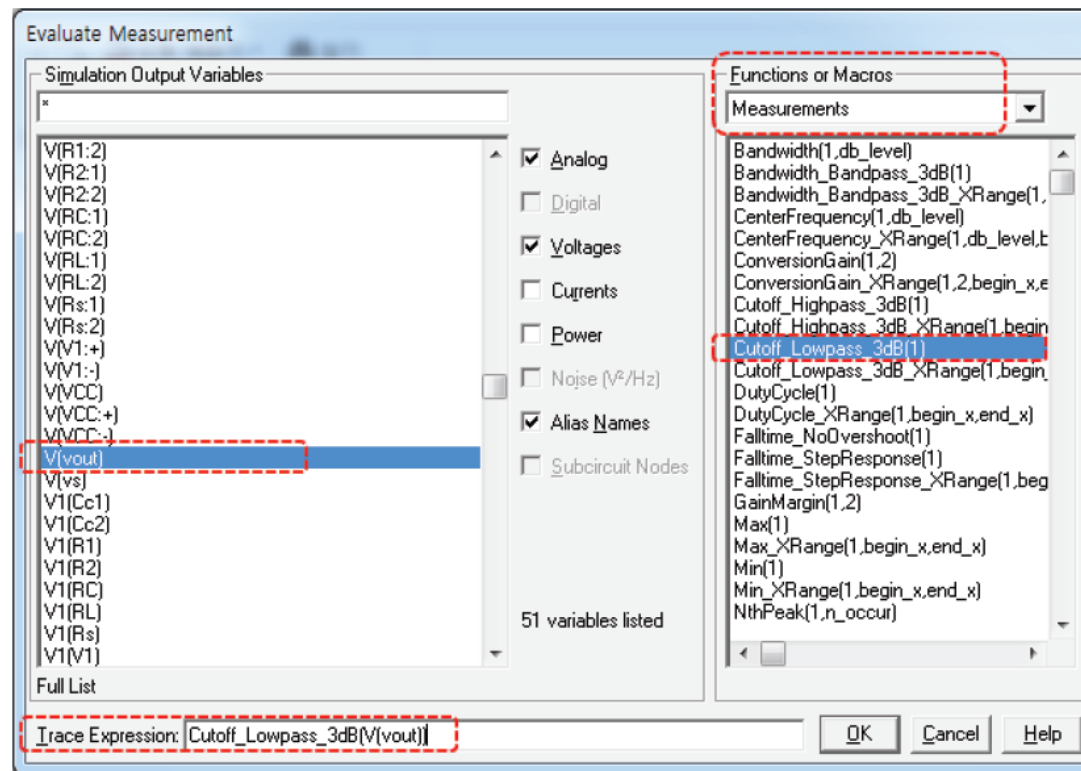
PSPICE에서 단위 표기



PSPICE에서 단위 메가(10^6)는 약어 meg로 표기함에 유의한다. 참고로, PSPICE에서 약어 m은 단위 밀리(10^{-3})를 나타낸다.

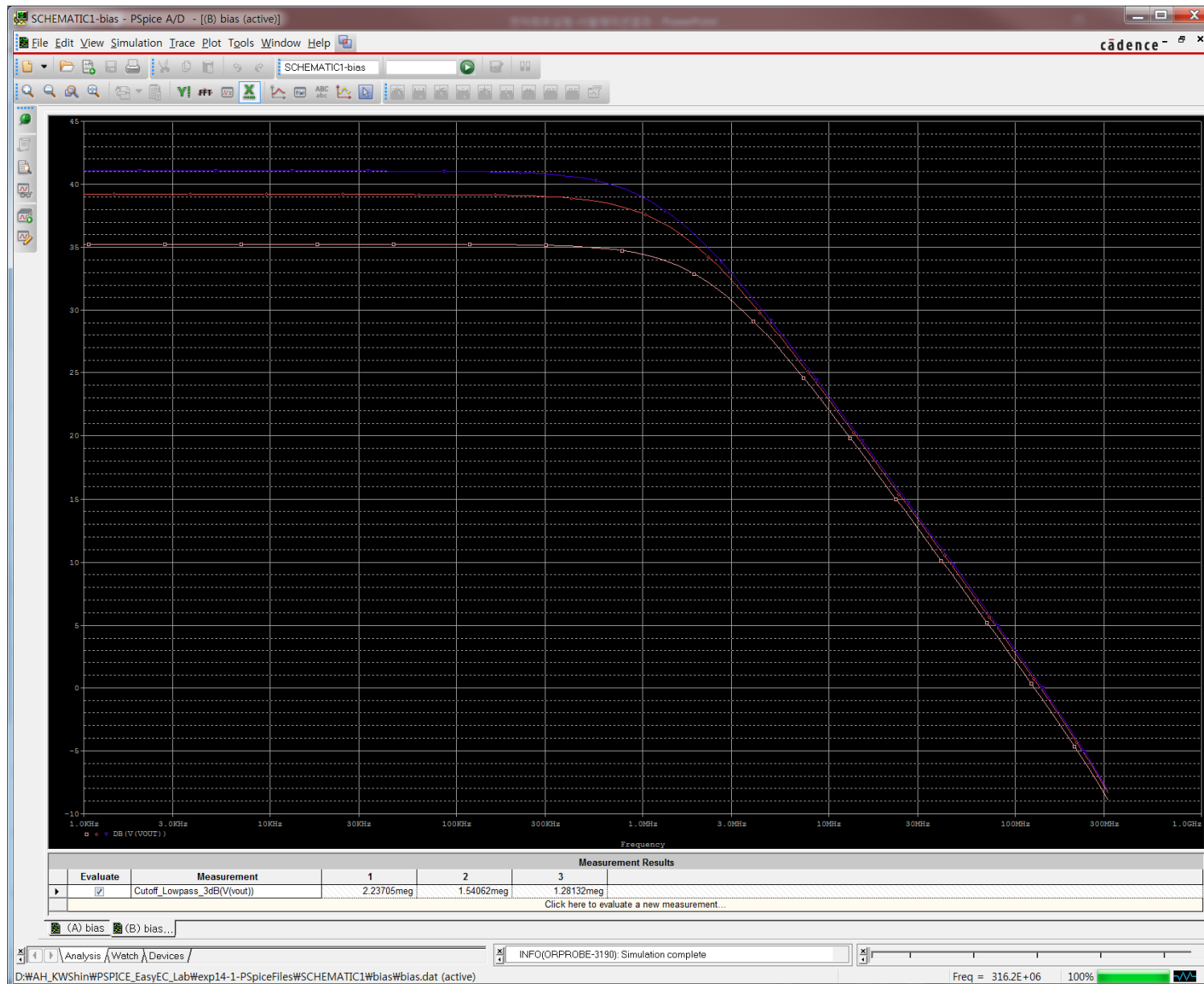
PSPICE 시뮬레이션하기

3 시뮬레이션 실행



(d) 상측 차단주파수 측정

PSPICE 시뮬레이션하기 – 시뮬레이션 결과



STEP 03

PSPICE 시뮬레이션 응용



[실습 4-1]

[그림 4-46]은 공통이미터들로 이루어진 2단 증폭기 회로이다. PSPICE 시뮬레이션 하여 중대역 이득 A_{v0} , 하측 차단주파수 f_L , 상측 차단주파수 f_H 를 구하라.

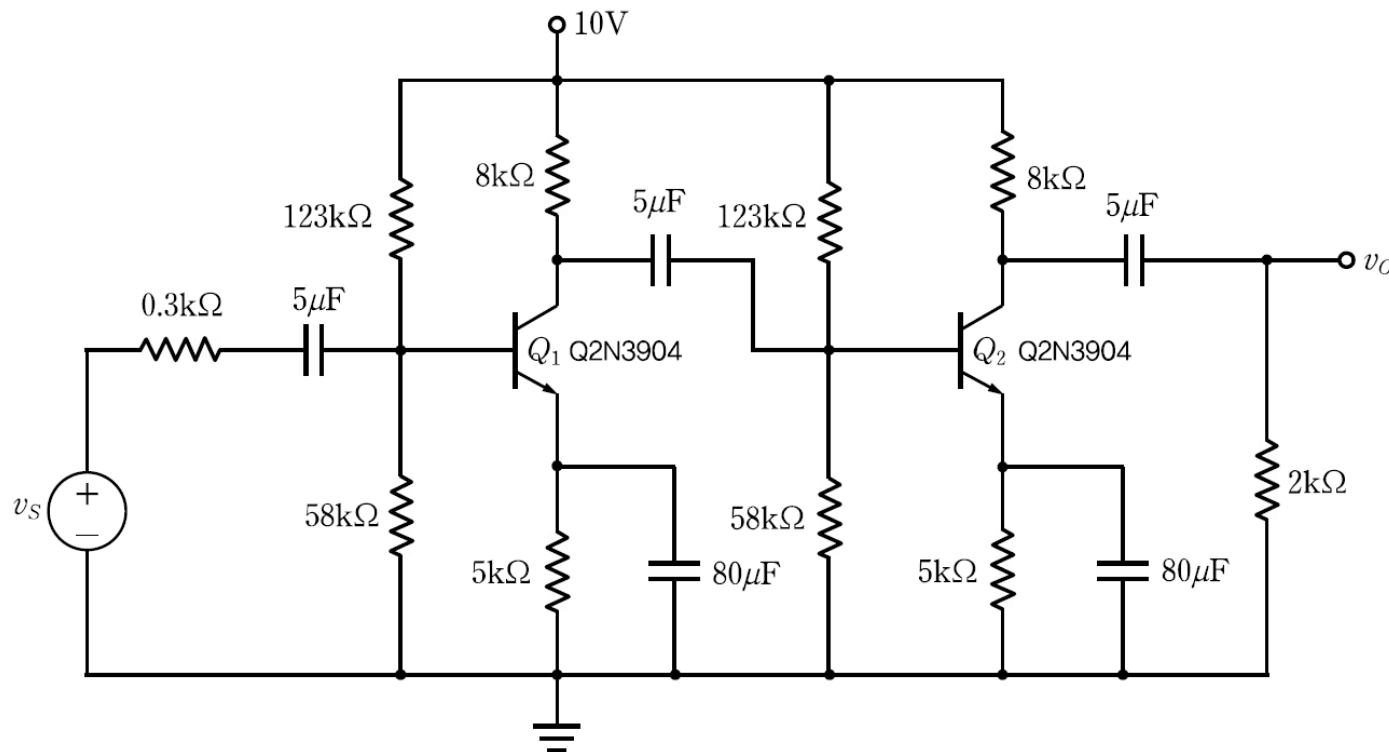


그림 4-46 [실습 4-1]의 시뮬레이션 실습 회로

[실습 4-1] 시뮬레이션 결과

4.5 PSPICE 시뮬레이션 실습

- 중대역 이득 : $A_{v0} = 65.09\text{dB} (= 1,796.8\text{V/V})$
- 하측 차단주파수 : $f_L = 48.69\text{Hz}$
- 상측 차단주파수 : $f_H = 484.4\text{kHz}$

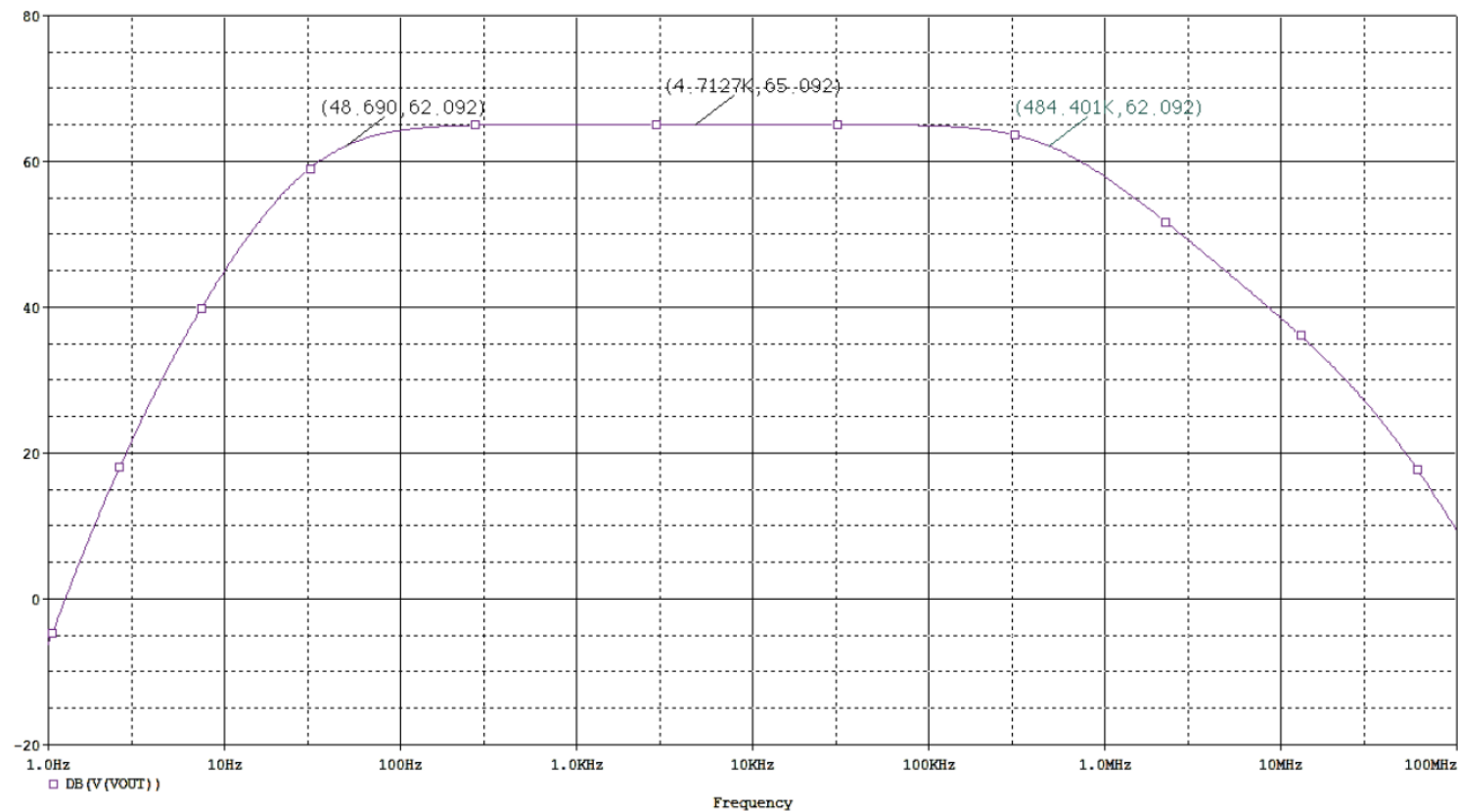


그림 4-47 [실습 4-1]의 AC 시뮬레이션 결과

[실습 4-2]

[그림 4-48]의 공통이미터 증폭기 회로에서 이미터 바이패스 커패시터 C_E 가 $50\mu\text{F} \sim 200\mu\text{F}$ 범위에서 $50\mu\text{F}$ 씩 증가함에 따라 나타나는 하측 차단주파수의 변화를 시뮬레이션으로 확인하라.

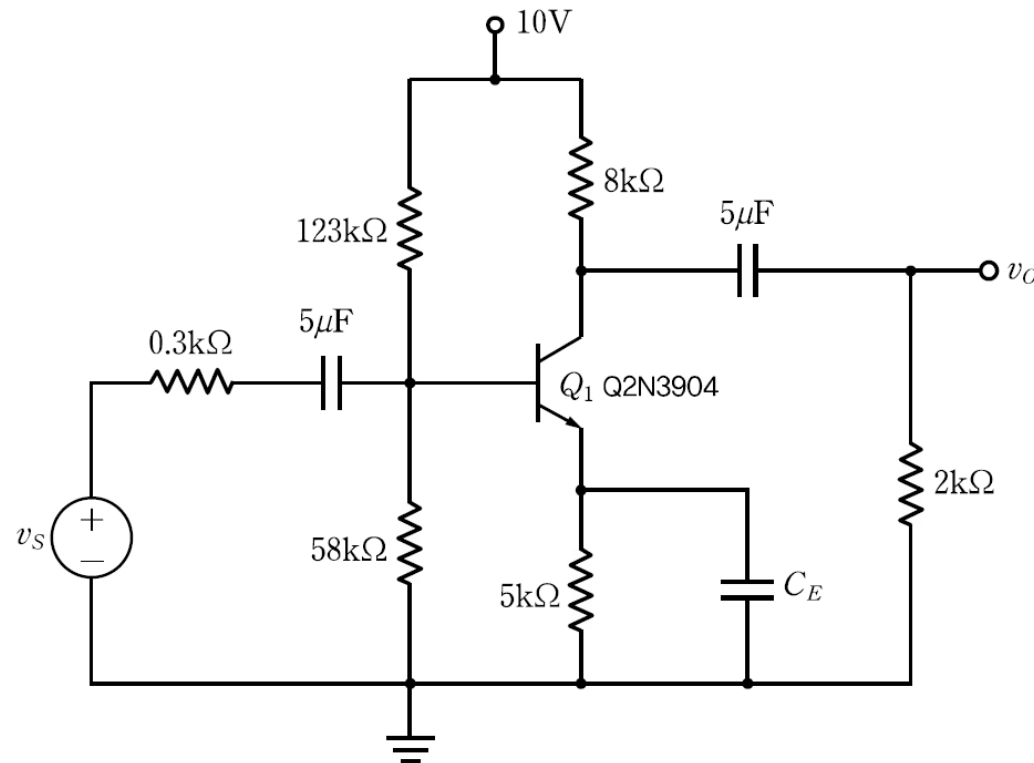


그림 4-48 [실습 4-2]의 시뮬레이션 실습 회로

[실습 4-2] 시뮬레이션 결과

4.5 PSPICE 시뮬레이션 실습

- $C_E = 50\mu\text{F}$ 인 경우 : $f_L = 60.95\text{Hz}$
- $C_E = 100\mu\text{F}$ 인 경우 : $f_L = 32.74\text{Hz}$
- $C_E = 150\mu\text{F}$ 인 경우 : $f_L = 23.44\text{Hz}$
- $C_E = 200\mu\text{F}$ 인 경우 : $f_L = 18.85\text{Hz}$

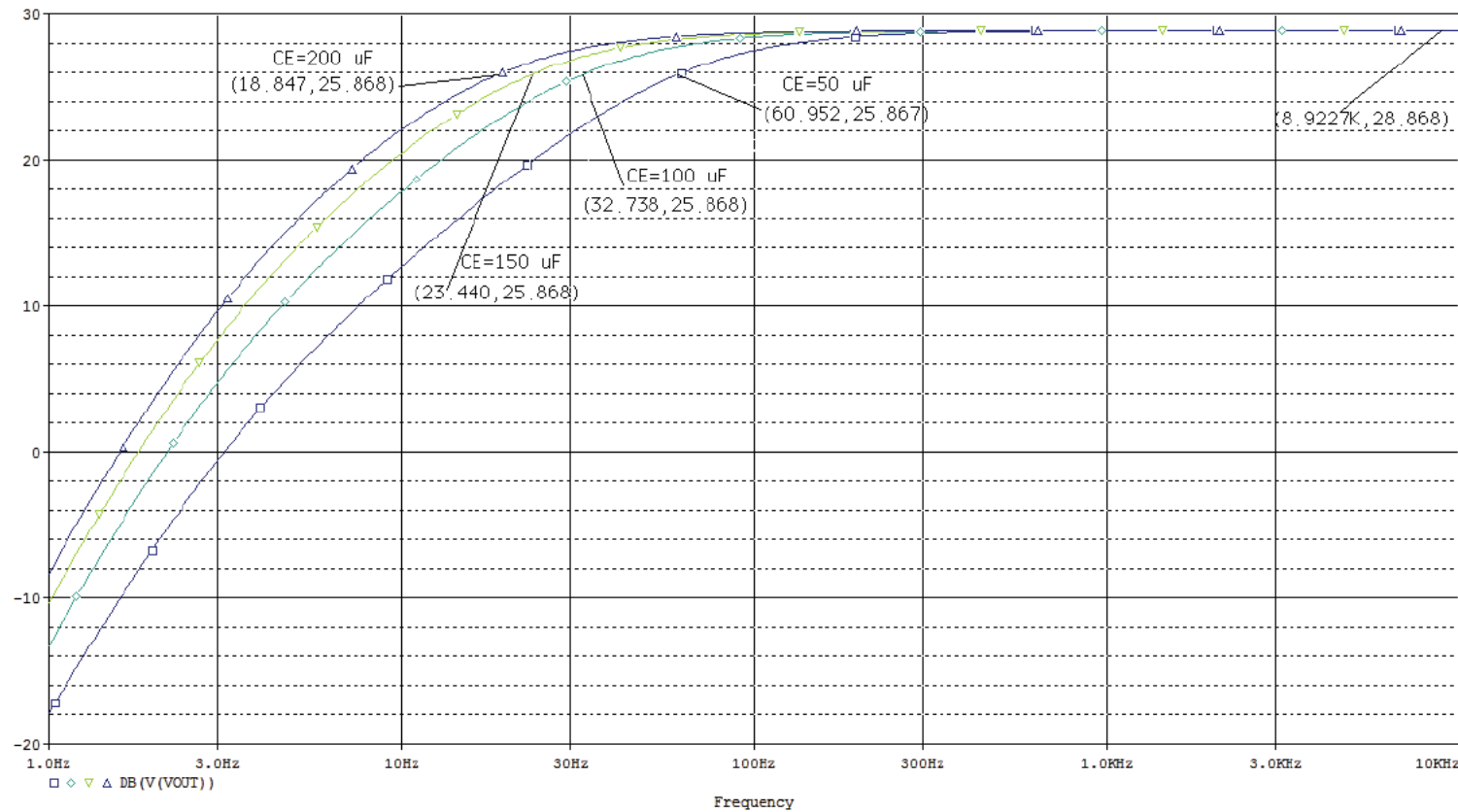
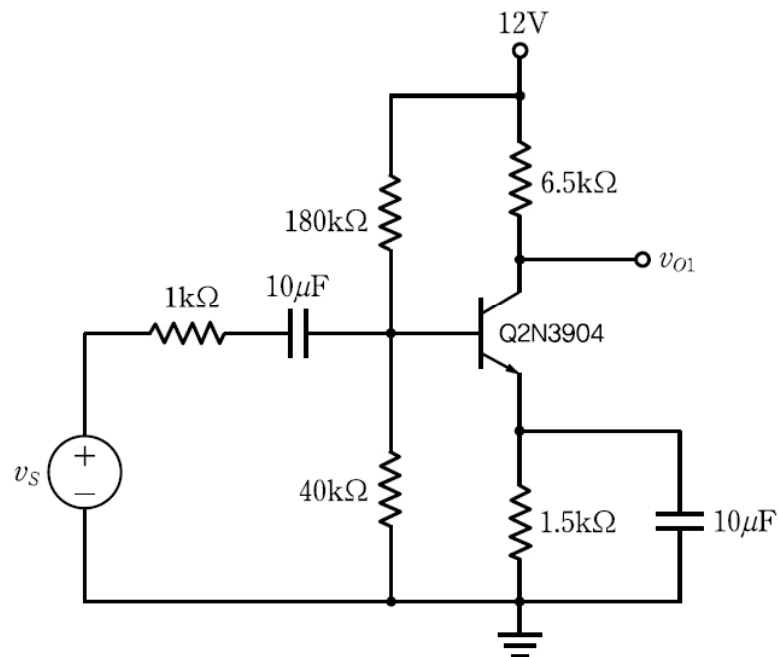
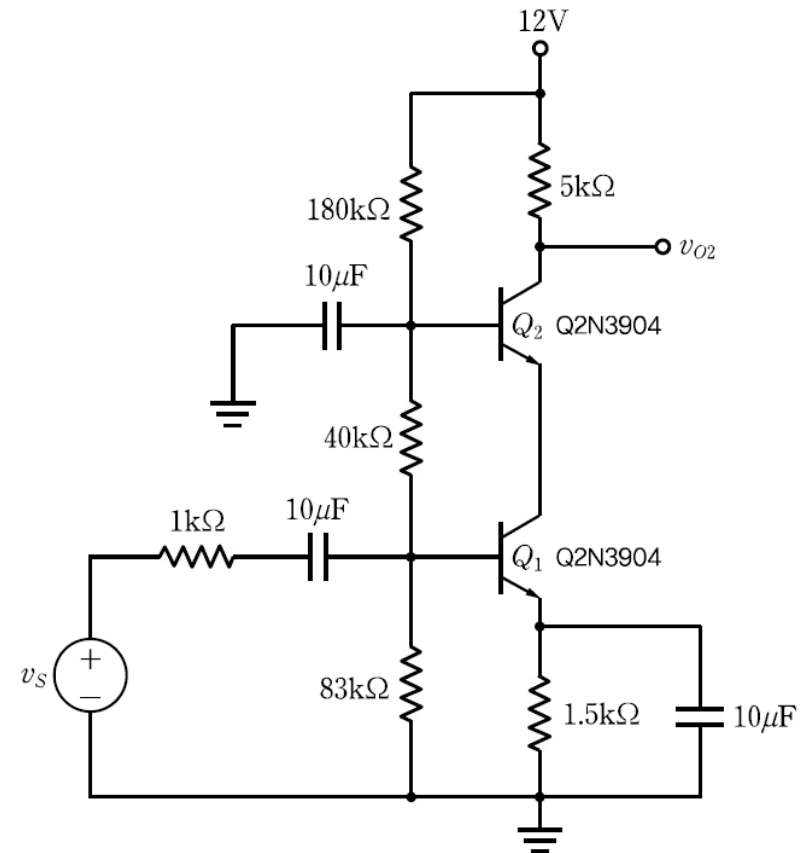


그림 4-49 [실습 4-2]의 AC 시뮬레이션 실습 회로

[그림 4-50]의 공통이미터 증폭기와 캐스코드 증폭기를 동시에 시뮬레이션하여 상측 차단주파수를 비교하라. 단, 결합 및 바이패스 커패시터는 매우 큰 값으로 설정한다.



(a) 공통이미터 증폭기



(b) 캐스코드 증폭기

그림 4-50 [실습 4-3]의 시뮬레이션 실습 회로

[실습 4-3] 시뮬레이션 결과

4.5 PSPICE 시뮬레이션 실습

- 공통이미터 증폭기 : $f_H = 447.0\text{kHz}$
- 캐스코드 증폭기 : $f_H = 6.5\text{MHz}$

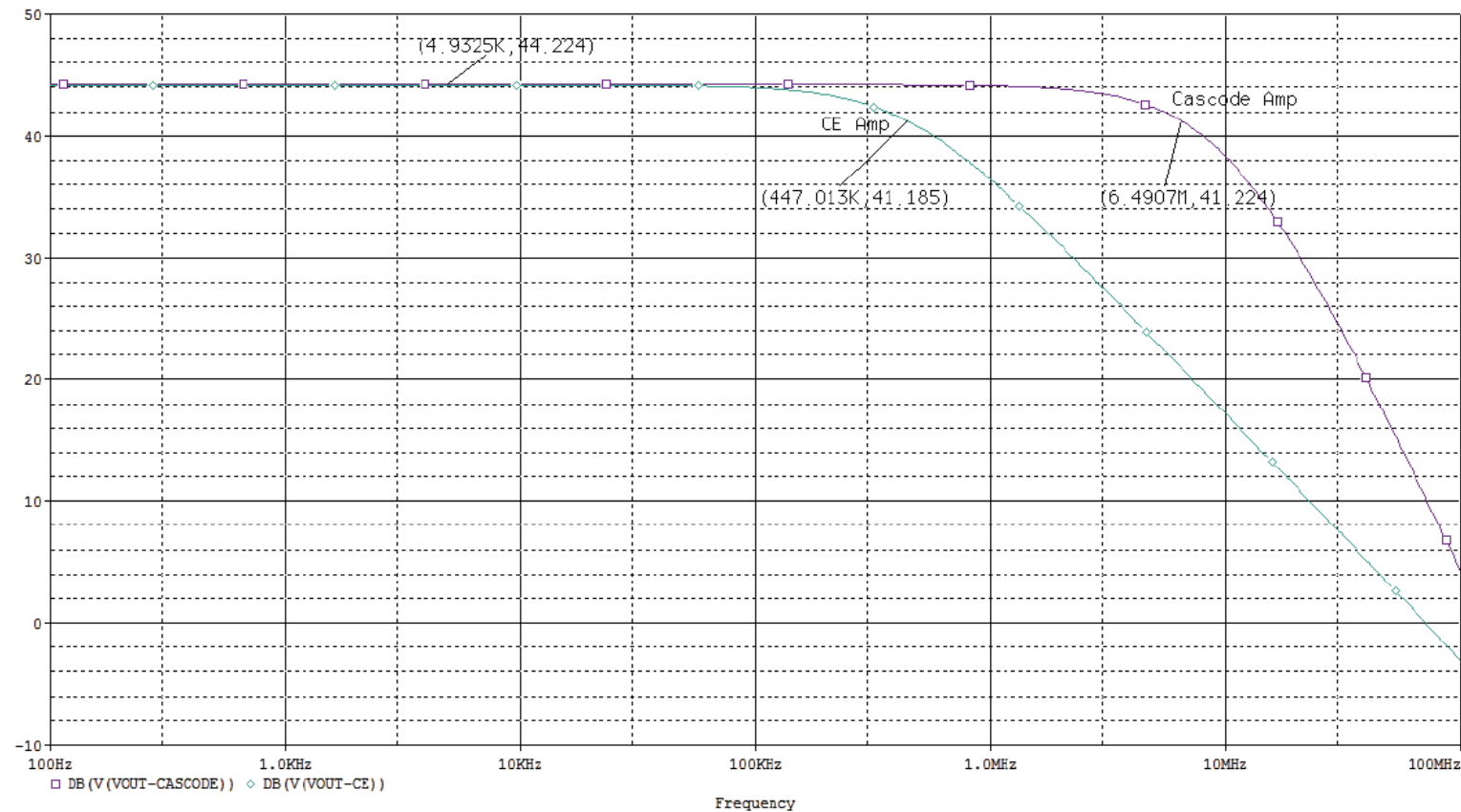


그림 4-51 [실습 4-3]의 AC 시뮬레이션 결과

실습HW#1 다음 스펙을 충족하는 증폭기를 설계하여 시뮬레이션으로
검증하시오. 단, 증폭기 종류는 제한 없음 (최대 40점)

- 중주파수대역 전압이득 : 40 dB 이상 (10점)
- 하측차단주파수 : 500 KHz 이하 (5점)
- 상측차단주파수 : 10 MHz 이상 (15점)
- 전원 전압 : 15 V
- 가산점
 - ✓ 전원 전압 10 V 이하 +5점
 - ✓ PNP BJT 사용시 +5점
 - ✓ 동작점을 이용한 이론적 해석 포함시 +15점 (전압이득, 하측, 상측 각 5점)

Q&A

