



UNIVERSIDADE FEDERAL RURAL DO SEMI-ÁRIDO
PRÓ-REITORIA DE PESQUISA E PÓS-GRADUAÇÃO
PROGRAMA INSTITUCIONAL DE BOLSAS DE INICIAÇÃO CIENTÍFICA
CONSELHO NACIONAL DE DESENVOLVIMENTO CIENTÍFICO E TECNOLÓGICO



A aplicação de modelos de IA baseados em aprendizado de máquina na etapa de verificação/controle de qualidade de circuitos integrados

Alejandro Azevedo

Mossoró, 2025



INTRODUÇÃO/JUSTIFICATIVA

Com a crescente presença das IAs na vida cotidiana e acadêmica (Rodrigues; Rodrigues, 2023), por advento de *chatbots* como ChatGPT e Google Gemini, e também no mundo corporativo (Citação pendente), por meio de aplicações mais especializadas e privativas, é inevitável que a indústria também cobice os benefícios do uso de tal tecnologia. De certo modo, é belo pensar que um dos maiores avanços da tecnologia recente, os modelos de IA, possam ser utilizados para facilitar o desenvolvimento dos próprios sistemas que são utilizados para sua execução. Um dos desafios que persistem na produção dos circuitos integrados (CIs) que compoem estes sistemas é o alto custo e complexidade da operação. Por sua vez, esta pesquisa foca-se no estudo dos CIs semicondutores como CPUs (Unidades de Processamento Central) e GPUs (Unidades de Processamento Gráfico) e em apenas uma das diversas etapas de sua produção: O processo de validação. “A validação pós-silício é a ultima etapa na fabricação de circuitos integrados e é utilizada para detectar e corrigir *bugs* nos CIs após a produção.” (Amuru *et al.*, 2023, p. 5, tradução nossa). Nesta etapa, os CIs passam por uma bateria de testes extensivos. Visando averiguar o comportamento do CI antes da produção em massa e garantir seu funcionamento.:

- **Testes de Energia (*Power-on-debug*):** Uma das primeiras atividades realizadas em um laboratório pós-silício. Inicializar um dispositivo pela primeira vez é mais complexo do que parece. Consequentemente, os testes de energia exigem uma intensa tempestade de ideias. (Mishra *et al.*, 2017, p. 6, tradução nossa);
- **Testes Básicos de Hardware:** O foco da validação lógica é assegurar que o projeto de hardware funcione corretamente e testar as funcionalidades específicas dos IPs (blocos de propriedade intelectual, como são chamados os diferentes componentes do CI) que compoem o projeto do CI. Geralmente, isso é feito ao submeter o chip a uma ampla variedade de testes, que incluem tanto testes direcionados para verificar funcionalidades específicas, como também testes aleatórios e aleatórios-restritos. (Mishra *et al.*, 2017, p. 6, tradução de I.A, ajustes nossos);



- **Testes de Compatibilidade:** A validação de compatibilidade refere-se às atividades para garantir que o chip funcione com diversas versões de sistemas, softwares de aplicação e periféricos. Essa validação leva em conta os vários casos de uso alvo do sistema, as plataformas nas quais o CI se destina a ser incluído, etc. [...] um desafio fundamental aqui é o grande número de combinações possíveis (de configurações de hardware, software, periféricos e casos de uso) que precisam ser testadas. (Mishra *et al.*, 2017, p. 6, tradução de I.A, ajustes nossos);
- **Testes de Validação Elétrica:** A validação elétrica testa as características elétricas do sistema, dos componentes e da plataforma para garantir uma margem elétrica adequada sob as piores condições de operação. [...] Assim como na validação de compatibilidade mencionada anteriormente, um desafio fundamental aqui é o tamanho do espaço de parâmetros: para as metas de qualidade e confiabilidade do sistema, a validação deve cobrir todo o espectro de condições de operação (por exemplo, tensão, corrente e resistência) para milhões de componentes. (Mishra *et al.*, 2017, p. 6–7, tradução de I.A, ajustes nossos);
- **Teste de Caminho-Veloz:** O objetivo da validação de caminhos de velocidade é identificar no hardware os caminhos de projeto que limitam a frequência. Devido a variações, o desempenho de comutação dos diferentes transistores no projeto varia. Isso faz com que os dados sejam propagados em velocidades diferentes por caminhos distintos do circuito. A velocidade na qual o circuito consegue operar é, em última análise, limitada pelas limitações do caminho mais lento do projeto (em termos de velocidade de propagação de dados). A identificação de tais caminhos lentos é, portanto, crucial para otimizar o desempenho do projeto. (Mishra *et al.*, 2017, p. 7, tradução de I.A, ajustes nossos);

Para além das condições básicas de teste, são também realizados testes de stress. Isto é, testar o CI em condições acima do projetado para descobrir os seus limites. Este tipo de teste tem dois propósitos: Garantir o funcionamento estável em casos onde o CI seja levado ao extremo intencionalmente ou acidentalmente, e também, um processo chamado *binning*, que consiste em segregar os *dies* (Pastilhas de material semicondutor onde o CI é fabricado) por nível de qualidade. Aqueles que tiverem menos defeitos, serão separados para os produtos de maior desempenho.



Enquanto os com mais defeitos terão as partes defeituosas desligadas, e serão vendidos como produtos de categoria inferior.

Resumindo: Estas etapas de validação tem o intuito de averiguar se as capacidades do CI estão de acordo com o que foi projetado e também, que possuem uma certa margem para superar o projetado. A depuração inicial do chip (finalizado) exige um esforço de engenharia intensivo e de muitos meses e, [...] tornou-se a parte que mais consome tempo – representando, em média, 35% do ciclo de desenvolvimento de um novo chip. Isso confirma a declaração do roadmap do ITRS de que o tempo para localizar a causa raiz de um problema cresce exponencialmente com os avanços na tecnologia de processo, que produzem projetos maiores, mais densos e mais complexos. (Abramovici *et al.*, 2006, p. 7, tradução de I.A, ajustes nossos) . Isso ocorre pois quanto maior a complexidade de um CI, mais possíveis pontos de falha ele terá e é nesse contexto que a IA pode ser de grande utilidade. “A IA é uma tecnologia que permite que uma máquina simule o comportamento humano. O aprendizado de máquina (ML) e o aprendizado profundo são os dois subconjuntos principais de IA. O ML permite que a máquina aprenda automaticamente dos dados anteriores sem uma programação explícita [para fazê-lo]. O aprendizado profundo é o principal subconjunto do ML.” (Amuru *et al.*, 2023, p. 5, tradução nossa) E é no ML que esta pesquisa se baseia, unindo a natureza sistemática e repetitiva da validação pós-silício às capacidades de aprendizagem por meio de ML, surge uma possibilidade de automatizar as etapas de teste apresentadas a fim de agilizar e baratear a parte final e mais importante da produção, podendo assim aumentar margens de lucro, acelerar a linha de produção e fomentar o desenvolvimento dos campos da Microeletrônica e Inteligência Artificial.

OBJETIVOS

GERAL: Treinar um modelo de ML com base em parâmetros de microprocessadores já aprovados, garantindo-lhe a capacidade de executar de forma autônoma uma sequência de testes de validação pós-silício, coletar seus resultados e organizar esses dados de uma maneira facilmente processável.



ESPECÍFICOS:

- Desenvolver um programa capaz de realizar automaticamente os testes da fase de verificação pós-silício como o teste de energia, teste de compatibilidade, validação elétrica e teste de caminho-veloz;
- Treinar um modelo de I.A baseado em ML para coletar os dados obtidos pelo programa, interpretá-los e organizá-los de forma clara e detalhada por meio de um relatório que será analisado por um Engenheiro após a conclusão dos testes;
- Estabelecer um protocolo de treinamento e desenvolvimento de modelos de IA para aplicações em validação de circuitos eletrônicos, promovendo a transferência de conhecimento entre a universidade e a indústria.

METODOLOGIA

A princípio, será estudado o estado da arte no campo da verificação pós-silício, a fim de entender à fundo os processos realizados, determinar quais dos processos realizados durante a verificação pós-silício serão mais compatíveis com a automação planejada, e sintetizá-los em etapas de execução e repetição relativamente simples: Um fluxograma de verificação. Esta será a base bibliográfica para uma pesquisa de cunho experimental. Simultaneamente, deverão iniciar os estudos referentes ao treinamento de uma IA do tipo ML, que deverá iniciar uma vez que o fluxograma tiver finalizado. Este fluxograma deverá englobar todos os processos compatíveis com os critérios estabelecidos até agora, visando tornar sua repetição factível e confiável. Ao mesmo tempo que o fluxograma está em desenvolvimento, será necessário encontrar CI(s) para utilizar como objeto de teste para as próximas etapas - preferencialmente, CIs do tipo FPGA (Field Programmable Grid Array) devido a sua capacidade de serem reprogramados em campo - criando efetivamente infinitas possibilidades de teste por meio de um único objeto de estudo e também devido a já existirem grupos dentro da Universidade que trabalham com este tipo de CI. Por meio das informações fornecidas pelo grupo mencionado aliadas do estudo da bibliografia existente, será possível entender quais métricas são utilizadas para avaliar o CI durante a validação, e também,



quais os valores desejados como retorno destas métricas para que ele seja aprovado e possa passar para a fase de produção em massa (Por exemplo: Qual temperatura atingiu durante os testes de operação normal?). Partindo das informações coletadas, poderá ser iniciado o desenvolvimento de um modelo de ML capaz de compreender essas métricas e competentemente analisar os dados obtidos. No que diz respeito ao modelo de ML em si, deverá ser obtido o *hardware* necessário para efetuar esse treinamento. É sumariamente importante a obtenção de equipamento adequadamente poderoso para garantir que o treinamento possa ser realizado de forma ágil, visto que o treinamento de um Modelo de ML é um processo computacionalmente intensivo. Mas especificamente, é necessário uma grande quantidade de poder computacional gráfico (GPUs).

Nas palavras de Filippini *et al.* (2024, p. 1, tradução de I.A, ajustes nossos):

“A adoção de GPUs como aceleradores beneficia enormemente o processo de treinamento, proporcionando uma aceleração na execução de cerca de 5 a 40 vezes em relação às CPUs e, assim, ampliando o conjunto de aplicações que podem ser abordadas em um tempo de computação razoável.”.

Uma vez que o objeto de estudo tenha sido garantido, pode-se começar o desenvolvimento de um programa de computador que irá realizar os testes especificados no fluxograma de maneira ordenada e, preferencialmente, paralela. (Leia-se: Múltiplos CIs sendo testados ao mesmo tempo.) O programa será de natureza automática, tendo em sua programação instruções de como realizar os testes mencionados previamente e organizar os dados obtidos em arquivos que serão eventualmente analisados pelo modelo de ML. Assim, o trabalho do engenheiro poderá ser apenas de supervisionar a execução do programa. Além disso, ele deverá ser leve, e reprogramável, permitindo a remoção/adição de etapas de teste caso necessário/desejado. Com o programa finalizado, ele deverá ser submetido a testes com o CI FPGA para que possa ser criado um *dataset* (conjunto de dados) para treinar o modelo de ML. Uma vez que o hardware do treinamento seja obtido, assim como o *dataset*, poderá ser iniciado o treinamento propriamente dito da IA. Esta etapa consiste em alimentar o modelo com os dados para que ele possa “aprender” a discernir dados positivos de dados negativos vindos do programa de automação. A partir daqui, será uma questão de repetição do processo de treinamento até que seja atingido um MVP (Mínimo produto viável) para ser apresentado no relatório final. O modelo será avaliado com base em sua velocidade, de forma que haja um equilíbrio entre a qualidade e rapidez. Precisão, que será medida comparando os dados



obtidos através da análise da IA, com os dados de controle obtidos por meio de reprodução humana das técnicas pesquisadas na revisão bibliográfica e escalabilidade, esta, medirá a capacidade do modelo ser aplicado em escala, lidando com vários *datasets* ao mesmo tempo. O modelo será considerado MVP quando conseguir entregar resultados 90% tão confiáveis quanto os obtidos por um humano, enquanto mantém uma taxa de autonomia alta. Ou seja, quando conseguir exibir resultados satisfatórios com pouquíssima intervenção humana.

HABILIDADES A SEREM DESENVOLVIDAS

- Treinamento e refinamento de modelos de IA do tipo Aprendizado Geral.;

Por meio do extenso processo de coleta de dados (realizado com o objeto de teste e o programa de automação proposto) e treinamento do modelo, os envolvidos irão se familiarizar com as minúcias do processo de desenvolvimento de um Modelo de IA, como ele funciona, e como pode ser aplicado.

- Diferentes métodos de avaliação e verificação de CIs semicondutores.

Através do estudo bibliográfico e obtenção de dados de controle, os participantes obterão um conhecimento aprofundado, por mais que nichado, sobre os processos envolvidos na validação de CIs, além de conhecimentos de automação industrial por meio do desenvolvimento do programa de automação proposto.

REFERÊNCIAS BIBLIOGRÁFICAS

ABRAMOVICI, M.; BRADLEY, P.; DWARAKANATH, K.; LEVIN, P.; MEMMI, G.; MILLER, D. A reconfigurable design-for-debug infrastructure for SoCs. 24 jul. 2006. **Proceedings of the 43rd annual Design Automation Conference** [...]. New York, NY, USA: Association for Computing Machinery, 24 jul. 2006. p. 7–12. DOI 10.1145/1146909.1146916. Disponível em: <https://doi.org/10.1145/1146909.1146916>. Acesso em: 27 jul. 2025.

AMURU, D.; ZAHRA, A.; VUDUMULA, H. V.; CHERUPALLY, P. K.; GURRAM, S. R.; AHMAD, A.; ABBAS, Z. AI/ML algorithms and applications in VLSI design and technology. **Integration**, [s. l.], v. 93, p. 102048, 1 nov. 2023. <https://doi.org/10.1016/j.vlsi.2023.06.002>.

FILIPPINI, F.; ANSELMINI, J.; ARDAGNA, D.; GAUJAL, B. A Stochastic Approach for Scheduling AI Training Jobs in GPU-Based Systems. **IEEE Transactions on Cloud Computing**, [s. l.], v. 12, n. 1, p. 53–69, jan. 2024. <https://doi.org/10.1109/TCC.2023.3336540>.



MISHRA, P.; MORAD, R.; ZIV, A.; RAY, S. Post-Silicon Validation in the SoC Era: A Tutorial Introduction. **IEEE Design & Test**, [s. l.], v. 34, n. 3, p. 68–92, jun. 2017.
<https://doi.org/10.1109/MDAT.2017.2691348>.

RODRIGUES, O. S.; RODRIGUES, K. S. A inteligência artificial na educação: os desafios do ChatGPT. **Texto Livre**, [s. l.], v. 16, p. e45997, 2023.
<https://doi.org/10.1590/1983-3652.2023.45997>.

CRONOGRAMA DE EXECUÇÃO DO PROJETO

Etapas:	AGO	SET	OUT	NOV	DEZ	JAN
Levantamento Bibliográfico	X	X				
Formulação do Fluxograma		X				
Aquisição do objeto de estudo ¹	X					
Desenvolvimento do programa de automação ²		X	X	X	X	X
Período de Treinamento do modelo ³			X	X	X	X
Testes de Cenário-Real do modelo				X	X	X
Relatório					X	X
Apresentação dos resultados						X

¹ O objeto de estudo deve ser - idealmente - obtido o mais cedo possível para garantir um trabalho mais simples aos programadores.

² O programa de automação será de código aberto, portanto seu desenvolvimento será contínuo.

³ O modelo pode ser aprimorado à medida que mais dados forem coletados para o seu treinamento.