

AMPLIACIÓN: PROGRAMACIÓN EN VHDL

Palabras clave: VHDL, FPGA, ADC, DAC, FOS

1. INTRODUCCIÓN

En este ejercicio se pretende completar el Proyecto 2 de diseño de un sistema digital implementado en una FPGA de forma que el alumnado realice un trabajo propio de programación y depuración en lenguaje VHDL.

2. OBJETIVOS DE APRENDIZAJE

- Comprender los fundamentos del lenguaje VHDL como lenguaje de descripción hardware.
- Saber modelar circuitos secuenciales en lenguaje VHDL con la estructura de una memoria.
- Saber modelar circuitos aritméticos en lenguaje VHDL.

3. TAREAS PREVIAS

- Revisar los contenidos de la materia EDyM en lo referente a modelado de sistemas digitales.

4. DESARROLLO

Los sensores de fibra óptica (FOS) son ampliamente utilizados en ingeniería. A menudo constituyen la mejor solución para medidas de precisión en condiciones ambientales difíciles (físicas o químicas) o difícilmente accesibles. Suele ser una opción costosa debido a la tecnología utilizada para acoplar una señal adecuada a la fibra y gestionar las señales del sistema completo.

En este ejercicio se pretende diseñar un sistema digital que permita emular el procesamiento de los datos obtenidos de un FOS que obtiene la información por modulación de fase. Para ello se dispone, como punto de partida, del proyecto Procesador 1 (desarrollado en la Práctica 6). Este sistema ya implementa la digitalización y reconstrucción de señales analógicas. La señal de entrada que se utilizará debe ser senoidal de 2Vpp, centrada en la mitad del rango máximo (1.65V aprox.) y de 100 Hz (En sistemas reales se acoplan señales de frecuencias muy superiores).

La estructura de partida (Figura 3 de la Práctica 6) contiene tres bloques constitutivos: controlador del ADC, controlador del DAC y generador de la señal de muestreo. En este ejercicio se debe incluir un módulo que emule el comportamiento de la fibra (**sensor**) imprimiendo un desplazamiento de fase a la señal senoidal de entrada. La modulación en fase se convierte en modulación en amplitud para su posterior procesamiento. Para ello se hacen interferir las dos señales, entrada y salida del sensor (**suma**). De esta forma, cuanto mayor es el desplazamiento de fase, más reducida será la amplitud de la onda resultante.

Por último, es necesario asociar una medida a cada valor de desplazamiento de fase. En un sistema de acondicionamiento analógico esta etapa se correspondería, típicamente, con una fase de rectificación de la onda y su posterior filtrado. Dentro de este sistema digital se obtendrá un valor de salida implementando una rectificación y el cálculo del valor medio (**procesado**).

La Figura 1 representa el diagrama de bloques correspondiente al sistema completo. Las señales de entrada-salida y conexión que se muestran son aquellas que afectan a la funcionalidad de los nuevos bloques (retardo/suma/procesado). Por simplicidad no están representadas aquellas que se relacionan con el control de los convertidores.

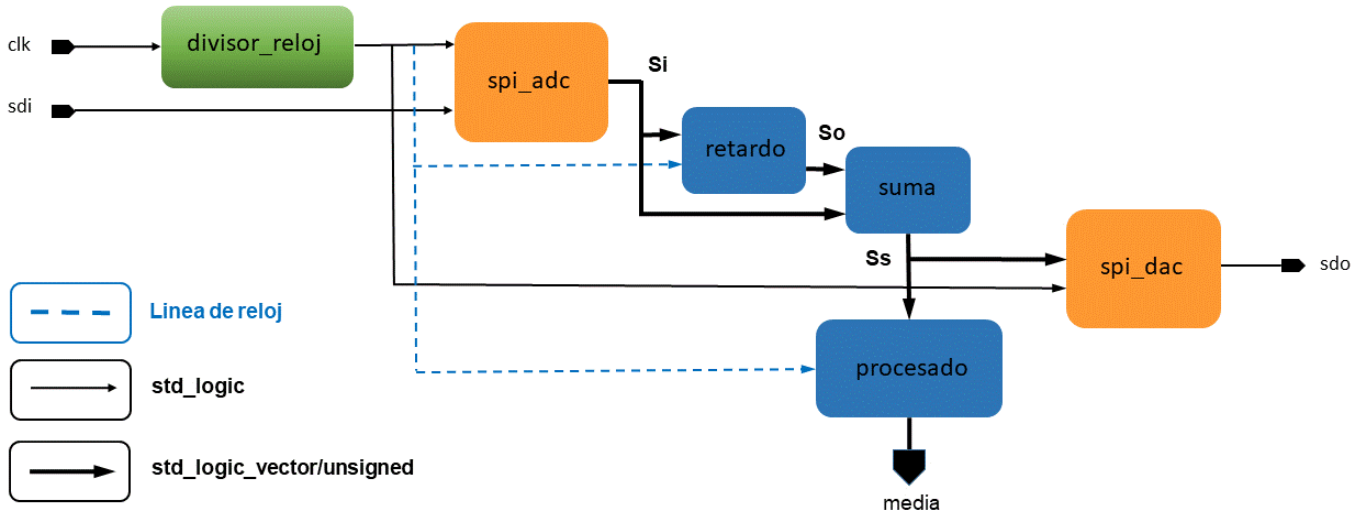


Figura 1. Diagrama de bloques del sistema completo.

Fase 1: Modelado del sensor

En esta primera fase se debe modelar en lenguaje VHDL un bloque retardador de la señal de entrada. En un FOS se acopla una señal de partida y, expuesta a determinadas condiciones, dicha señal sufre un cambio en su fase.

Para emular este fenómeno dentro de la FPGA, la señal de entrada del sistema (digitalizada por el CAD) se hace pasar por una memoria FIFO que permite imprimir un retardo dependiente del número de elementos que contenga.

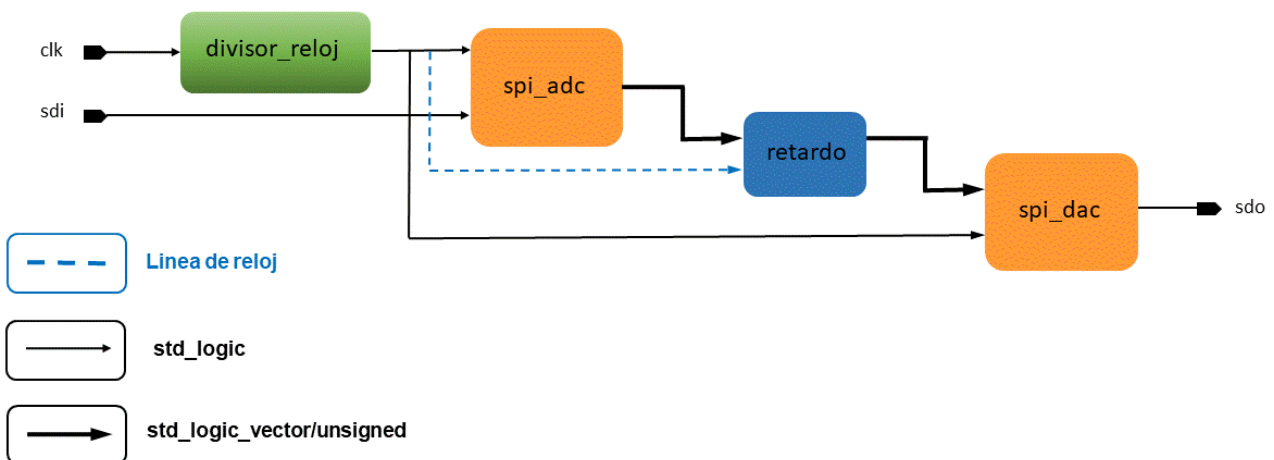


Figura 2. Controladores de conversión y elemento sensor.

El bloque de memoria (**sensor**) debe integrarse dentro del sistema de partida (Procesador 1) como muestra la Figura 2. Una vez ha sido modelado, se realizará la síntesis en la FPGA y debe probarse aplicando una señal senoidal de entrada de las características especificadas anteriormente.

Las únicas entradas son la señal de reloj (que coincide con la de muestreo del sistema general) y las muestras de la señal senoidal (**Si**) digitalizada con 10 bits de precisión (proporcionada por la etapa convertidora de la entrada). La señal de salida de la FIFO (**So**) tendrá un retardo **rt** con respecto a la señal senoidal de partida dependiente del tamaño de la memoria:

$$rt = N * Tm$$

N representa el número de posiciones de la cola FIFO (cada una de 10 bits) y **Tm** el período de la señal de muestreo que temporiza la entrada de cada nuevo dato. La frecuencia de muestreo debe ser ajustada a 12.5Khz para tomar un total de 125 muestras de cada período de la señal de entrada de 100Hz. **N** se modelará como un parámetro **generic** de tipo entero que determinará el retardo de **So** con respecto a **Si**.

Después de modelar en VHDL el sensor e insertarlo en el proyecto realizado en Quartus para el Procesador 1 de la Práctica 6, sintetizar el sistema y visualizar simultáneamente **Si** y **So** en la pantalla del osciloscopio para los valores de **N** 25 y 50.

Fase 2: Modulación de fase a modulación de amplitud (suma).

Una vez modelado el sensor, se comienza con el procesamiento de la señal para obtener la información que contiene el parámetro **rt** sobre la magnitud que se pretende medir. La información en fase es difícil de manejar, por ello el primer paso lo constituye el cambio de dominio de la fase a la amplitud. El segundo bloque emula la interferencia de las dos señales (**Si** y **So**). Cuando ambas están en fase la interferencia es constructiva, pero cuando esto no ocurre la señal resultante pierde amplitud. Cuanto mayor es el desfase, menor será la amplitud de la señal de salida. El caso extremo ocurre cuando se anulan por estar en oposición de fase. Esto no suele ocurrir en sistemas de medida con FOS porque los desfases que se imprimen a la señal de partida no alcanzan normalmente un valor tan elevado

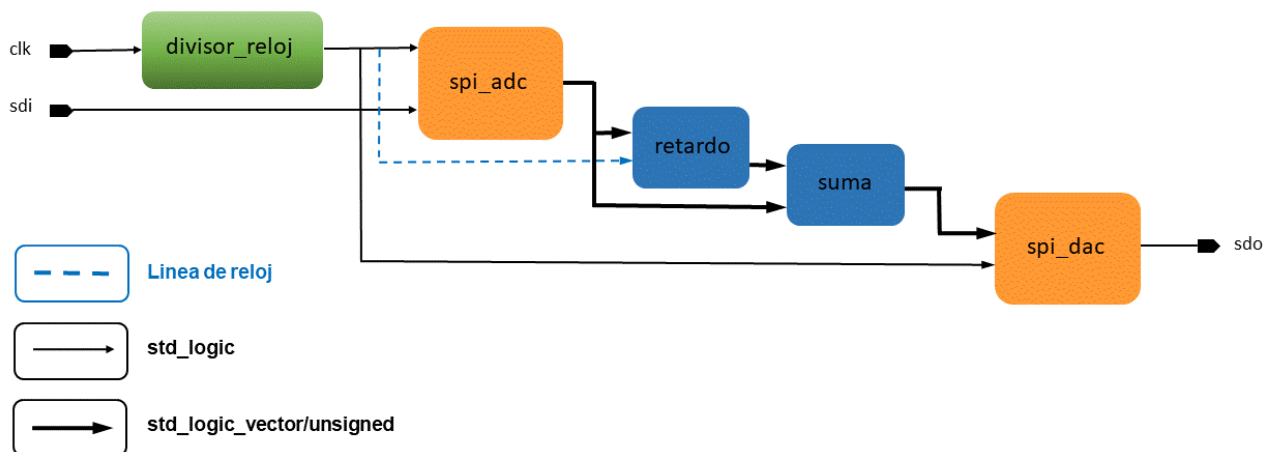


Figura 3. Módulo **suma** incluido tras la etapa sensora.

La Figura 3 muestra el sistema después de incluir el bloque de interferencia que representa un sumador. Este bloque combinacional realiza la suma de las señales **Si** y **So** de 10 bits para obtener una salida **Ss** normalizada también a 10 bits. Como en el apartado anterior, el proyecto final debe ser sintetizado y se mostrarán las señales **Si** y **Ss** en la pantalla del osciloscopio para los mismos valores de **N** (25 y 50).

Fase 3: Procesado: rectificación y valoración.

La señal de salida de la etapa anterior, modulada en amplitud, ya contiene la información de la medida realizada con la fibra (**sensor**). En el dominio analógico, para extraer la información de una señal alterna, se hace pasar por una etapa de rectificación y posterior filtrado para obtener un nivel de continua que constituye el valor final de la medida (Figura 4).

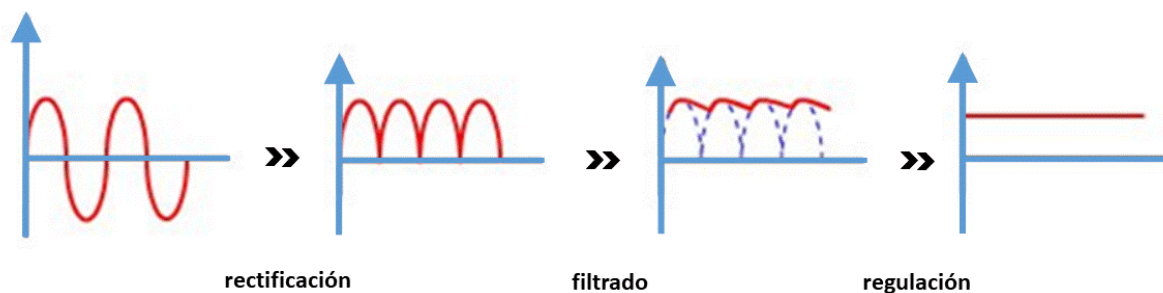


Figura 4. Procesado analógico para conversión alterna-continua.

En la figura que representa el sistema completo (Figura 1) aparece un bloque **procesado** que será el encargado de obtener un valor a partir de la señal **Ss** representativo de la medida. En este caso se debe realizar una rectificación y un cálculo de la media de todos los valores de dicha señal rectificada recibidos durante cada período completo (125 muestras). Para calcular la media se realizará la aproximación de dividir entre 128 (desplazamiento de 7 bits). El resultado debe ser una cantidad de 10 bits que se representará directamente en binario en los LEDs de la placa.

La señal senoidal de salida del sumador está formada por valores positivos centrados en la mitad del rango máximo. La rectificación se realizará en dos pasos, tal y como se muestra en la Figura 5. Hay que tener en cuenta que el máximo valor binario de 10 bits se corresponde con un valor analógico de 3.3V.

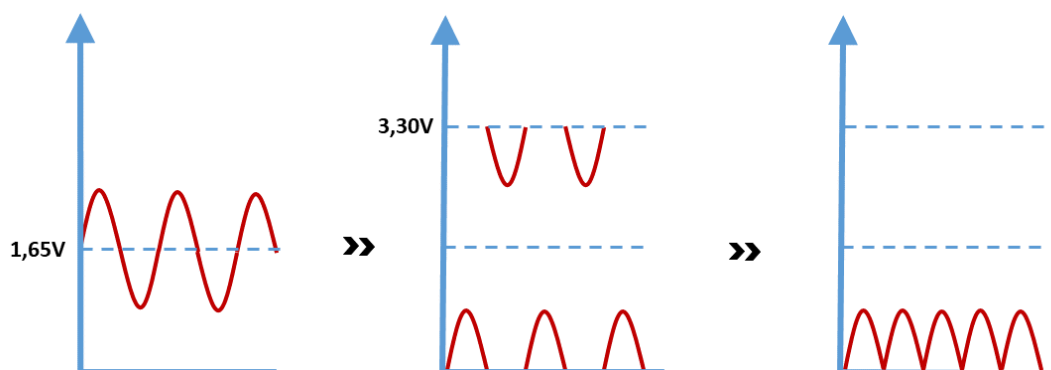


Figura 5. Rectificación en dos pasos.