# 山东大学<u>计算机科学与技术</u>学院 计算机组与设计 课程实验报告

实验题目: 逻辑运算电路

实验学时: 2 实验日期: 2022.10.12

实验目的:

逻辑功能的电路原理图

硬件环境: 1. 实验室台式机 2. 计算机组成与设计实验箱

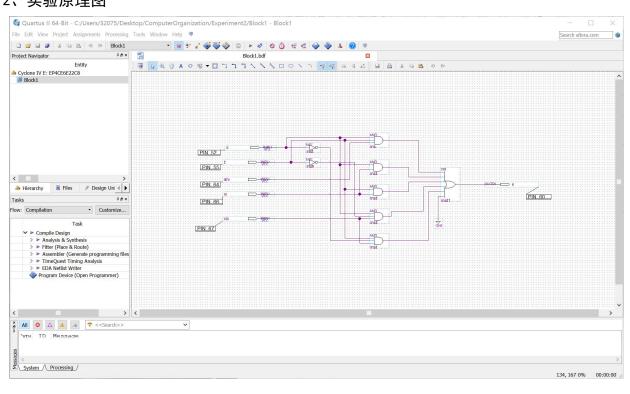
软件环境: QuartusII 软件

#### 实验内容与设计:

## 1、实验内容

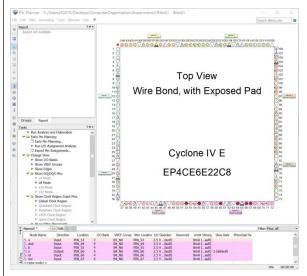
本实验要求设计一个能实现 1 位逻辑乘 ab、逻辑或 a+b、半加(a⊕b)的逻辑运算电路。图 2 为实现上述逻辑功能的电路原理图,其中参与运算的两个 1 位二进制数为 a 和 b,and、xor 和 or 分别为与运算、异或运算和或运算控制输入端。

#### 2、实验原理图

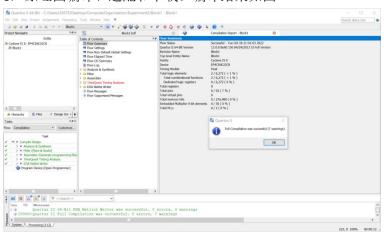


### 3、实验步骤

- 1.原理图输入,完成逻辑运算的电路原理图设计,如上实验原理图
- 2.管脚锁定:如图进行管脚锁定

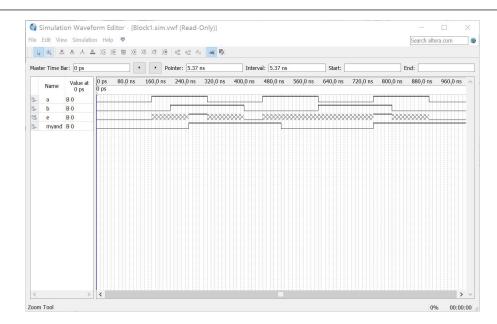


3. 原理图编译、适配和下载。编译结果如图



- 4. 在 QuartusII 软件上进行仿真实验
  - (1).建立波形图文件,分别插入 a,b,and(myand)(因为用 and 编译波形文件是 and 为关键字编译会出错所以改为 myand),e(output),建立对应的波长

总时间为 1 微秒, a 都为 150ns, b 为 200ns, and/or/xor 都为 250ns, 对应不同的输出结果



如图所示当 a 为高电平, b 为低电平时, e 输出高电平当 a, b 一段为高电平时, e 的是输出低电平或者没有输出, 即实现 and 操作

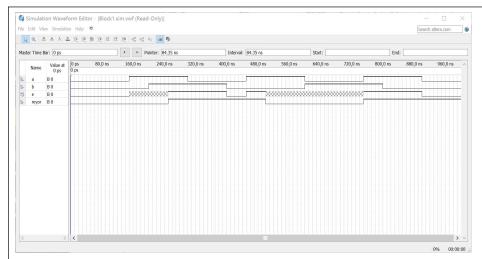
250ns 到 300ns 同时为 1 输出 1

其余情况不同时为1皆输出低电平或者没有输出



Ps: 后面加的试验箱的真实照片, (实验箱 1, 2, 3, 4, 5 位 a, b, and, or, xor, D1 为判断高低电平)

- 1, 2, 3 同时按下为 and 逻辑, D1 亮
  - (2) 把 myand 换成 myor 实现与逻辑

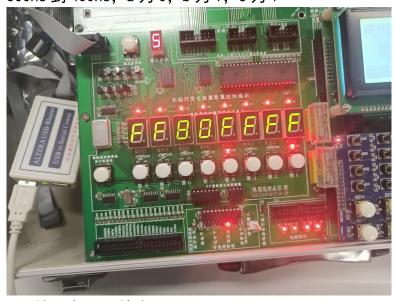


如图当 a, b 其中一个位高电平时, e 输出高电平, 只有当 a, b 同时为低电平时(400ns 到 450ns), e 输出低电平或者没有输出

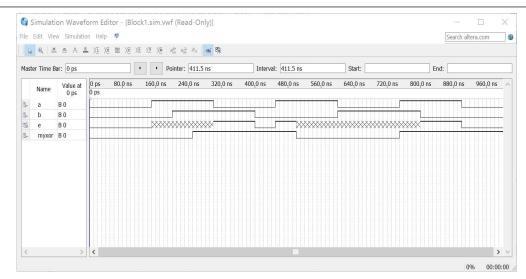
400ns 到 500ns, a 为 1, b 为 0, e 为 1

250ns 到 300ns, a 为 1, b 为 1, e 为 1

300ns 到 400ns, a 为 0, b 为 1, e 为 1

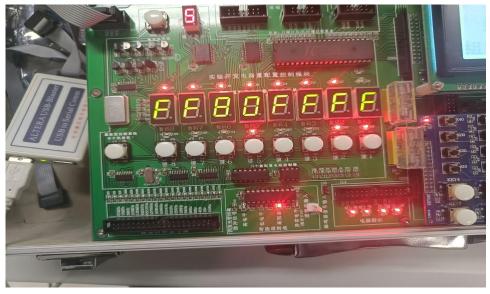


- 1,4 按下为 or,输出 1
  - (3) myor 换成 myxor 实现异或操作

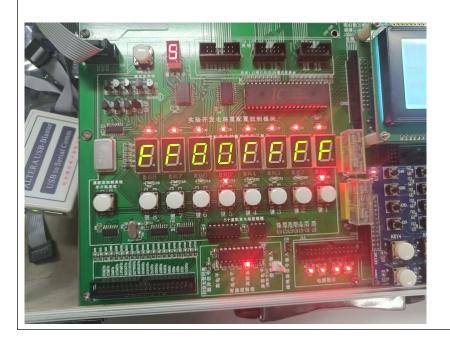


如下图与 or 的区别在于 250ns 到 300ns 之间

a, b 同时为 1, e 没有输出其余与 or 操作一样, 实现异或操作



1, 2, 5 为异或输出 1, 1, 输出 0



- 1,5 异或1,0 输出1
- 4、实验结果

如上图波形仿真实验实现三个逻辑电路

## 结论分析与体会:

这次的实验让我对于基本的逻辑电路院里有了一个深入的理解,

同时,由于实验刚刚开始对试验箱的功能不太熟悉,2022年10月19日补上实验箱实验图,也用仿真波形图来进行实验仿真,仿真波形图中,每个电路的频率调试略有不足,尽量可以详细展现出各个情况的逻辑电路。