

# Raport z Laboratorium nr 2

## Układy sekwencyjne - Licznik

Autorzy: Radosław Zimoch 263963, Kamil Gondek 263916

Prowadzący: Dr. inż. Jarosław Sugier

Termin: Poniedziałek, 11:00, Tydzień parzysty

Data: 10 listopad 2023

### 1. Wstęp

Celem zajęć było utrwalenie wiedzy zdobytej na poprzednich zajęciach i zaprojektowanie układu sekwencyjnego – licznika z wykorzystaniem przerzutników. Układ miał liczyć w sekwencji: „01342567”. A następnie budowa projektu hierarchicznego.

### 2. Zadanie do wykonania

### 3. Realizacja zadań

- Synteza układu licznika w sekwencji „01342567” z wykorzystaniem metody siatek Karnaughta

WEJ			
DIR	Q2	Q1	Q0
0	0	0	0
0	0	0	1
0	0	1	0
0	0	1	1
0	1	0	0
0	1	0	1
0	1	1	0
0	1	1	1
1	0	0	0
1	0	0	1
1	0	1	0
1	0	1	1
1	1	0	0
1	1	0	1
1	1	1	0
1	1	1	1

WYJ		
Q2	Q1	Q0
0	0	1
0	1	1
1	0	1
1	0	0
0	1	0
1	1	0
1	1	1
0	0	0
1	1	1
0	0	0
1	0	0
0	0	1
0	1	1
0	1	0
0	1	1
1	0	1

TABELA 1: TABELA PRAWDY

Korzystając z zasady działania przerzutnika D to co jest na wejściu po podaniu sygnału zegarowego będzie na wyjściu dzięki czemu uzyskujemy następujące siatki i równania.

Q2		DIR	Q2	DIR	Q2	DIR	Q2	DIR	Q2
		0	0	0	1	1	1	1	0
Q1	0	0		0		0		1	
Q0	0								
Q1	1	1		1		0		1	
Q0	0								
Q1	1	1		0		1		0	
Q0	1								
Q1	0	0		1		0		0	
Q0	1								

Q1		DIR	Q2	DIR	Q2	DIR	Q2	DIR	Q2
		0	0	0	1	1	1	1	0
Q1	0	0		1		1		1	
Q0	0								
Q1	1	0		1		1		0	
Q0	0								
Q1	1	0		0		0		0	
Q0	1								
Q1	0	1		1		1		0	
Q0	1								

Q0		DIR	Q2	DIR	Q2	DIR	Q2	DIR	Q2
		0	0	0	1	1	1	1	0
Q1	0	1		0		1		1	
Q0	0								
Q1	1	1		1		1		0	
Q0	0								
Q1	1	0		0		1		1	
Q0	1								
Q1	0	1		0		0		0	
Q0	1								

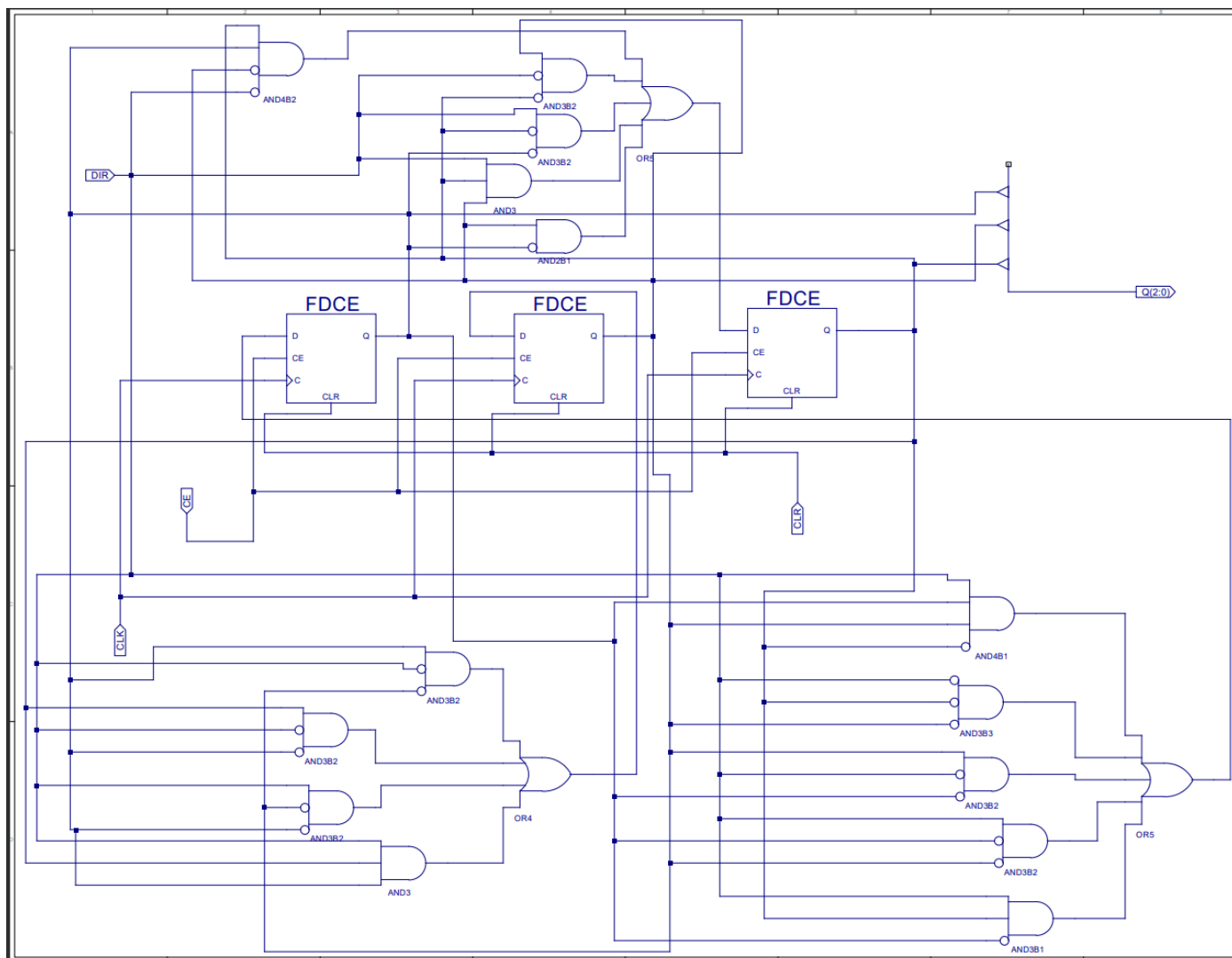
TABELA 2 – TABELA MINIMALIZACJI

$$Q2 = \overline{DIR} \overline{Q2} \overline{Q1} Q0 + DIR Q2 Q1 Q0 + \overline{DIR} \overline{Q2} Q1 + \overline{DIR} \overline{Q0} Q1 + DIR \overline{Q2} \overline{Q0}$$

$$Q1 = \overline{DIR} \overline{Q1} Q0 + DIR \overline{Q1} \overline{Q0} + Q2 \overline{Q0} + Q2 \overline{Q1}$$

$$Q0 = \overline{DIR} Q1 \overline{Q0} + \overline{DIR} \overline{Q2} \overline{Q1} + DIR Q2 \overline{Q0} + DIR Q1 Q0$$

Korzystając z powyższych równań stworzyliśmy schemat układu.



RYSUNEK 1 – SCHEMAT UKŁADU

W celu przetestowania stworzonego przez nas schematu wykorzystaliśmy symulację behawioralną. Modyfikując wygenerowany przez środowisko plik vhd, ustawiając zmianę sygnału zegarowego co 50 ns oraz zmianę sygnału DIR na wartość 1 po 1000 ns.

```

15  LIBRARY ieee;
16  USE ieee.std_logic_1164.ALL;
17  USE ieee.numeric_std.ALL;
18  LIBRARY UNISIM;
19  USE UNISIM.Vcomponents.ALL;
20  ENTITY Z1_Z1_sch_tb IS
21  END Z1_Z1_sch_tb;
22  ARCHITECTURE behavioral OF Z1_Z1_sch_tb IS
23
24      COMPONENT Z1
25      PORT( Q : OUT  STD_LOGIC_VECTOR (2 DOWNTO 0);
26            CLK : IN  STD_LOGIC;
27            CE : IN  STD_LOGIC;
28            CLR : IN  STD_LOGIC;
29            DIR : IN  STD_LOGIC);|
30      END COMPONENT;
31
32      SIGNAL Q : STD_LOGIC_VECTOR (2 DOWNTO 0);
33      SIGNAL CLK : STD_LOGIC := '0';
34      SIGNAL CE : STD_LOGIC := '1';
35      SIGNAL CLR : STD_LOGIC := '0';
36      SIGNAL DIR : STD_LOGIC := '0';
37
38  BEGIN
39
40      UUT: Z1 PORT MAP(
41          Q => Q,
42          CLK => CLK,
43          CE => CE,
44          CLR => CLR,
45          DIR => DIR
46      );
47
48      CLK <= not CLK after 50 ns;
49      DIR <= '1' after 1000 ns;
50
51  END;

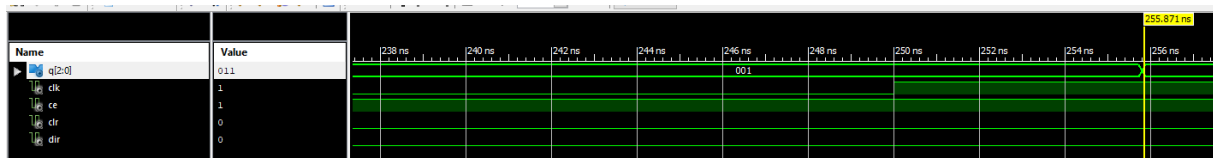
```

RYСУNEK 2 – KOD PLIKU VHDL



RYСУNEK 3 – PRZEBIEG BEHAVIORALNY

Symulacja behawioralna pozwoliła na sprawdzenie poprawności zaprojektowanego przez nas układu.



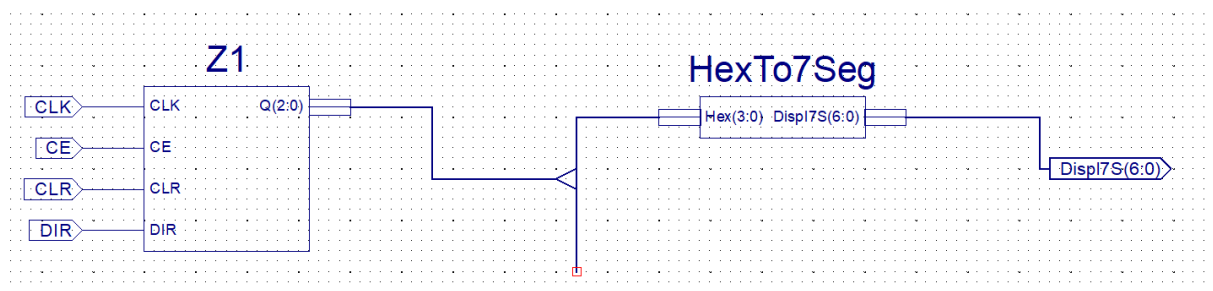
RYSUNEK 4 – PRZEBIEG POST-FIT

Jak możemy zaobserwować na przebiegu Post-Fit różnica pomiędzy sygnałem zegarowym a zmianą sygnału wyjściowego jest na poziomie około 5/6 ns.

Na koniec uruchomiliśmy zgodnie z instrukcją układ CPLD zgodnie z przygotowanym projektem i sprawdziliśmy jego poprawność na płycie laboratoryjnej. Wszystkie wyniki zgadzały się z oczekiwaniami.

### b. Projekt hierarchiczny

Kolejnym zadaniem było przekształcenie naszego układu w schemat a następnie połączenie go z gotowym układem HexTo7Seg. Podczas zajęć udało się stworzyć gotowy schemat do instalacji na płytkę. Jednakże nie wiedzieliśmy że układ będzie działał jedynie na płytce więc, próbowaliśmy w pierwszej kolejności uruchomić dla niego symulację. Dopiero pod koniec zajęć prowadzący poinformował nas że układ będzie działał jedynie na płytce. Jednak nie zdążyliśmy go przetestować na płytce.



RYSUNEK 5 – SCHEMAT PROJEKTU HIERARCHICZNEGO

## 4. Wnioski

Na laboratoriach utrwaliiliśmy naszą wiedzę wykorzystania narzędzia Xilinx ISE. Przypomnieliśmy jak działają układy sekwencyjne oparte na przerzutnikach, oraz jak z dowolnego układu stworzonego w środowisku przekształcić go w schemat pojedynczy element. Dodatkowo dowiedzieliśmy się jak skonfigurować układy aby były w stanie współpracować pomimo różnicy w ilości wyjść/wejść. Dowiedzieliśmy się również że schematy w formie czarnych skrzynek działają jedynie na fizycznym układzie, a nie w symulacji.