

计算机逻辑设计基础实验

实验 10 、 锁存器与触发器基本原理

董亚波

dongyb@zju.edu.cn



提 纲

- 实验目的
- 实验设备与材料
- 实验任务
- 实验原理
- 实验内容与步骤



实验目的

- 掌握锁存器与触发器构成的条件和工作原理
- 掌握锁存器与触发器的区别
- 掌握基本 SR 锁存器、门控 SR 锁存器、D 锁存器、SR 锁存器、D 触发器的基本功能
- 掌握基本 SR 锁存器、门控 SR 锁存器、D 锁存器、SR 锁存器存在的时序问题



实验设备与材料

□ 实验设备

- 装有 Xilinx ISE 14.7 的计算机 1 台
- SWORD 开发板 1 套

□ 实验材料

- 无



实验任务

- 实现基本 SR 锁存器，验证功能和存在的时序问题
- 实现门控 SR 锁存器，并验证功能和存在的时序问题
- 实现 D 锁存器，并验证功能和存在的时序问题
- 实现 SR 主从触发器，并验证功能和存在的时序问题
- 实现 D 触发器，并验证功能



实验原理

□ 构成锁存器的充分条件

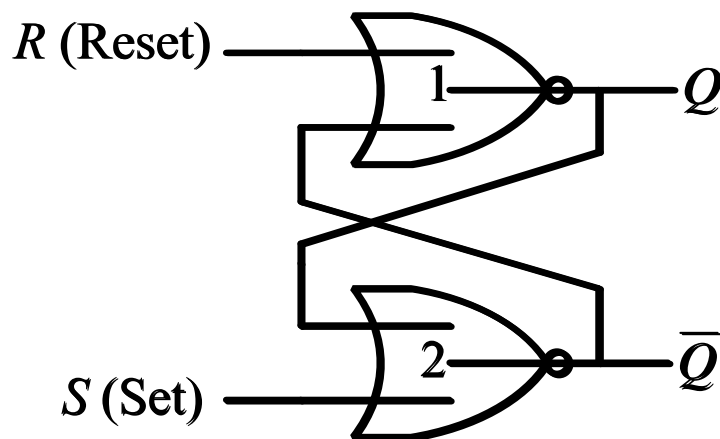
- 能长期保持给定的某个稳定状态
- 有两个稳定状态：0、1
- 在一定条件下能随时改变逻辑状态，即：置1或置0

□ 最基本的锁存器有：SR 锁存器、D 锁存器

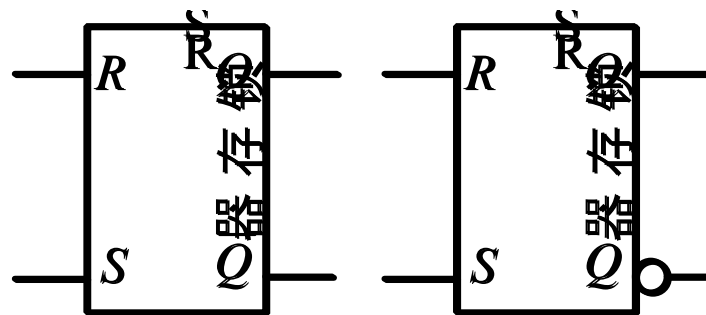
□ 锁存器有两个稳定状态，又称双稳态电路

SR 锁存器 (1)

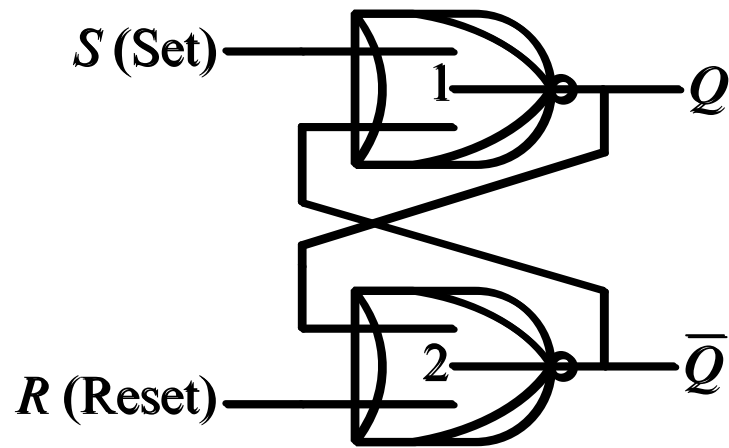
□ 将两个具有 2 输入端的反向逻辑器件的输出与输入端交叉连起来，另一个输入端作为外部信息输出端，就构成最简单的 **SR 锁存器**



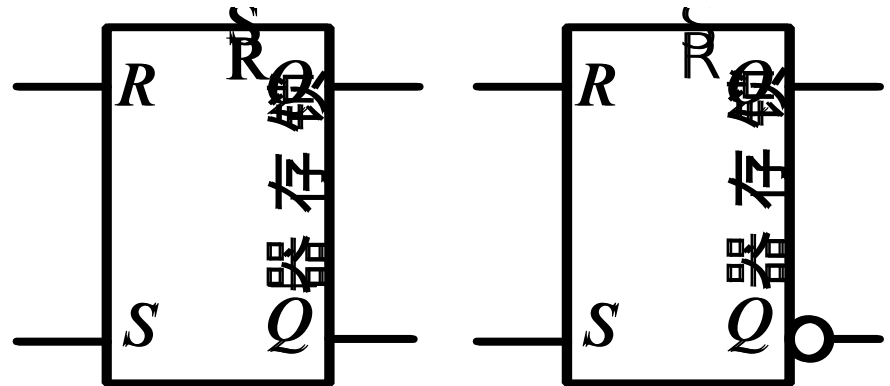
$R S$	$Q \bar{Q}$	说明
0 0	$Q \bar{Q}$	保持
0 1	1 0	置 1
1 0	0 1	置 0
1 1	0 0	未定义



SR 锁存器 (2)



$R S$	$Q Q$	说明
0 0	1 1	未定义
0 1	0 1	置 0
1 0	1 1	置 1
1 1	$Q Q$	保持



仿真

R=1;S=1; #50;

R=1;S=0; #50;

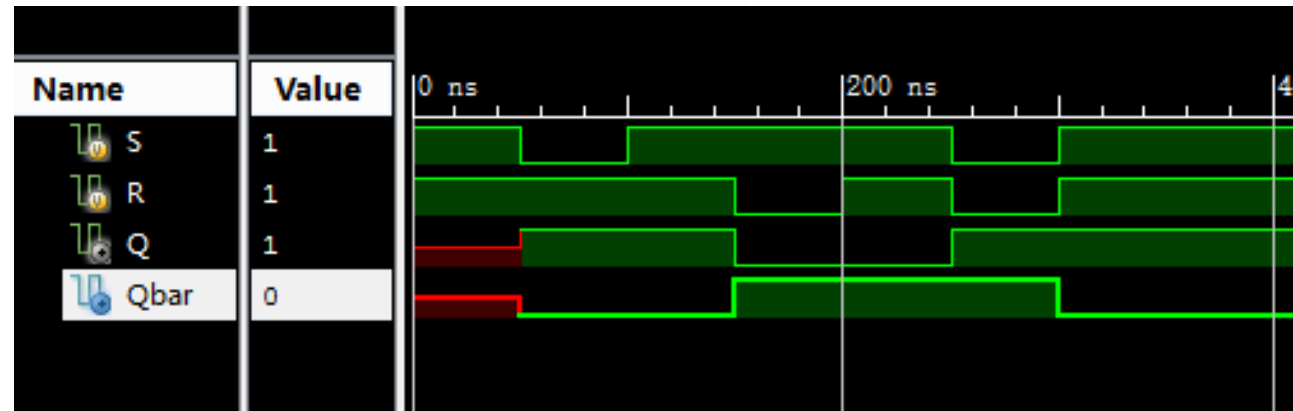
R=1;S=1; #50;

R=0;S=1; #50;

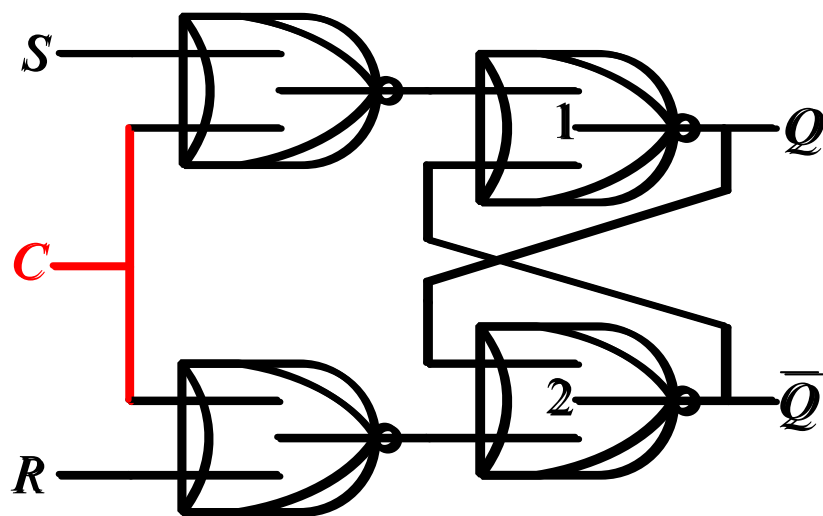
R=1;S=1; #50;

R=0;S=0; #50;

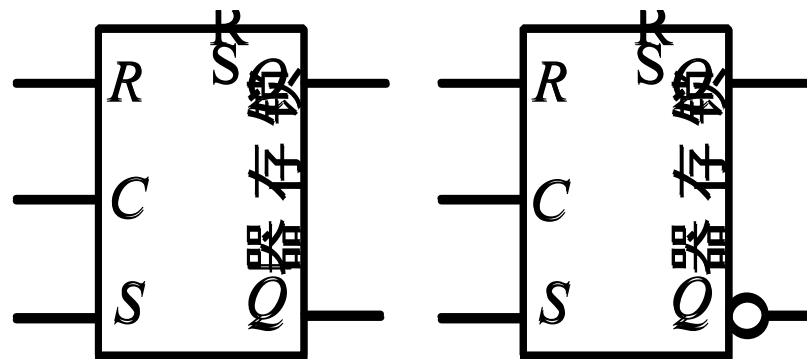
R=1;S=1; #50;



门控 SR 锁存器

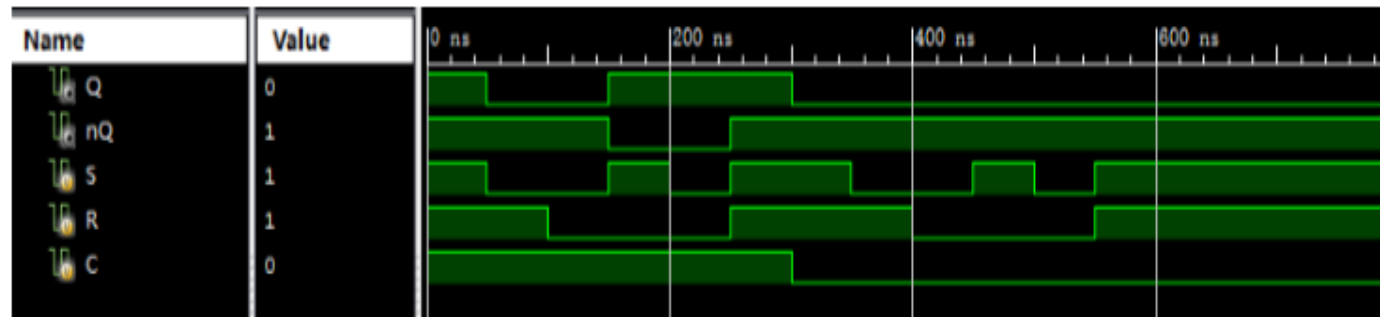


$C R S$	$Q Q$	说明
$0 \times \times$	$Q Q$	保持
$1 0 0$	$Q Q$	保持
$1 0 1$	$1 0$	置 1
$1 1 0$	$0 1$	置 0
$1 1 1$	$1 1$	未定义



仿真

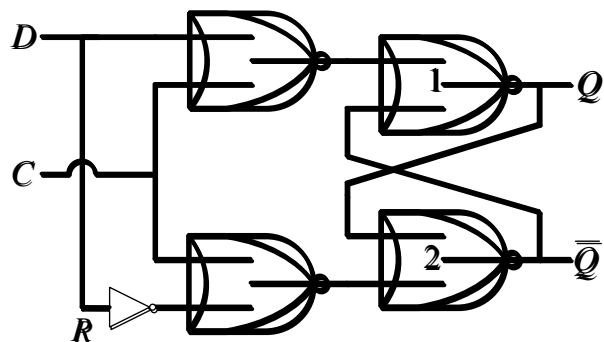
```
C = 1;  
R = 1; S = 1; #50;  
R = 1; S = 0; #50;  
R = 1; S = 1; #50;  
R = 0; S = 1; #50;  
R = 1; S = 1; #50;  
R = 0; S = 0; #50;  
R = 1; S = 1; #50;  
C = 0;  
R = 1; S = 1; #50;  
R = 1; S = 0; #50;  
R = 1; S = 1; #50;  
R = 0; S = 1; #50;  
R = 1; S = 1; #50;  
R = 0; S = 0; #50;  
R = 1; S = 1; #50;
```



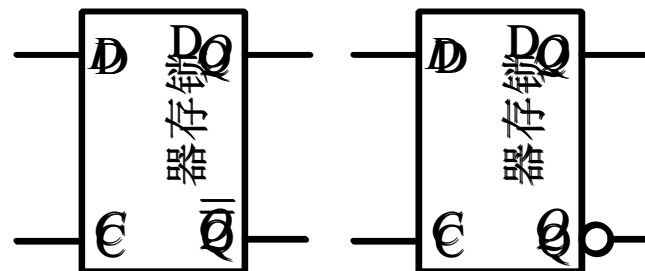
D 锁存器

□ 基本 SR 锁存器缺点：存在不确定状态

□ 解决方法：消除不确定状态



C	D	Q	\bar{Q}	说明
0	\times	Q	\bar{Q}	保持
1	0	0	1	置 0
1	1	1	0	置 1



- 只需 1 个数据输入端 D
- 输出端 Q 等于输入端 D
- 采用电平控制 C

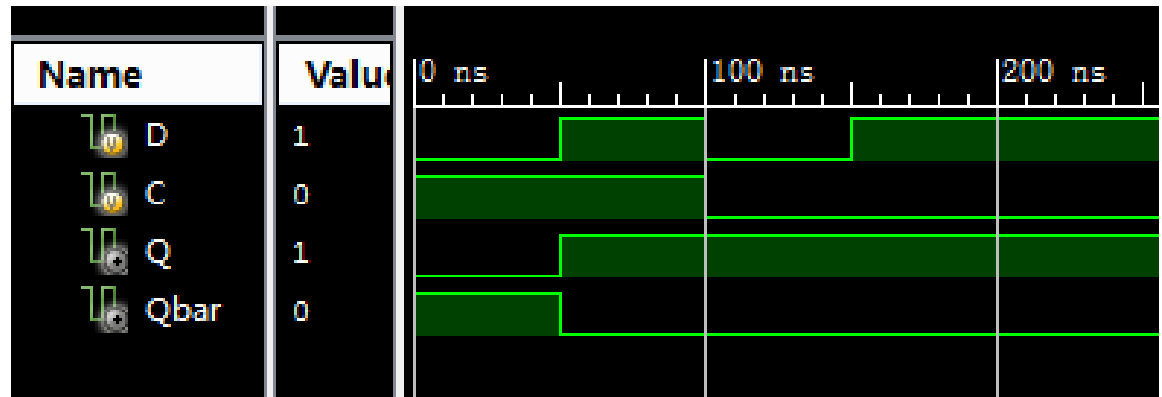
仿真

C=1;D=1; #50;

D=0; #50;

C=0;D=1; #50;

D=0



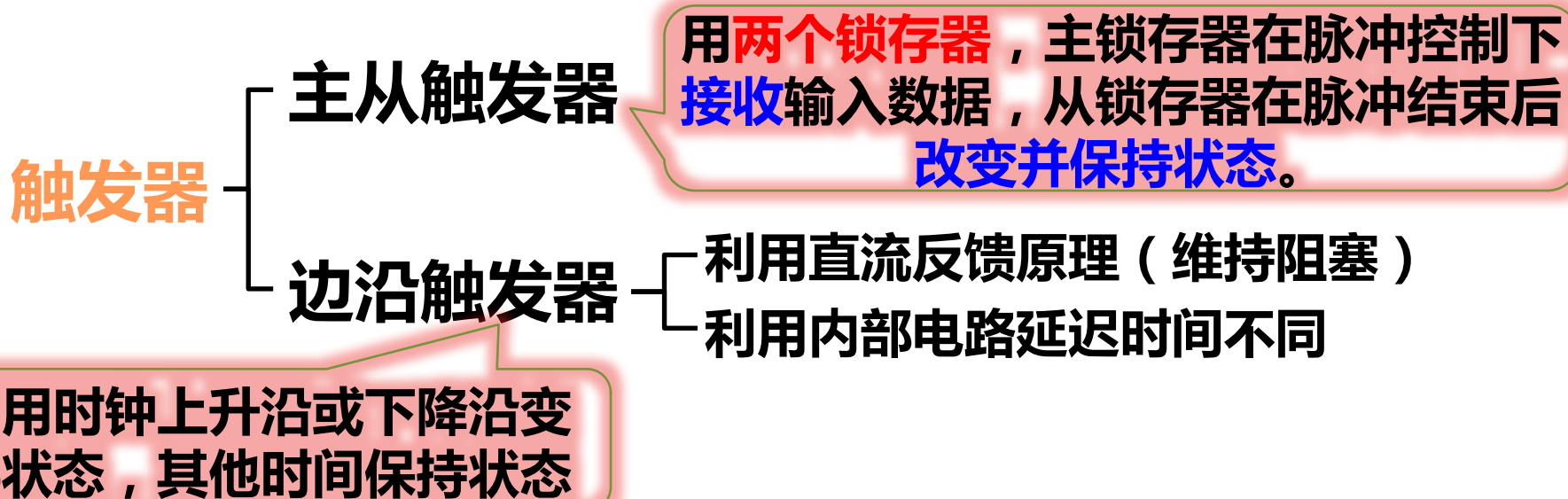


锁存器的空翻现象

- D 锁存器的缺点：存在**空翻**现象——如果 D 锁存器直接用在时序电路中作为状态存储元件，当使能控制信号有效时，会导致该元件内部的状态值随时多次改变，而不是保持所需的原始状态值
- 解决方法：消除空翻现象，使每次触发仅使锁存器的内部状态仅改变一次
- 如何搭建电路，在仿真时验证锁存器的空翻现象？

触发器

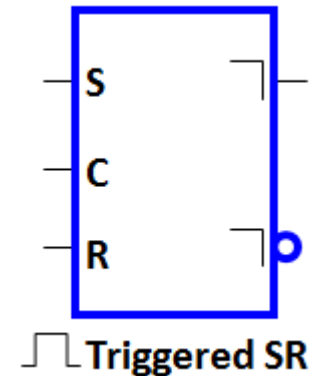
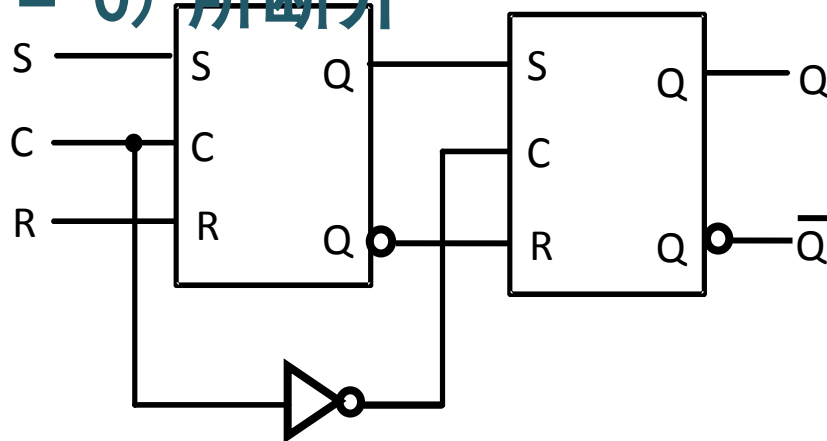
- **触发**：外部输入使锁存器状态改变的瞬间状态
- **触发器**：在锁存器的基础上使每次触发仅使状态改变一次的锁存电路（双稳态）



常见的触发器有：主从 SR 触发器、D 触发器、JK 触发器、T 触发器

SR 主从触发器

- 由两个钟控 S-R 锁存器串联构成，第二个锁存器的时钟通过反相器取反
- 当 $C=1$ 时，输入信号进入第一个锁存器（主锁存器）
- 当 $C=0$ 时，第二个锁存器（从锁存器）改变输出
- 从输入到输出的通路被不同的时钟信号值 ($C = 1$ 和 $C = 0$) 所断开





仿真

是否能够验证一次性采样问题？
如果不能，如何设计仿真波形？

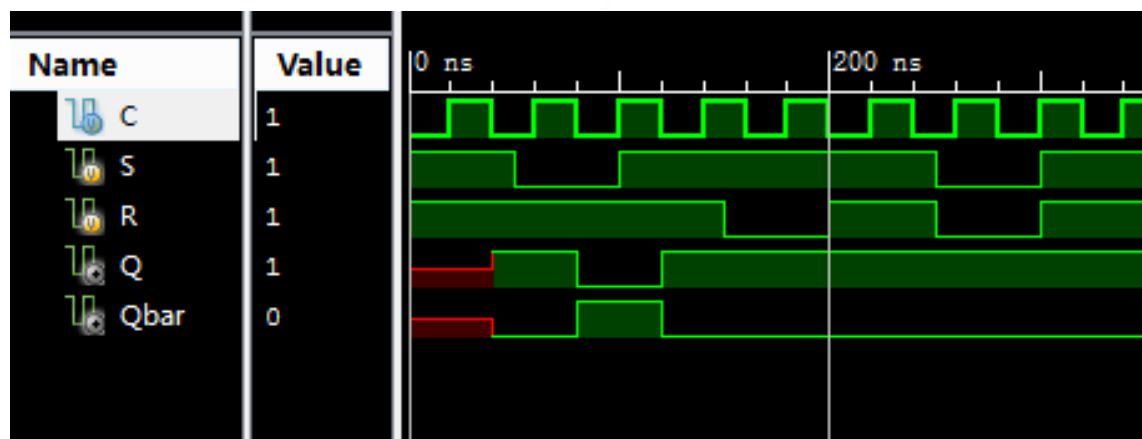
```
initial begin
R=1;S=1; #50;
R=1;S=0; #50;
R=1;S=1; #50;
R=0;S=1; #50;
R=1;S=1; #50;
R=0;S=0; #50;
R=1;S=1; #50;
end
```

```
always begin# 产生时钟
```

```
C=0;#20;
```

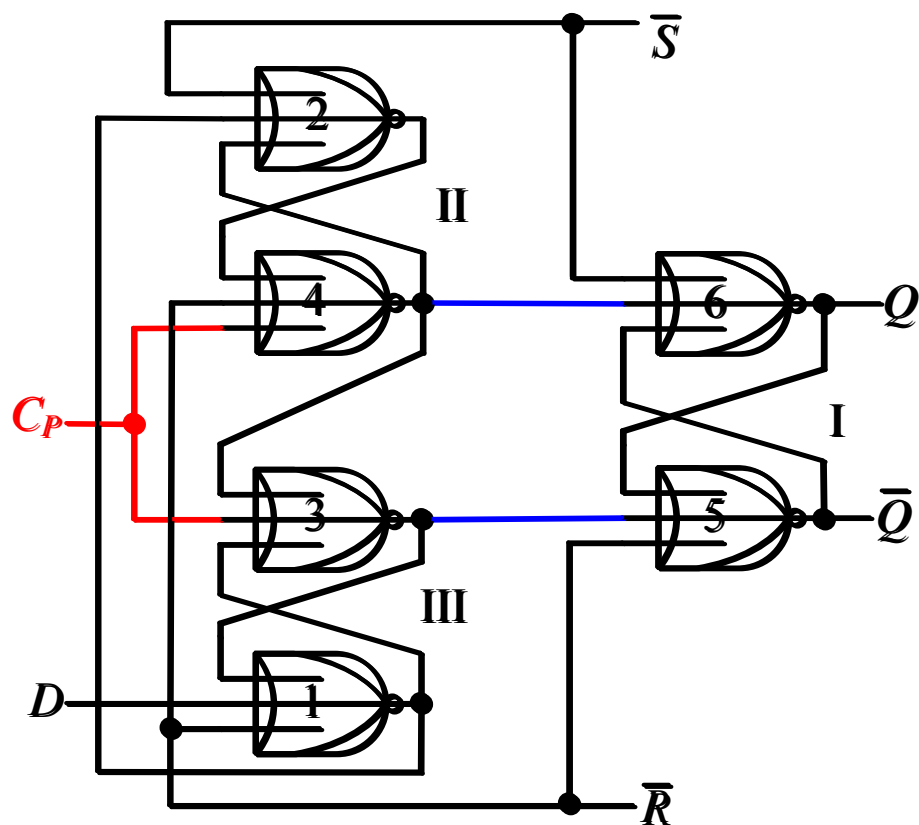
```
C=1;#20;
```

```
end
```

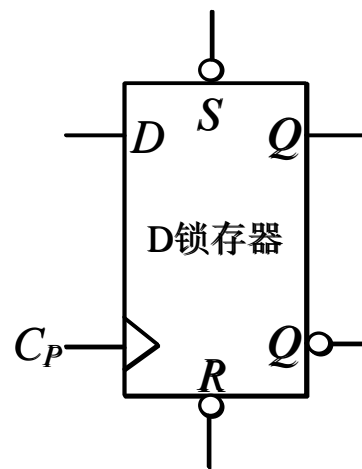


要求验证主从触发器存在的一次性采样问题！

正边沿维持阻塞型 D 触发器



异步控制		上升沿触发			
R	S	C_P	D	Q	Q
0	1	×	×	0	1
1	0	×	×	1	0
1	1	↑	0	0	1
1	1	↑	1	1	0



仿真

```
initial begin
```

```
D = 0; #150;
```

```
D = 1; #150;
```

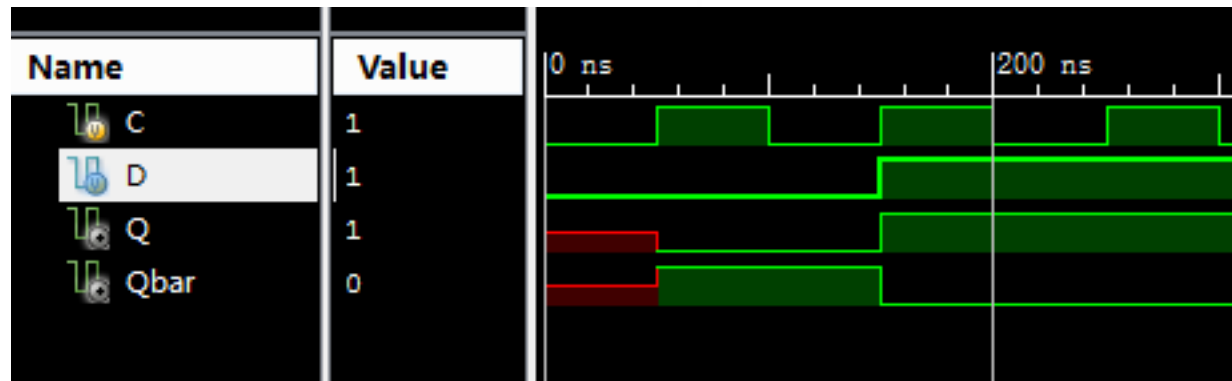
```
end
```

```
always begin
```

```
C=0; #50;
```

```
C=1; #50;
```

```
end
```





实验内容与步骤

- 实现基本 SR 锁存器，验证功能和存在的时序问题
- 实现门控 SR 锁存器，并验证功能和存在的时序问题
- 实现 D 锁存器，并验证功能和存在的时序问题
- 实现 SR 主从触发器，并验证功能和存在的时序问题
- 实现 D 触发器，并验证功能



基本 SR 锁存器

- 新建工程 MyLATCHS
- 新建源文件 SR_LATCH. sch
- 用原理图方式设计
- 用 NAND2 实现

- 仿真



门控 SR 锁存器

- 新建源文件 CSR_LATCH. sch
- 用原理图方式设计
- 用 NAND2 实现
- 仿真
- 生成自定义符号的 CSR_LATCH. sym



D 锁存器

- 新建源文件 D_LATCH. sch
- 用原理图方式设计
- 用 NAND2 实现

- 仿真
- 搭建电路验证空翻现象



SR 主从触发器

- 新建源文件 MS_FLIPFLOP. sch
- 用原理图方式设计
- 调用 CSR_LATCH 实现

- 仿真，仿真波形需要体现一次性采样问题



D 触发器

- 新建源文件 D_FLIPFLOP. sch
- 用原理图方式设计
- 调用 NAND3 实现

- 仿真



Thank You !