

浙江大学

本科实验报告

课程名称：计算机逻辑设计基础

姓 名：龙永奇

学 院：计算机科学与技术学院

系：本系

专 业：计算机科学与技术

学 号：3220105907

指导教师：董亚波

2023 年 11 月 22 日

浙江大学实验报告

课程名称：____ 计算机逻辑设计基础 ____ 实验类型：____ 综合 ____

实验项目名称：____ 锁存器和触发器基本原理 ____

学生姓名：____ 龙永奇 ____ 专业：____ 计算机科学与技术 ____ 学号：____ 3220105907 ____

同组学生姓名：____ 贾一多 ____ 指导老师：____ 董亚波 ____

实验地点：____ 东 4-509 ____ 实验日期：____ 2023 ____ 年 ____ 11 ____ 月 ____ 16 ____ 日

一、实验目的和要求

1. 掌握锁存器与触发器构成的条件和工作原理
2. 掌握锁存器与触发器的区别
3. 掌握基本 SR 锁存器、门控 SR 锁存器、D 锁存器、SR 锁存器、D 触发器的基本功能
4. 掌握基本 SR 锁存器、门控 SR 锁存器、D 锁存器、SR 锁存器存在的时序问题

二、实验内容和原理

内容：

1. 实现基本 SR 锁存器，验证功能和存在的时序问题
2. 实现门控 SR 锁存器，并验证功能和存在的时序问题
3. 实现 D 锁存器，并验证功能和存在的时序问题
4. 实现 SR 主从触发器，并验证功能和存在的时序问题
5. 实现 D 触发器，并验证功能

原理：

1. 锁存器

锁存器 (Latch) 是一种存储单元电路，可以在特定输入脉冲电平作用下改变状态。构成锁存器的充分条件有：

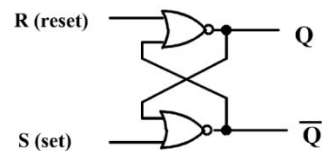
- (a) 能长期保持给定的某个稳定状态
- (b) 有两个稳定状态：0、1
- (c) 在一定条件下能随时改变逻辑状态，即：置 1 或置 0

最基本的锁存器有：SR 锁存器、D 锁存器。

锁存器有两个稳定状态，又称双稳态

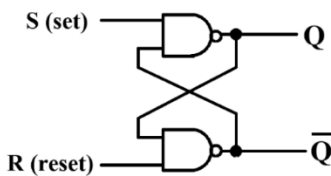
2. SR 锁存器

将两个具有 2 输入端的反向逻辑器件的输出与输入端交叉连起来，另一个输入端作为外部信息输出端，就构成最简单的 SR 锁存器，其结构与真值表如下：



R	S	Q	Q'	Comment
0	0	?	?	state unknown
0	1	1	0	set Q = 1
0	0	1	0	hold Q = 1
1	0	0	1	reset Q = 0
0	0	0	1	hold Q = 0
1	1	1	1	both go high
0	0	?	?	unstable

图 2.1 SR 锁存器 1



S	R	Q	Q'	Comment
1	1	?	?	QQ` = 01 or QQ = 10
0	1	1	0	set Q = 1
1	1	1	0	Hold Q = 1
1	0	0	1	reset Q = 0
1	1	0	1	Hold Q = 0
0	0	1	1	both go high
1	1	?	?	unstable

图 2.2 SR 锁存器 2

(a) SR 锁存器基本构成：

两个交叉耦合的或非门组成。

具有两个输入端，分别是 S（置位）和 R（复位）。

有两个输出端，分别是 Q 和 Q'，分别表示置位状态和复位状态。

(b) 锁存器状态及输出：

置位状态：当 S=1 时，Q=1，锁存器处于置位状态。

复位状态：当 R=1 时，Q=0，锁存器处于复位状态。

(c) 初始条件和保持状态：

初始条件：S=1，R=0 时，电路进入置位状态。

保持置位状态：S 持续为 1，R 变为 0，电路保持在置位状态。

保持复位状态：S 变回 0，R 保持为 0，电路保持在复位状态。

(d) 未定义状态：

如果同时将 S 和 R 置为 1，会导致未定义状态，因为这违反了两个输出互反的原则。为避免未定义状态，应确保 S 和 R 不会同时为 1。

3. 门控 S`R` 锁存器

通过增加一个额外的输入控制信号控制锁存器什么状态收到输入影响：

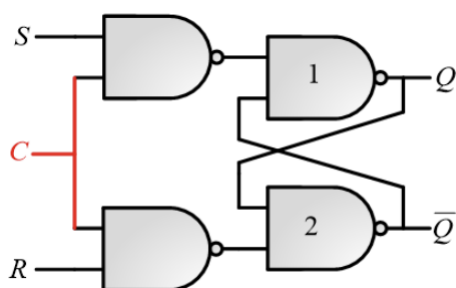


图 2.3 门控 SR 锁存器

C	R	S	Q	Q'	说明
0	x	x	Q	Q'	保持
1	0	0	Q	Q'	保持
1	0	1	1	0	置1
1	1	0	0	1	置0
1	1	1	1	1	未定义

图 2.4 真值表

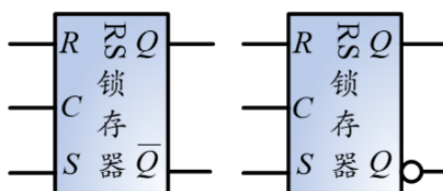


图 2.5 逻辑图

(a) 输入信号 C 作为另外两个输入信号的使能信号，控制信号 C 保持为

0，与非门就保持 1，使由两个与非门组成的 SR 锁存器保持静止

(b) 当控制信号 C 为 1 时，S 和 R 的值才会影响到 SR 锁存器的状态。

无论 SR 处于哪种状态，当 C 变 0 时，电路就会保持当前状态不变

4. D 锁存器

为了避免存在非法输入，可用非门使得 S、R 输入永远相反，使用 C 控制保持状态

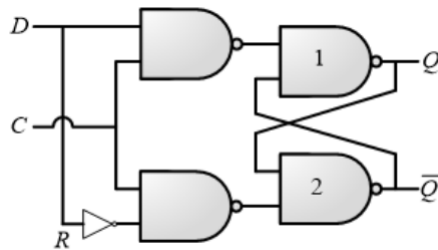


图 2.6 D 锁存器

$C D$	$Q \bar{Q}$	说明
$0 \times$	$Q \bar{Q}$	保持
$1 0$	$0 1$	置0
$1 1$	$1 0$	置1

图 2.7 真值表

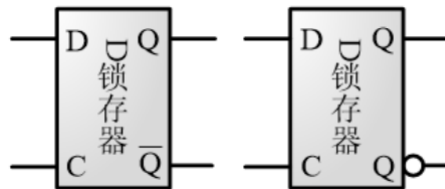


图 2.8 逻辑符号图

- (a) 当控制输入信号为 1 时，D 锁存器数据输入端被传递到输出端 Q，Q 的值随着数据输入值的变化而变化
- (b) 当控制输入信号为 0 时，数据输入端的信息会一直保持在输出端 Q 不变，直到控制信号再次为 1

5. SR 触发器和 D 触发器

- (a) 触发：外部输入使锁存器状态改变的瞬间状态。
- (b) 触发器：在锁存器的基础上使每次触发仅使状态改变一次的锁存电路（双稳态）
- (c) 由于实际的数字系统中包含大量的存储单元，而且需要在同一时刻进行操作，为达到同步操作，需要为每个存储单元电路上引入一个时钟脉冲作为控制信号，只有当 CLK 到来时电路才被“触发”而动作，并根据输入信号改变输出状态。把这种在时钟信号触发时才能动作的存储单元电路称为触发器，以区别没有时钟信号控制的锁存器。
- (d) 常见的触发器有：主从 SR 触发器、D 触发器、JK 触发器、T 触发

器。

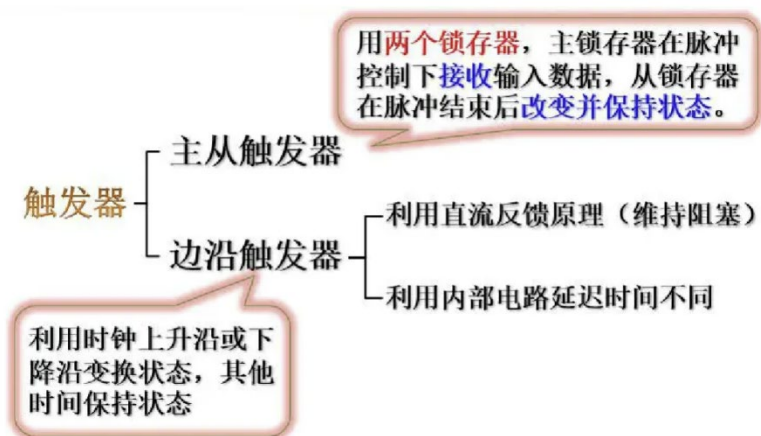


图 2.9 触发器种类

➤ SR 主从触发器

- (a) 由两个钟控 S-R 锁存器串联构成，第二个锁存器的时钟通过反相器取反
- (b) 当 $C = 1$ 时，输入信号进入第一个锁存器（主锁存器）
- (c) 当 $C = 0$ 时，第二个锁存器（从锁存器）改变输出
- (d) 从输入到输出的通路被不同的时钟信号值 ($C = 1$ 和 $C = 0$) 所断开

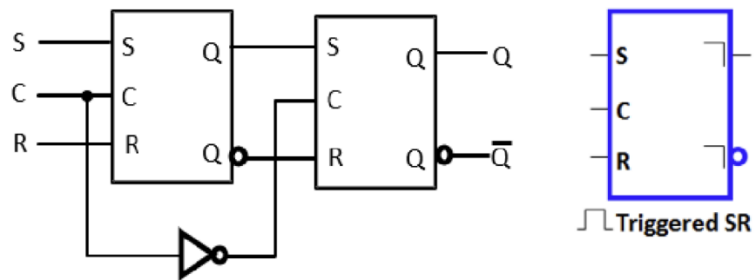


图 2.10 SR 主从触发器

➤ 边沿 D 触发器

- (a) 即维持阻塞边沿 D 触发器。
- (b) D 触发器由 6 个与非门组成，其中 5、6 构 SR 触发器。

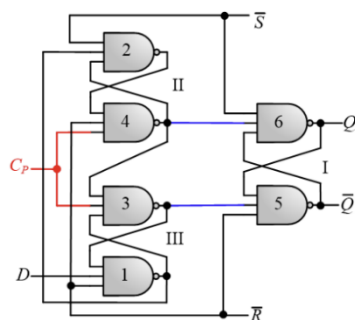


图 2.11 D 触发器

异步控制		上升沿触发			
R	S	C_P	D	Q	\bar{Q}
0	1	×	×	0	1
1	0	×	×	1	0
1	1	↑	0	0	1
1	1	↑	1	1	0

图 2.12 真值表

6. D 锁存器的空翻现象

- (a) D 锁存器的缺点：存在空翻现象——如果 D 锁存器直接用在时序电路中作为状态存储元件，当使能控制信号有效时，会导致该元件内部的状态值随时多次改变，而不是保持所需的原始状态值
- (b) 解决方法：消除空翻现象，使每次触发仅使锁存器的内部状态仅改变一次。

三、实验过程和数据记录

1. 实现基本 SR 锁存器，验证功能和存在的时序问题

- (a) 新建工程 MyLATCHS
- (b) 新建源文件 SR_LATCH.sch
- (c) 用原理图方式设计，输入原理图如下：

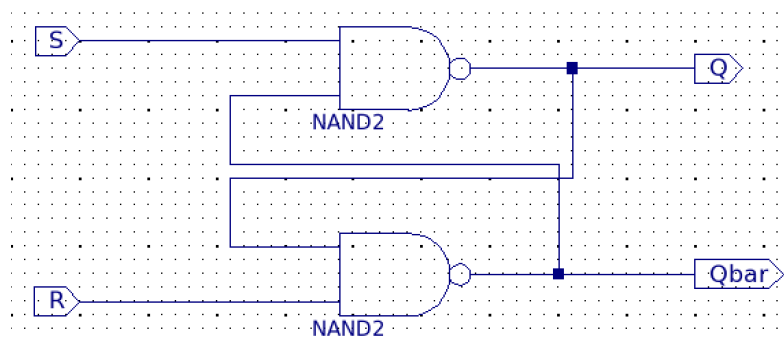


图 3.1 SR 锁存器

- (d) 建立仿真文件 SR_LATCH_sim.v，输入以下代码：

```
`timescale 1ns / 1ps
module SR_LATCH_SR_LATCH_sch_tb();
```

```

// Inputs
reg S;
reg R;

// Output
wire Q;
wire Qbar;

// Bidirs

// Instantiate the UUT
SR_LATCH UUT (
    .Q(Q),
    .Qbar(Qbar),
    .S(S),
    .R(R)
);

// Initialize Inputs
initial begin
    R=1;S=1; #50;
    R=1;S=0; #50;
    R=1;S=1; #50;
    R=0;S=1; #50;
    R=1;S=1; #50;
    R=0;S=0; #50;
    R=1;S=1; #50;
end

endmodule

```

(e) 得到波形图如下：

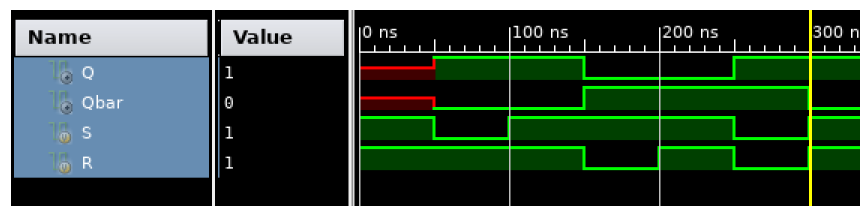


图 3.2 仿真波形图

前 50ns 锁存器储存值未知

$S = 0, R = 1, \text{Set } Q = 1$

$S = 1, R = 0, \text{Set } Q = 0$

当 SR 同时由非法状态 (00) 变为 1 时, Q 结果取决于门延迟

2. 实现门控 SR 锁存器, 并验证功能和存在的时序问题

(a) 新建源文件 CSR_LATCH.sch

(b) 用原理图方式设计，输入原理图如下：

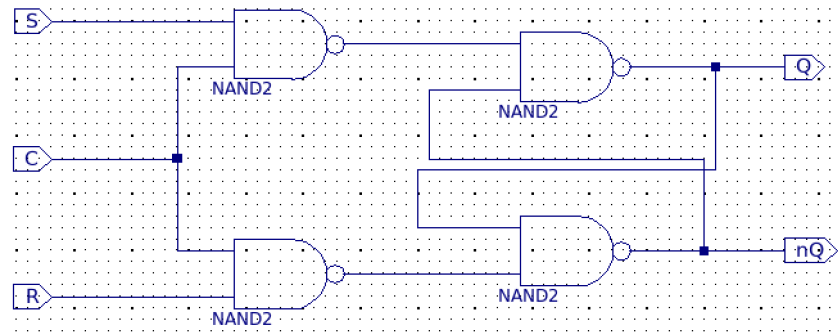


图 3.3 门控 SR 锁存器

(c) 建立仿真文件 CSR_LATCH_sim.v, 输入以下代码：

```
`timescale 1ns / 1ps
module CSR_LATCH_CSR_LATCH_sch_tb();

// Inputs
reg C;
reg S;
reg R;

// Output
wire Q;
wire nQ;

// Bidirs

// Instantiate the UUT
CSR_LATCH UUT (
    .Q(Q),
    .nQ(nQ),
    .C(C),
    .S(S),
    .R(R)
);

// Initialize Inputs
initial begin
    C = 1;
    R = 1; S = 1; #50;
    R = 1; S = 0; #50;
    R = 1; S = 1; #50;
    R = 0; S = 1; #50;
    R = 1; S = 0; #50;
end
```

```

R = 0; S = 0; #50;
R = 1; S = 1; #50;
C = 0;
R = 1; S = 1; #50;
R = 1; S = 0; #50;
R = 1; S = 1; #50;
R = 0; S = 1; #50;
R = 1; S = 1; #50;
R = 0; S = 0; #50;
R = 1; S = 1; #50;

end
endmodule

```

(d) 得到仿真波形如下：

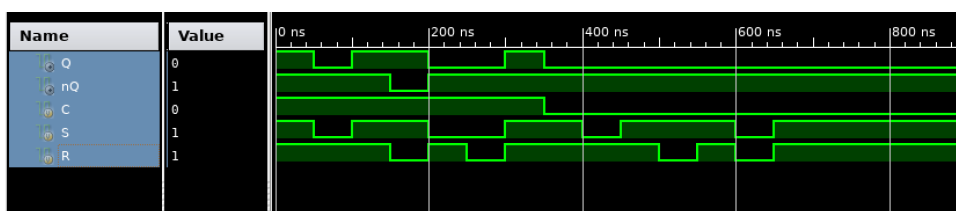


图 3.3 门控 SR 锁存器仿真波形

$C = 1$, Q 和 SR 有关

$S = 1$ 时 $Q = 1$

$R = 1$ 时 $Q = 0$

$R = S = 0$ 时保持当前值

$C = 0$ 时保持 Q 不变

(e) 生成自定义符号 CSR_LATCH.sym

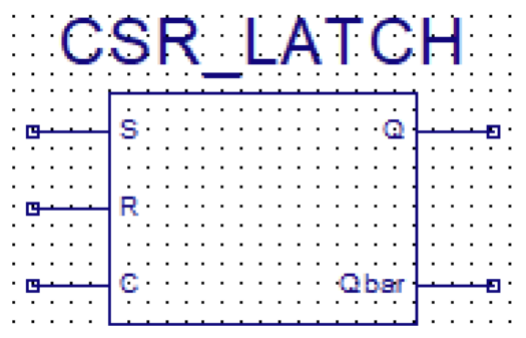


图 3.4 CSR 逻辑符号

3. 实现 D 锁存器，并验证功能和存在的时序问题

(a) 新建源文件 D_LATCH.sch

(b)用原理图方式设计，输入原理图如下：

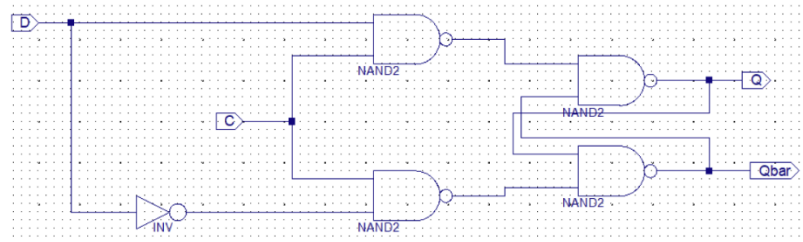


图 3.5 D 锁存器

(c)建立仿真文件 CSR_LATCH_sim.v，输入以下代码：

```
`timescale 1ns / 1ps
module D_LATCH_D_LATCH_sch_tb();

// Inputs
    reg C;
    reg D;
// Output
    wire Q;
    wire Qbar;
// Instantiate the UUT
    D_LATCH UUT (
        .Q(Q),
        .Qbar(Qbar),
        .C(C),
        .D(D)
    );
// Initialize Inputs
    initial begin
        C=1;D=1; #50;
        D=0; #50;
        C=0;D=1; #50;
        D=0;
    end
endmodule
```

(d)得到如下波形图：

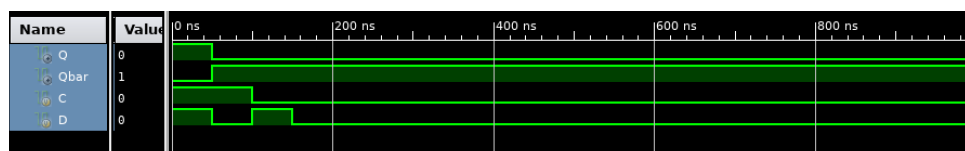


图 3.6 D 锁存器仿真波形

$C = 1$ ，Q 与 D 有关

$C = 0$ ，Q 保持不变

(e) 生成逻辑符号图

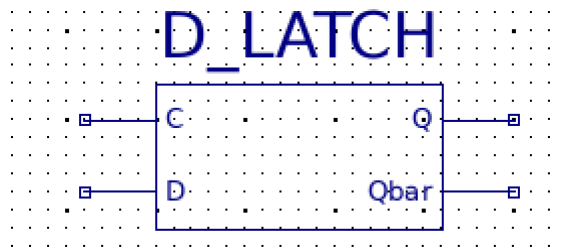


图 3.7 D 锁存器逻辑符号图

4. 搭建电路验证空翻现象

(a) 新建源文件 D_LATCH_FLIP.sch

(b) 用原理图方式绘制电路图，电路图如下：

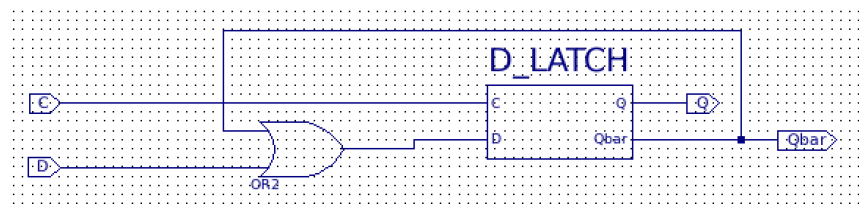


图 3.8 验证空翻现象电路图

首先将 D 设为 1，Q = 1，再设 D 为 0，由于 Qbar 和输入相反，即可产生一个震荡电路

(c) 新建仿真测试文件 D_LATCH_FLIP_sim.v，输入以下代码：

```
`timescale 1ns / 1ps

module D_LATCH_FLIP_D_LATCH_FLIP_sch_tb();

// Inputs
    reg D;
    reg C;

// Output
    wire Q;
    wire Qbar;

// Bidirs

// Instantiate the UUT
    D_LATCH_FLIP UUT (
        .Q(Q),
        .Qbar(Qbar),
        .D(D),
        .C(C)
```

```

);
// Initialize Inputs
initial begin
    D = 1;
    #50;
    D = 0;
end
always begin
    C = 0;
    #30;
    C = 1;
    #30;
end
endmodule

```

(d) 生成波形图如下：

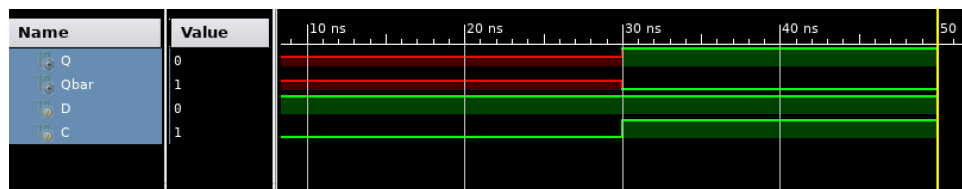


图 3.9 $Q = 0$ $Qbar = 1$



图 3.10 $Q = 1$ $Qbar = 0$

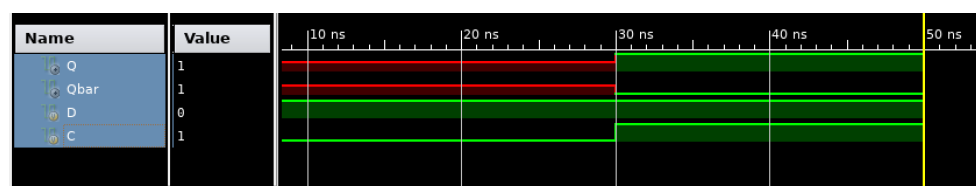


图 3.11 $Q = 1$ $Qbar = 1$

可以看到波形图在 50ns 消失后进入震荡状态，Q 不断改变

5. 实现 SR 主从触发器，并验证功能和存在的时序问题

(a) 新建源文件 MS_FLIPFLOP.sch

(b) 用原理图方式绘制如下电路图：

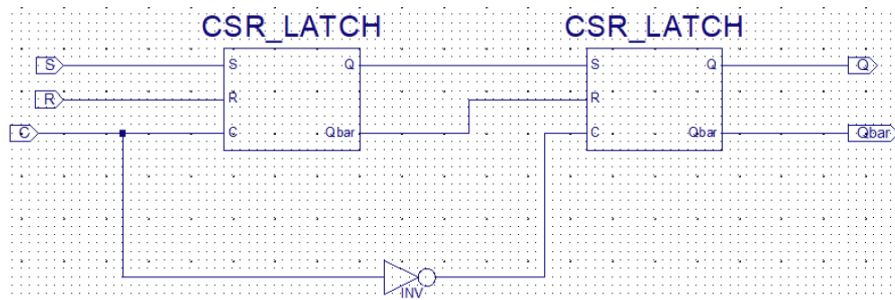


图 3.12 SR 主从触发器

(c) 新建仿真测试文件 MS_FLIPFLOP_sim.v, 输入以下代码:

```
`timescale 1ns / 1ps
module MS_FLIPFLOP_MS_FLIPFLOP_sch_tb();

// Inputs
reg C;
reg S;
reg R;

// Output
wire Q;
wire nQ;

// Bidirs

// Instantiate the UUT
MS_FLIPFLOP UUT (
    .C(C),
    .Q(Q),
    .nQ(nQ),
    .S(S),
    .R(R)
);

// Initialize Inputs
initial begin
    R=0;S=0; #50;
    R=1;S=0; #50;
    R=0;S=0; #40;
    R=0;S=0; #5;
    R=0;S=1; #5;
    R=0;S=0; #50;
    R=1;S=1; #40;
    R=1;S=0; #50;
    R=1;S=1; #50;
    R=0;S=1; #50;
end
```

```

        R=1;S=1; #50;
        R=0;S=0; #50;
        R=1;S=1; #50;
    end
    always begin
        C=0;#20;
        C=1;#20;
    end
end
endmodule

```

(d) 得到如下波形图：

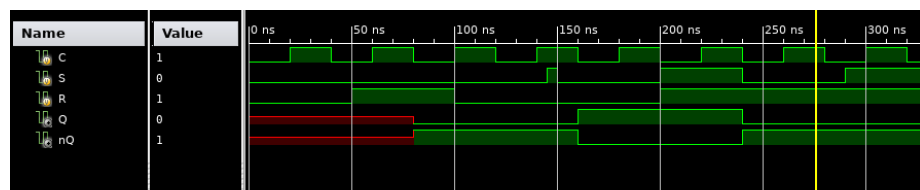


图 3.13 SR 主从触发器仿真波形

➤ 一次性采样检验

在 145ns 时刻，给 S 施加一个 5ns 的脉冲信号，此时 C 为上升沿，因此主存储器 Q 从 0 变为 1，但是在 S 恢复原态后，Q 的值不会恢复，因此在 clock 下降时，从触发器的值也会改变，导致输出变化

➤ 主从触发器功能

S = 0, R = 1 输出 0

S = 1, R = 0 输出 1

S = 1, R = 1 为未定义行为

6. 实现 D 触发器，并验证其功能

(a) 新建源文件 D_FLIPFLOP.sch

(b) 用原理图方式设计电路图如下：

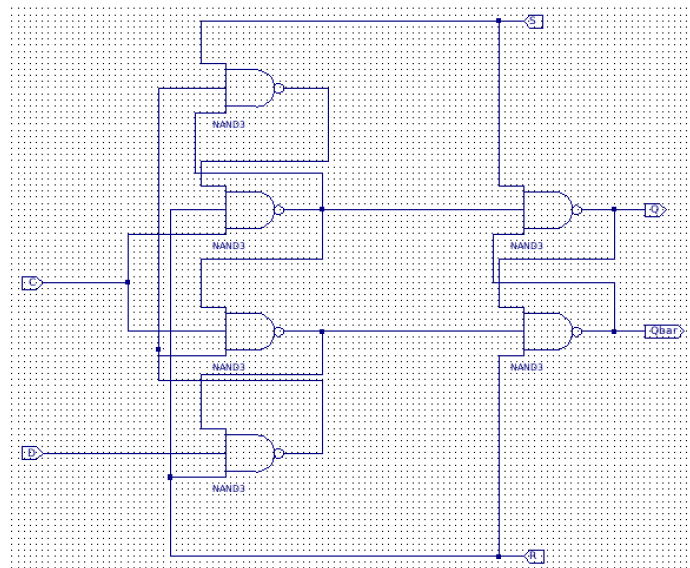


图 3.14 D 触发器

(c)新建仿真测试文件 MS_FLIPFLOP_sim.v，输入以下代码：

```
`timescale 1ns / 1ps

module D_FLIPFLOP_D_FLIPFLOP_sch_tb();

// Inputs
reg S;
reg C;
reg D;
reg R;

// Output
wire Qbar;
wire Q;

// Bidirs

// Instantiate the UUT
D_FLIPFLOP UUT (
    .S(S),
    .C(C),
    .D(D),
    .R(R),
    .Qbar(Qbar),
    .Q(Q)
);

// Initialize Inputs
initial begin
```



```

R = 1;
S = 1;
D = 0; #150;
D = 1; #150;
R = 0;
S = 1;
D = 0; #150;
D = 1; #150;
R = 1;
S = 0;
D = 0; #150;
D = 1; #150;
R = 0;
S = 1;
D = 0; #150;
D = 1; #150;
end
always begin
    C=0; #50;
    C=1; #50;
end
endmodule

```

(d) 得到如下波形图：

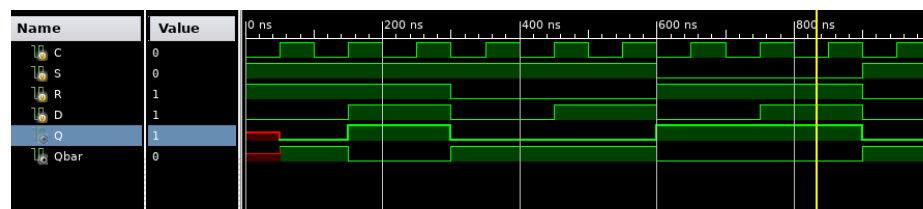


图 3.15 D 触发器仿真波形

$R = S = 1$ ， Q 随 D 变化

$R = 0$ ， $S = 1$ 时， $Q = 0$

$R = 1$ ， $S = 0$ 时， $Q = 1$

四、实验结果分析

本次实验未使用 SWORD 板进行验证，通过仿真，实验结果符合预期。

五、讨论与心得

本次实验通过常用锁存器、触发器原理图绘制、波形仿真学习各锁存器、触发器的原理以及优劣，并对 D 锁存器的空翻、SR 主从触发器的一次性采样等特殊问题进行仿真探究，掌握其背后原理。

在截 D 锁存器空翻现象的时候，起初一直在等 Q 和 Qbar 的变化，随后发现可以通过不断点击波形末端实现刷新。（本次实验的 PPT 仿真代码挖坑 XD）