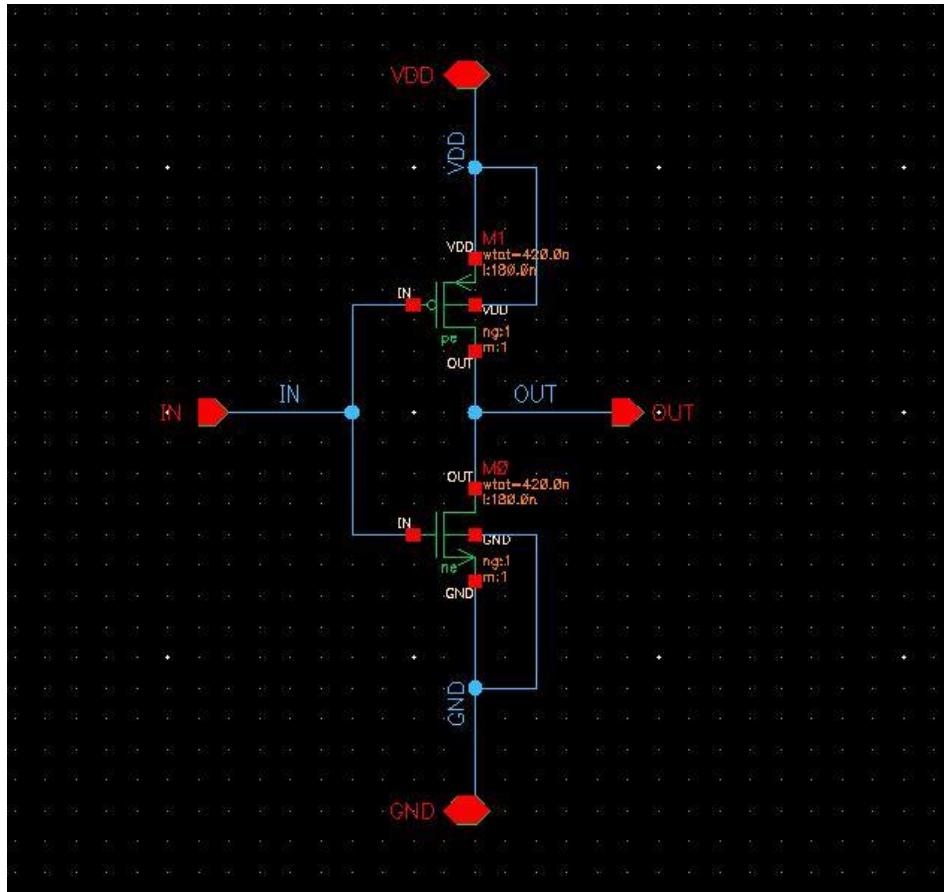
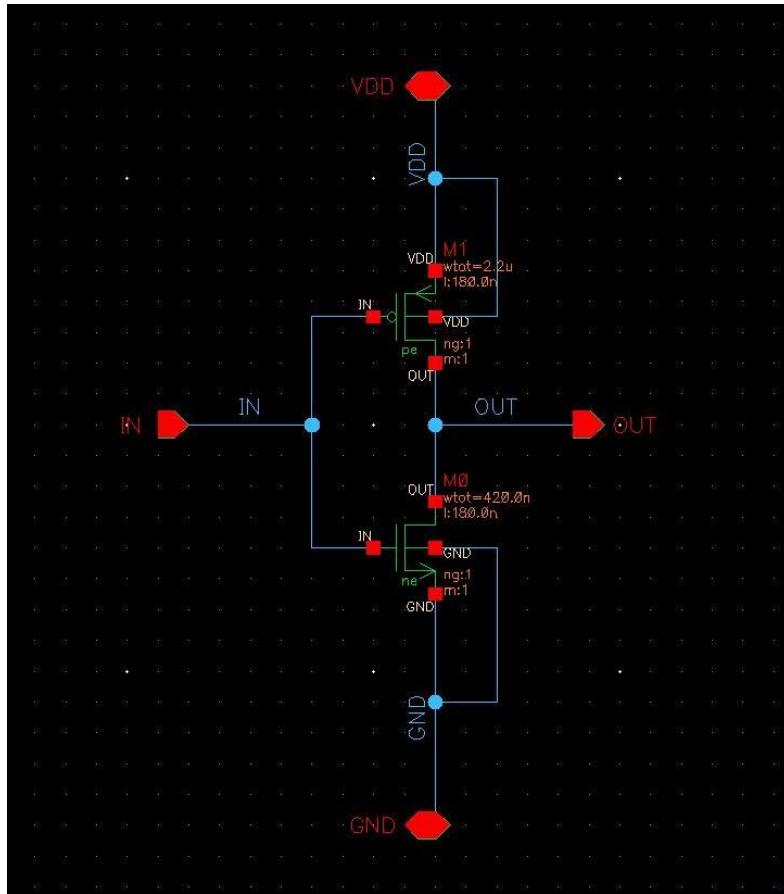


Przedmiot:	PMK
Autor i indeks:	Przemysław Ziencik, 325104
Grupa:	103
Data:	14.12.2024

Inwerter:



Zdjęcie nr.1 - Schemat Inwertera (przed zmianą szerokość kanału tranzystora)



Zdjęcie nr.2 - Schemat Inwertera (po zmianie szerokość kanału tranzystora)

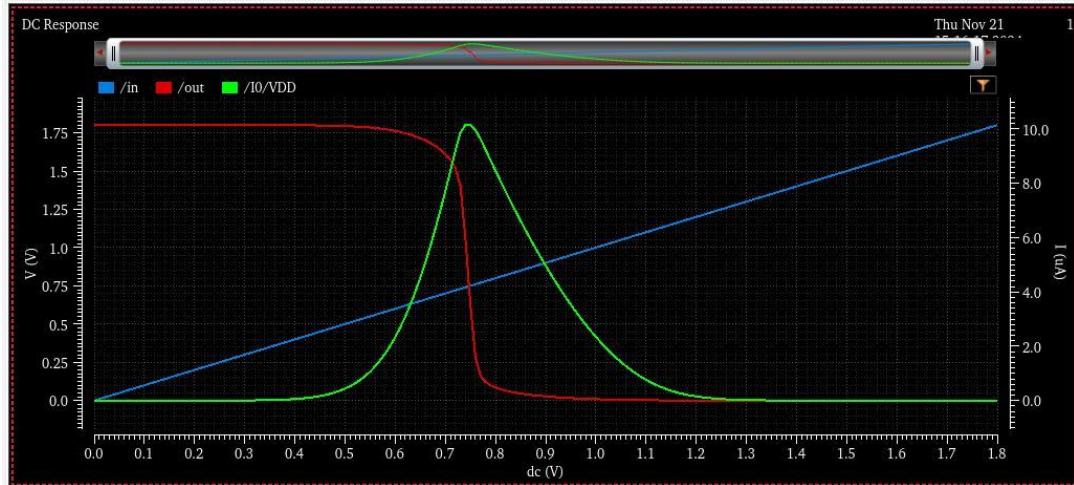
Wymiary tranzystorów:

Przed zmianą:

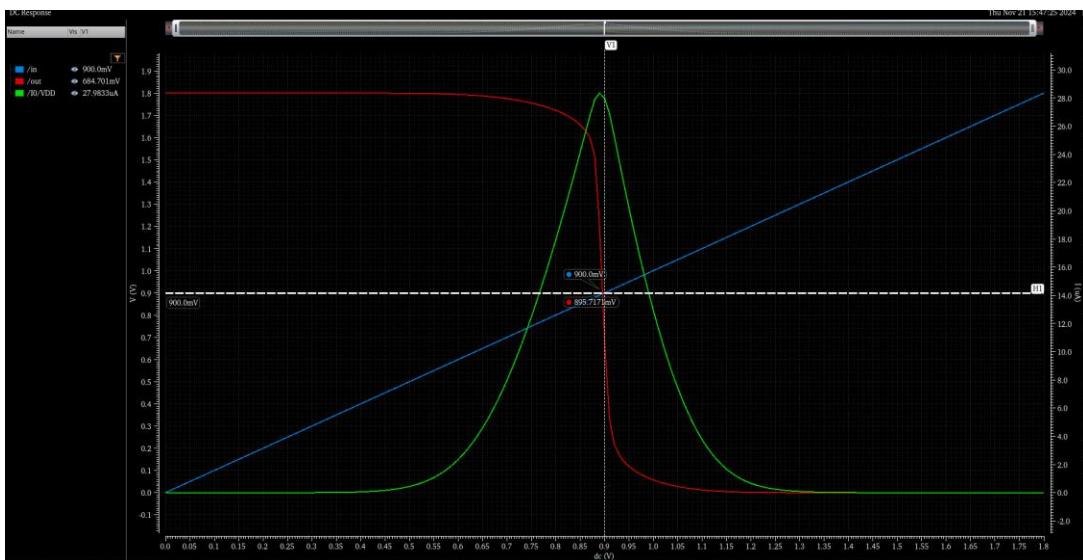
Nr. Tranzystora:	Typ:	Szerokość
M0	ne	420 nm
M1	pe	420 nm

Po zmianie:

Nr. Tranzystora:	Typ:	Szerokość
M0	ne	420 nm
M1	pe	2.2 um



Zdjęcie nr.3 - Wyniki analizy DC przed zmianą szerokości tranzystora

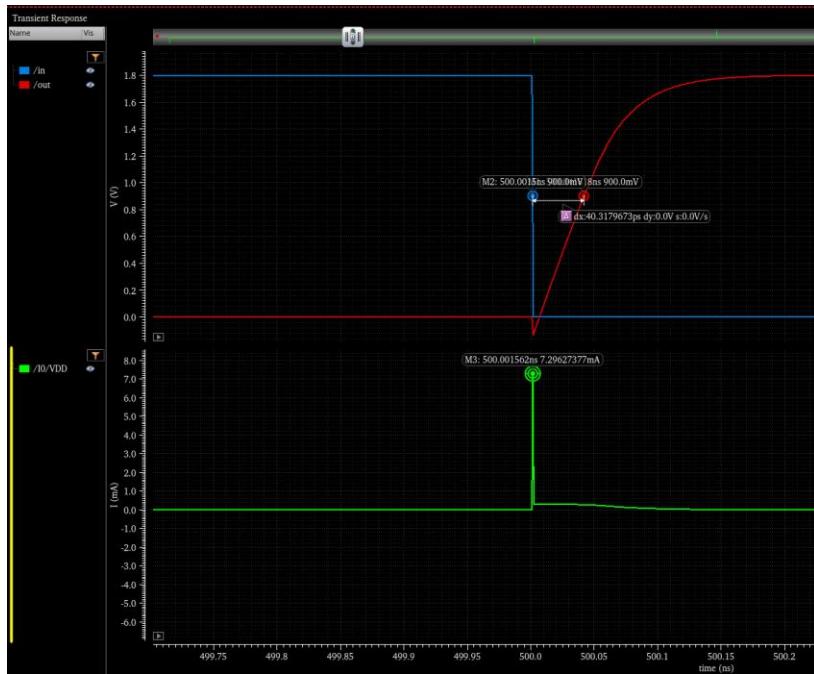


Zdjęcie nr.4 - Wyniki analizy DC po zmianie szerokości tranzystora

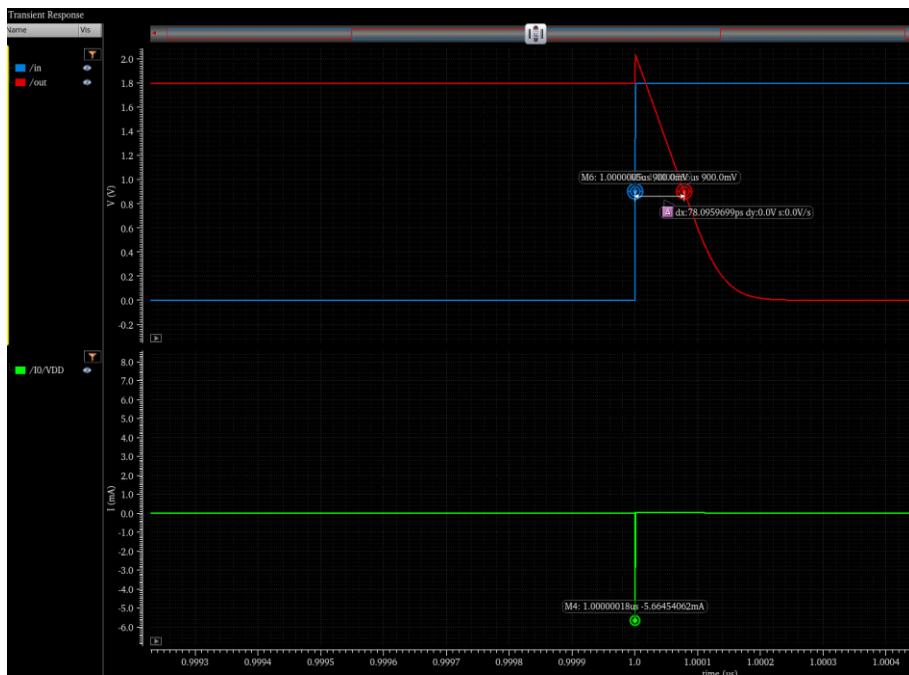
Komentarz:

Aby bramka przełączała się po osiągnięciu połowy napięcia zasilania zmieniłem szerokość kanału tranzystora PMOS – M1 z 420 nm na 2.2 um. Zmiana spowodowała, że punkt przecięcia wykresów przebiegów na wejściu i wyjściu znajduje się w punkcie 900 mV.

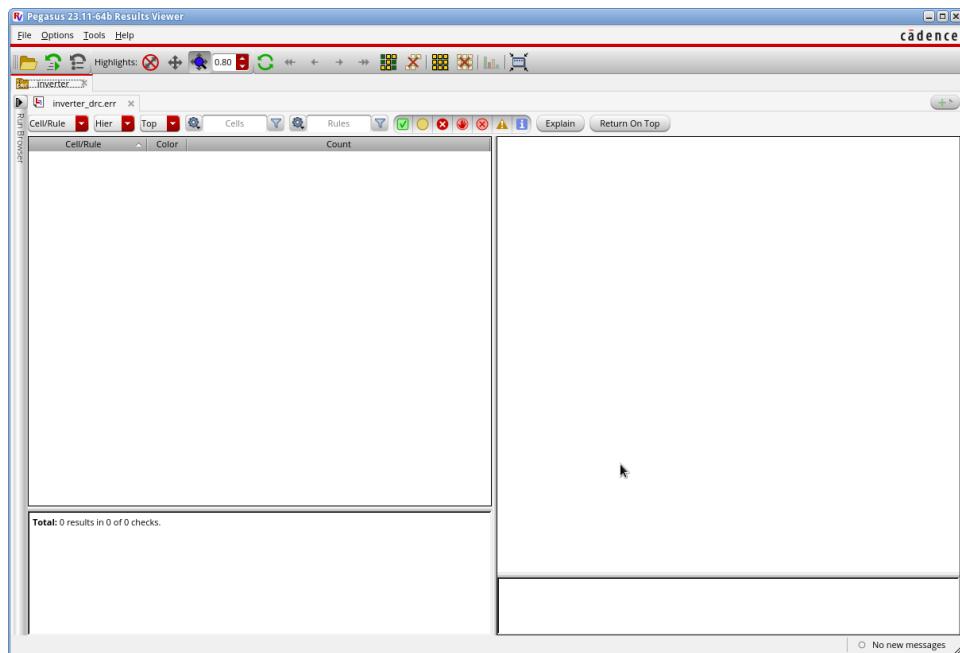
Aby uzyskać przecięcie się wykres na 0.9 V zmieniłem szerokość kanału tranzystora na 2.2uM.



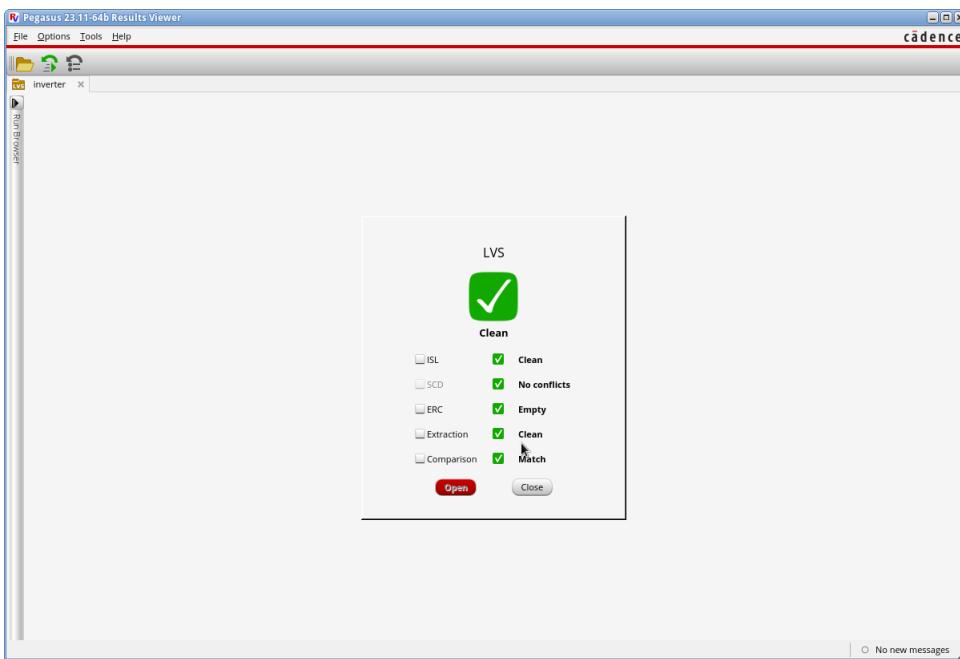
Zdjęcie nr. 5 - Opóźnienie z stanu niskiego na wysokiego, czas opóźnienia 40,3179 ps



Zdjęcie nr.6 - Opóźnienie z stanu wysokiego na niski, czas opóźnienia 78,0959 ps



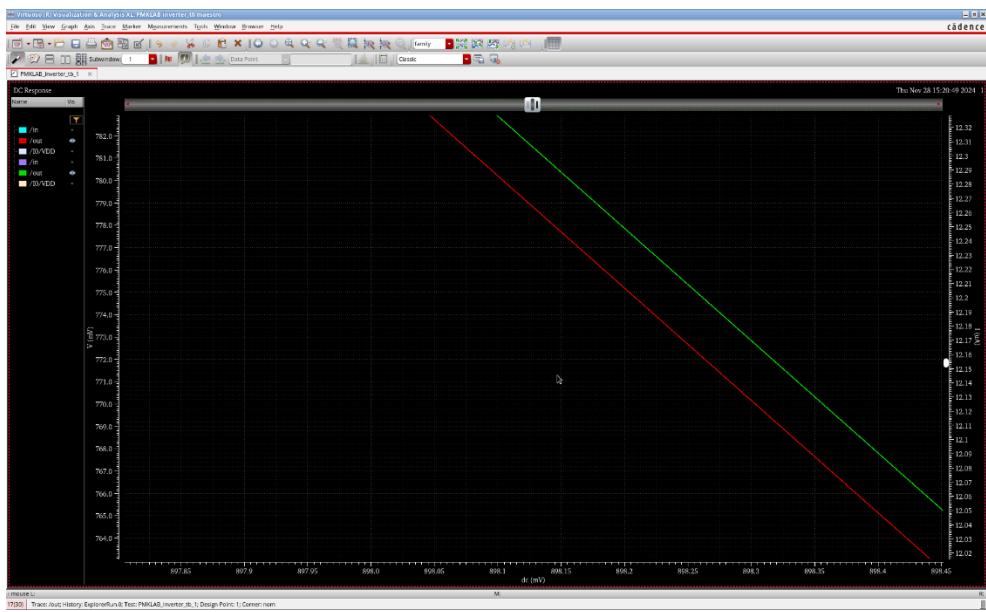
Zdjęcie nr.6 – Raport DRC



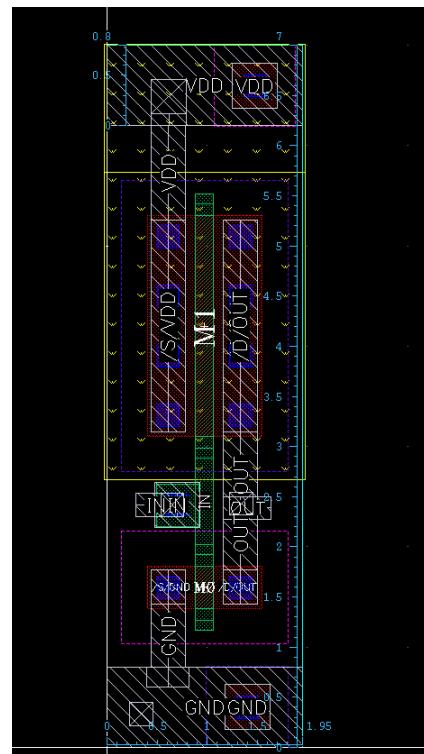
Zdjęcie nr.7 – Raport LVS

Wniosek:

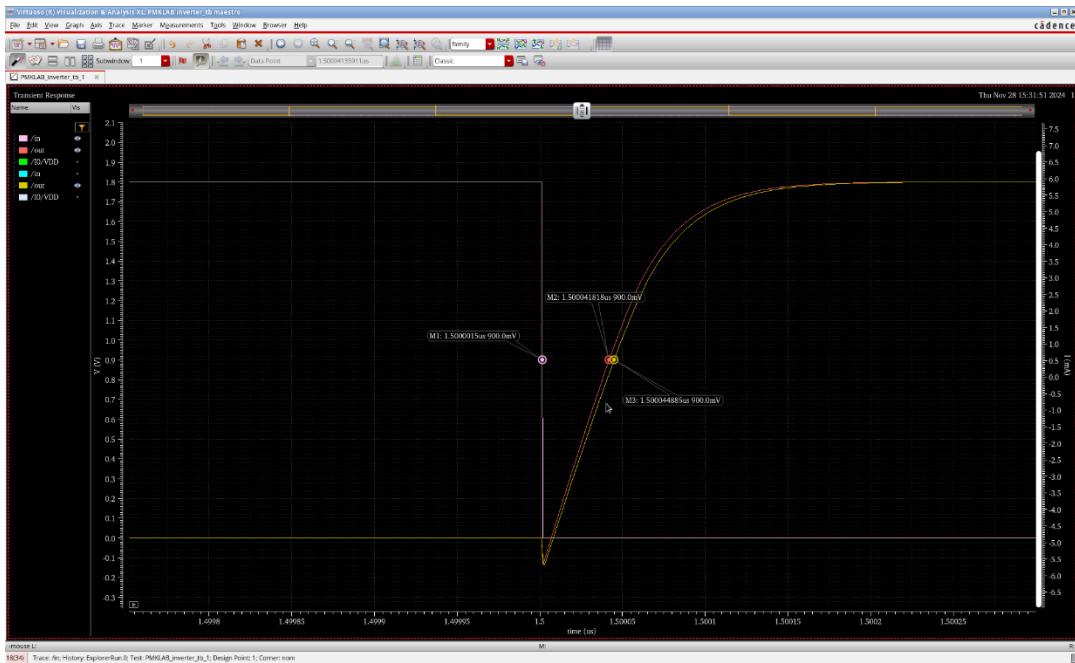
Raporty DRC i LVS potwierdzają poprawność układu pod kątem reguł projektowych i zgodności schematów z topografią, co jest istotne dla poprawnej realizacji układu.



Zdjęcie nr.8 - Zbliżenie na środek analizy DC przed (czerwona) i po(zielona) ekstrakcją elementów pasożytniczych



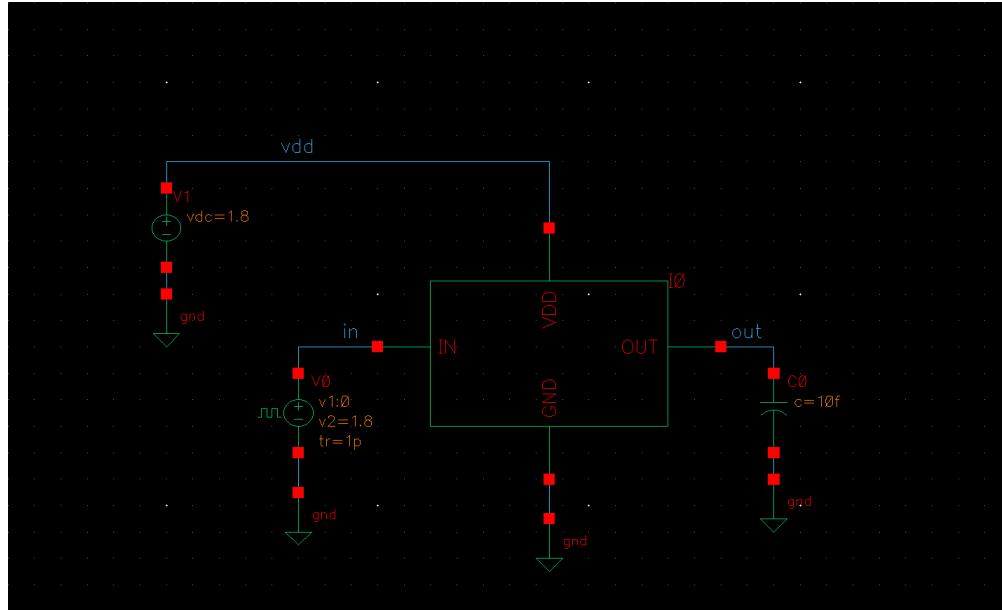
Zdjęcie nr.9 – Topografia inwertera i wymiary inwertera



Zdjęcie nr.10 – Czas przed ekstrakcją i po

Tabela Wyników symulacji

Czas przed ekstrakcją:	26,818 ps
Czas po ekstrakcji:	29,885 ps



Zdjęcie nr.11 – Układ testowy Inwertera

Indywidualna bramka cyfrowa:

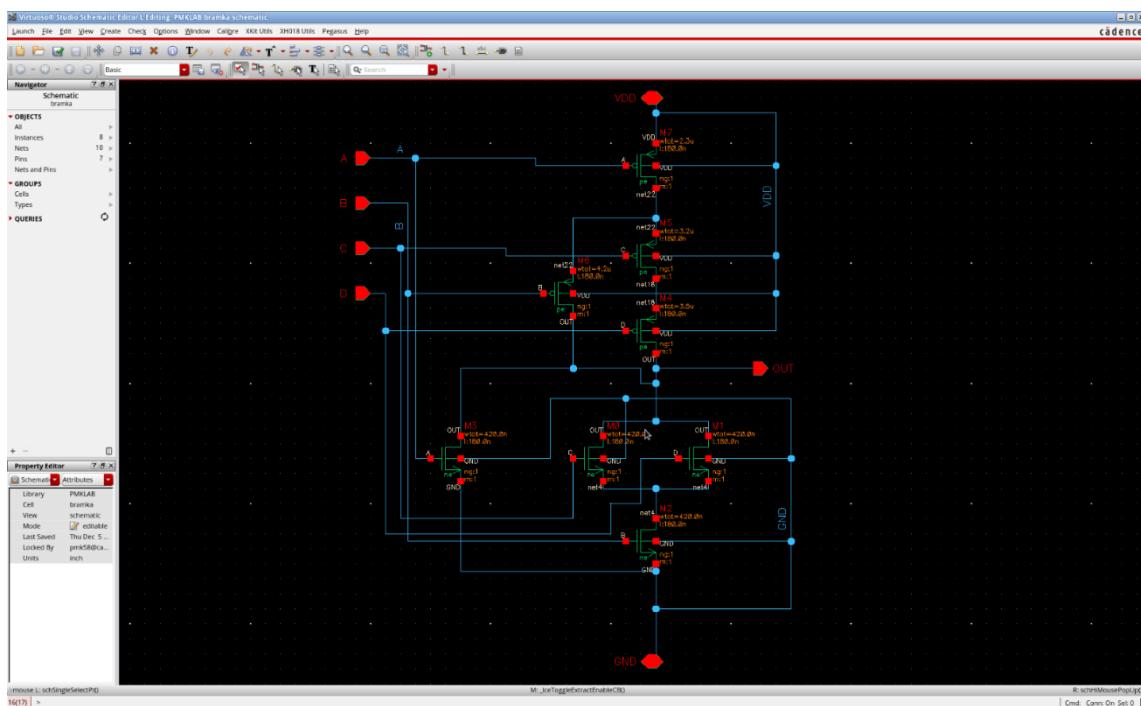
$$Y = ! (A + B \cdot (C + D))$$

		A	B		
		00	01	10	11
C	D	00	1	1	0
		01	1	0	0
		10	1	0	0
		11	1	0	0

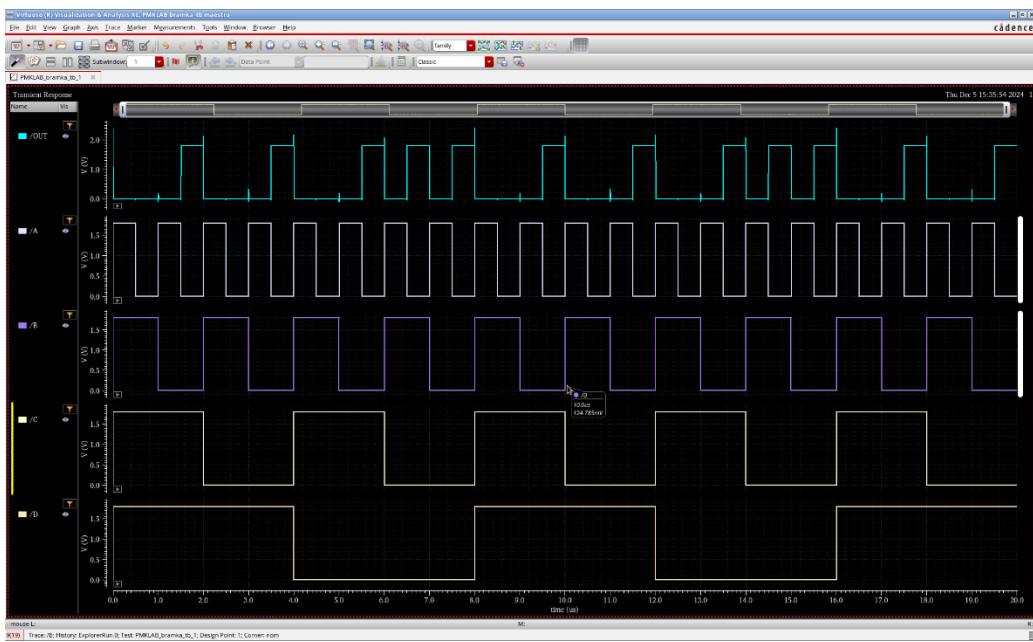
Tabela nr.1 – Tablica prawdy

Wymiary tranzystorów:

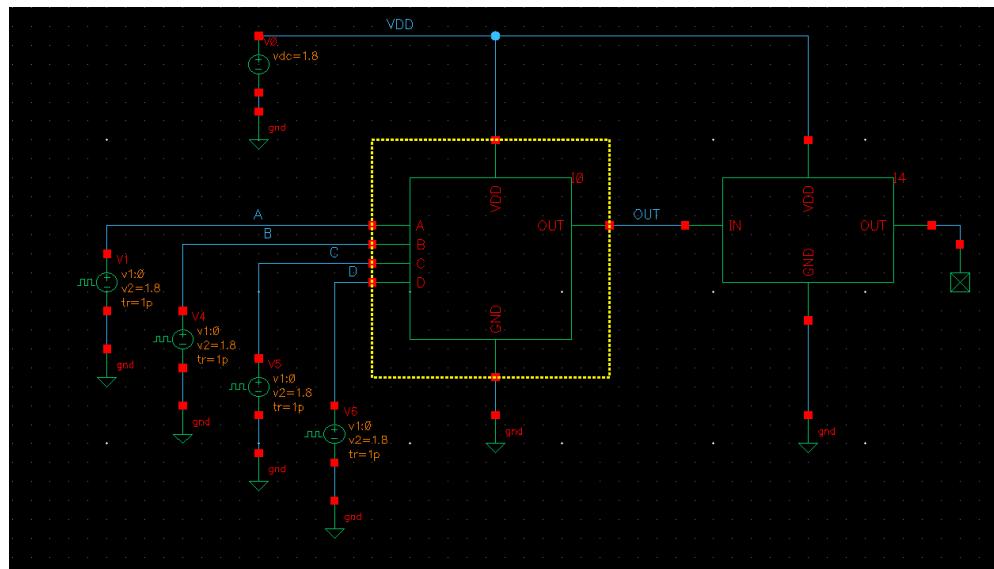
Nr. Tranzystora:	Typ:	Szerokość
M0	ne	420 nm
M1	ne	420 nm
M2	ne	420 nm
M3	ne	420 nm
M4	pe	3.5 um
M5	pe	3.2 um
M6	pe	4.2 um
M7	pe	2.3 um



Zdjęcie nr.11 – Schemat bramki

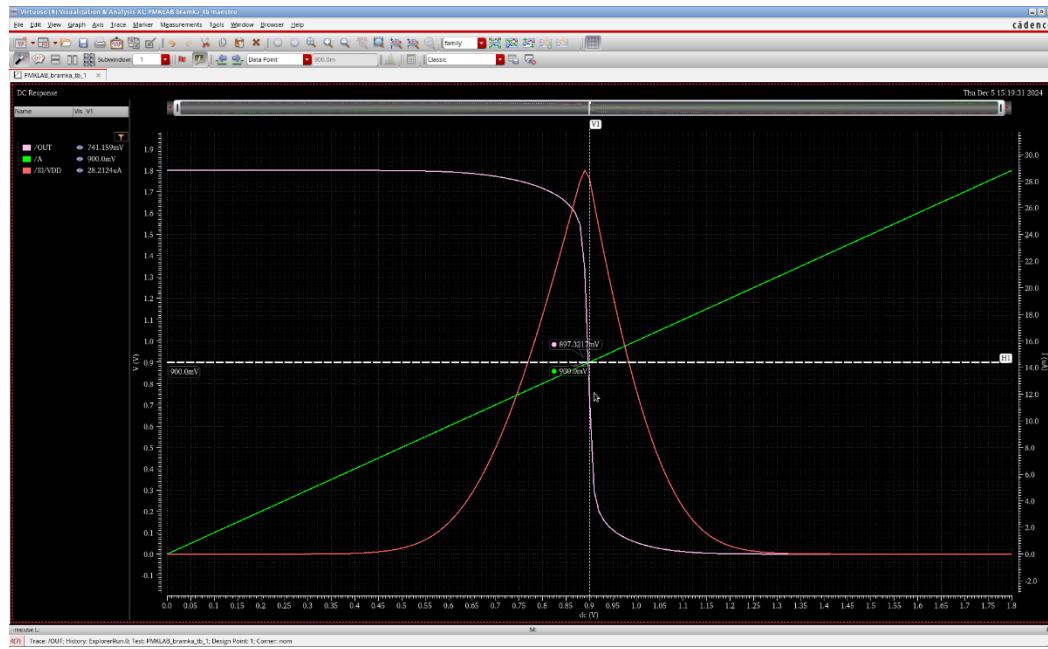


Zdjęcie nr.12 – wykresy czasowe przedstawiające tablicę prawdy bramki (16 stanów)

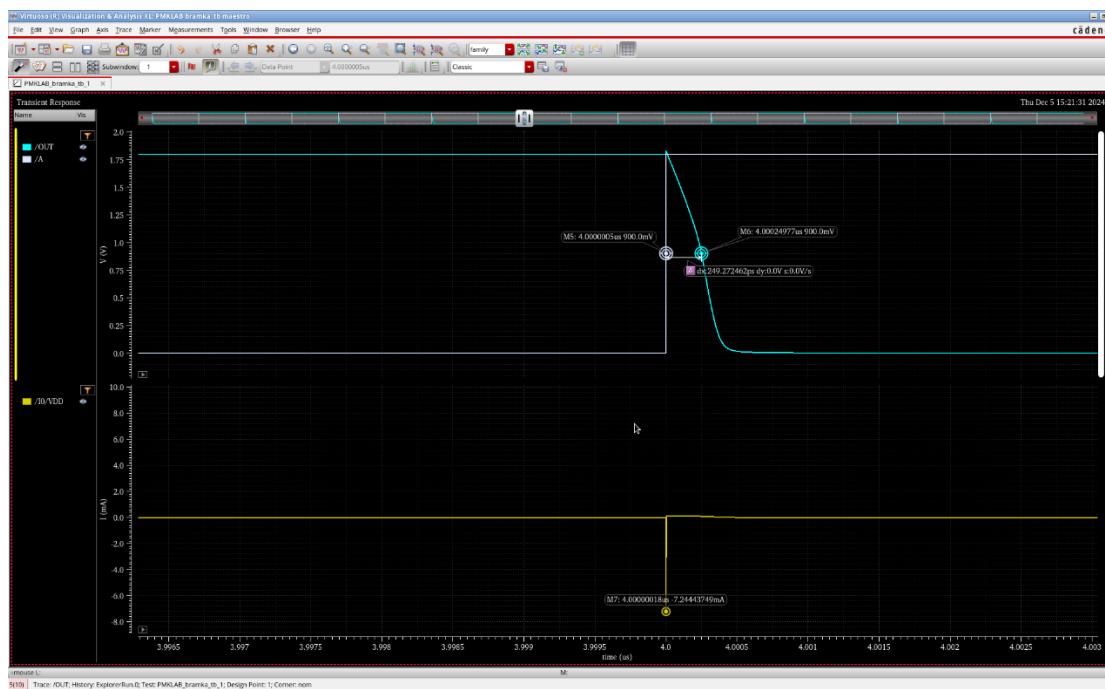


Zdjęcie nr.13 – Układ testowy bramki cyfrowej

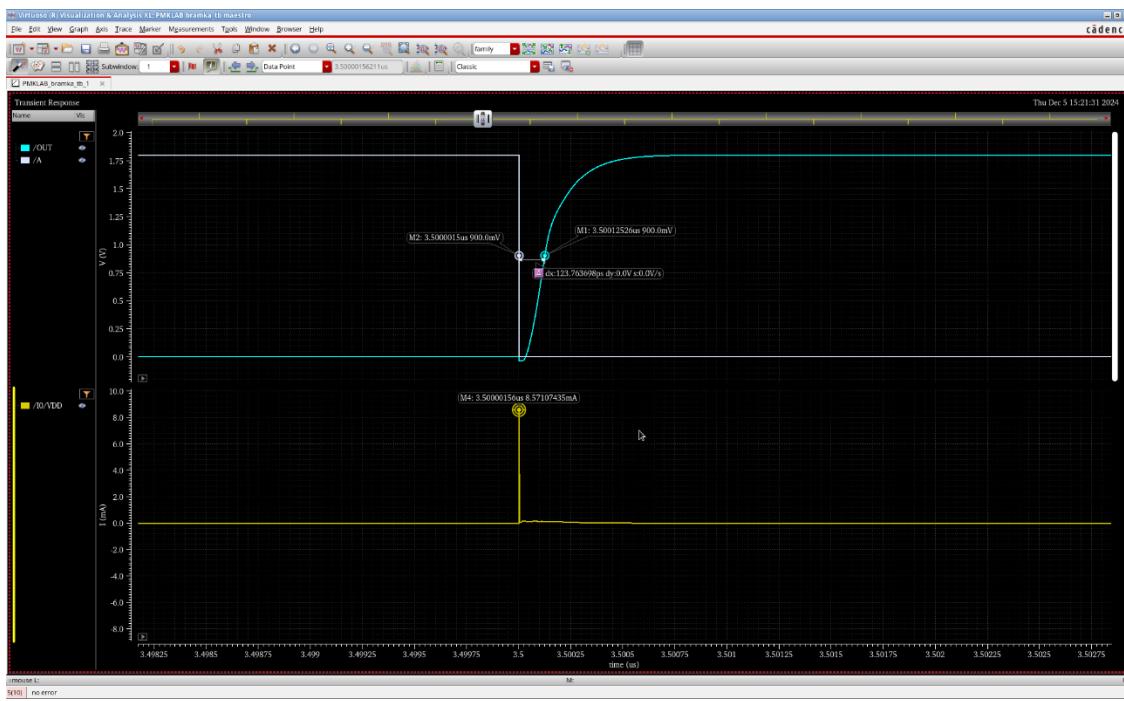
Pomiary wykonane dla wejścia A:



Zdjęcie nr.14 - Charakterystyki przejściowa

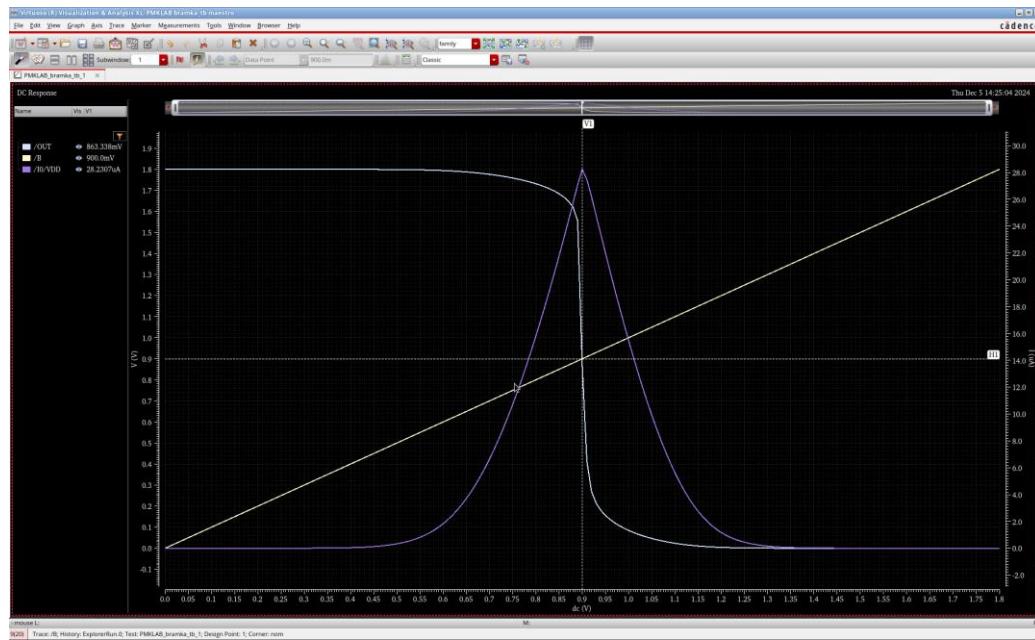


Zdjęcie nr. 15– Czas opadania

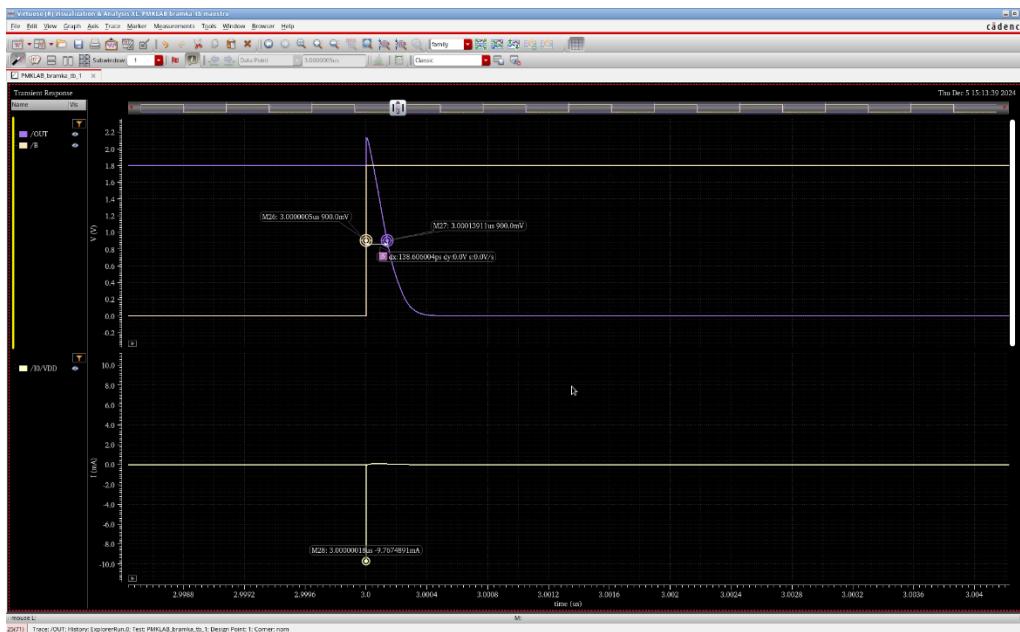


Zdjęcie nr.16 – Czas narastania

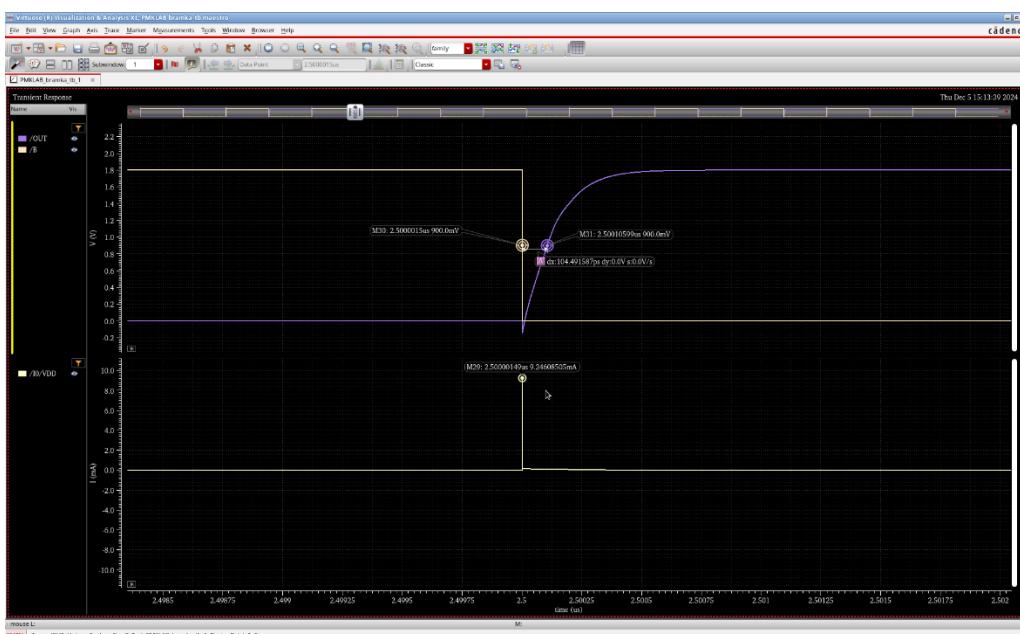
Pomiary wykonane dla wejścia B:



Zdjęcie nr.17 - Charakterystyki przejściowa



Zdjęcie nr.18 – Czas opadania

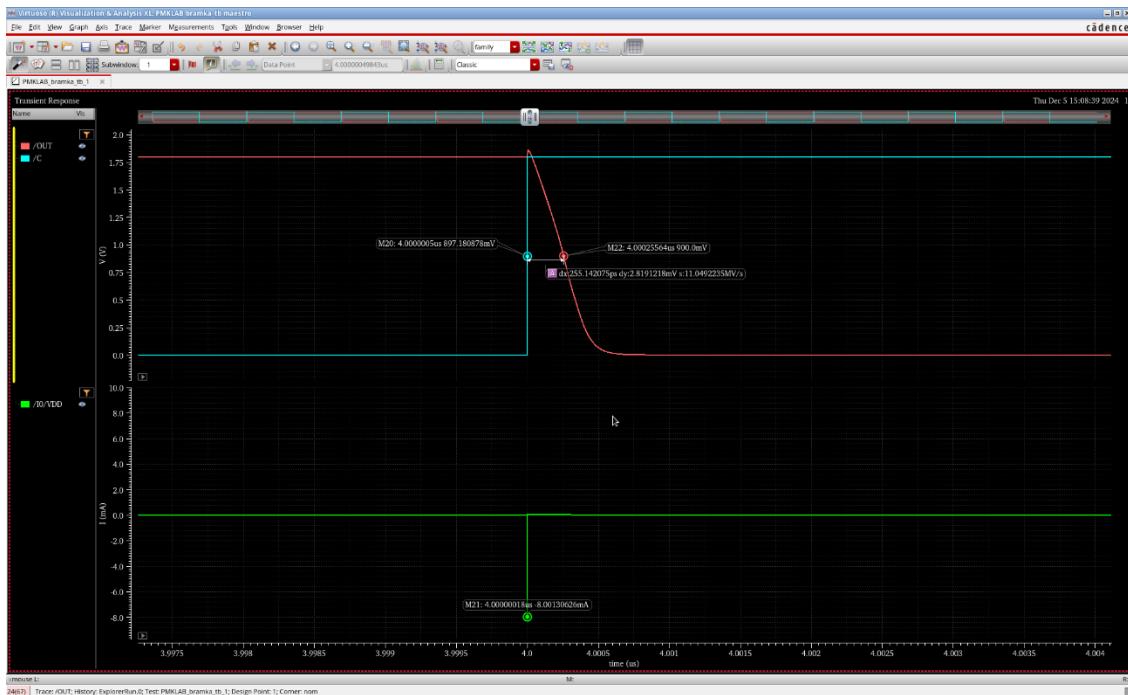


Zdjęcie nr.19 – Czas narastania

Pomiary wykonane dla wejścia C:



Zdjęcie nr.20 - Charakterystyki przejściowa

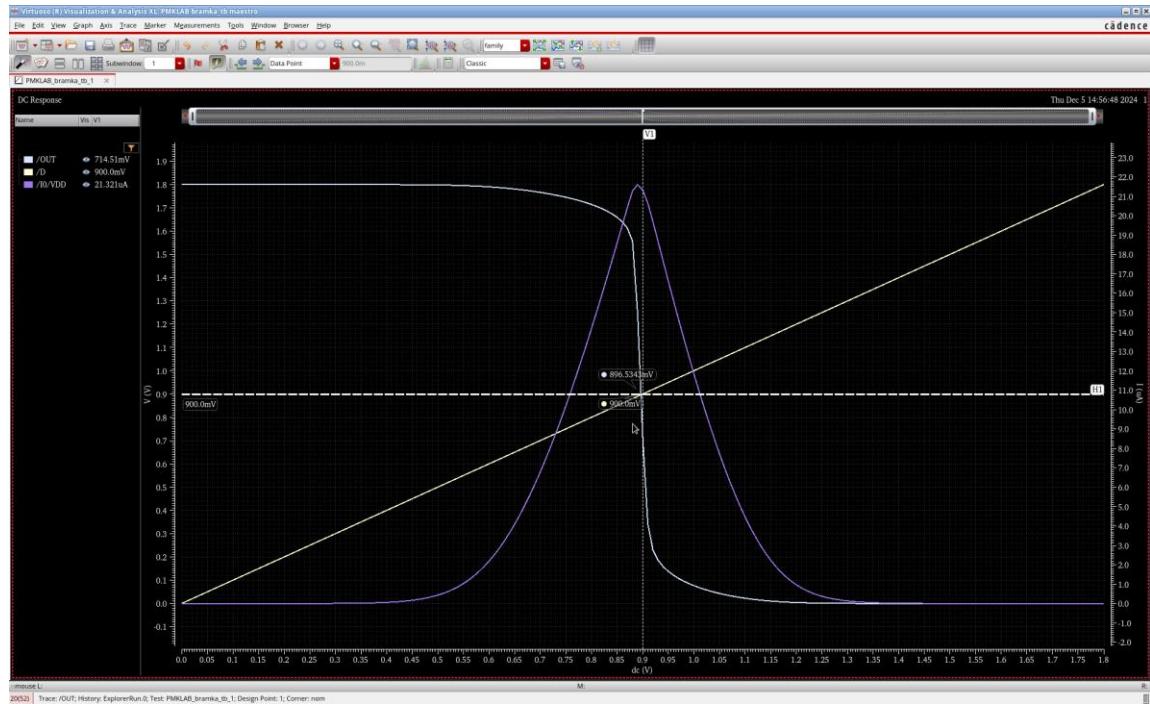


Zdjęcie nr.21 – Czas opadania

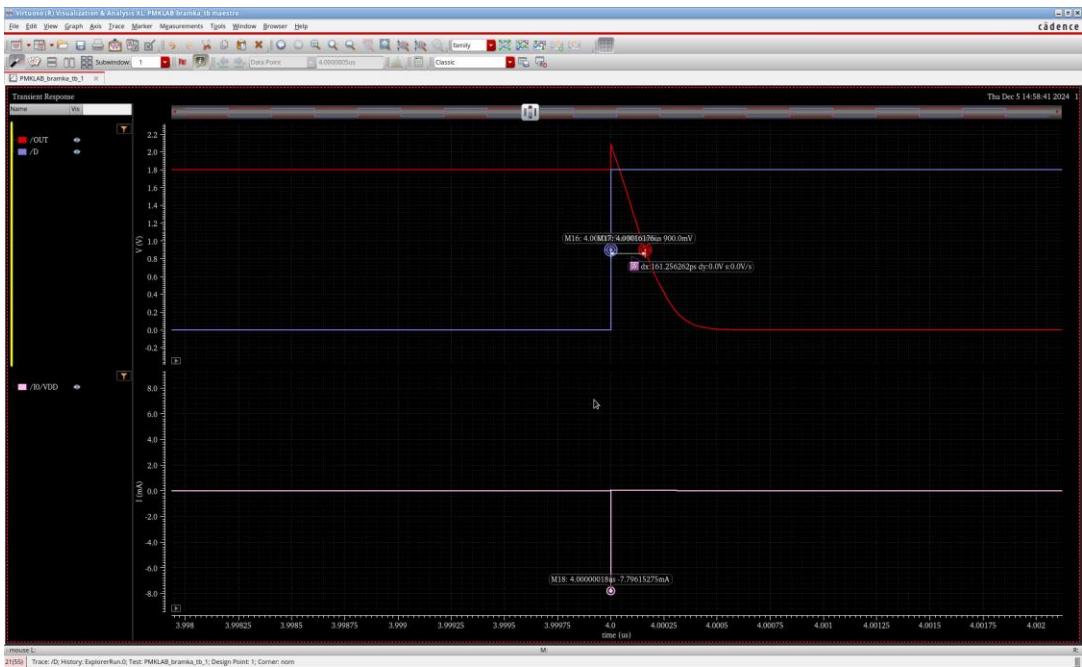


Zdjęcie nr.22 – Czas narastania

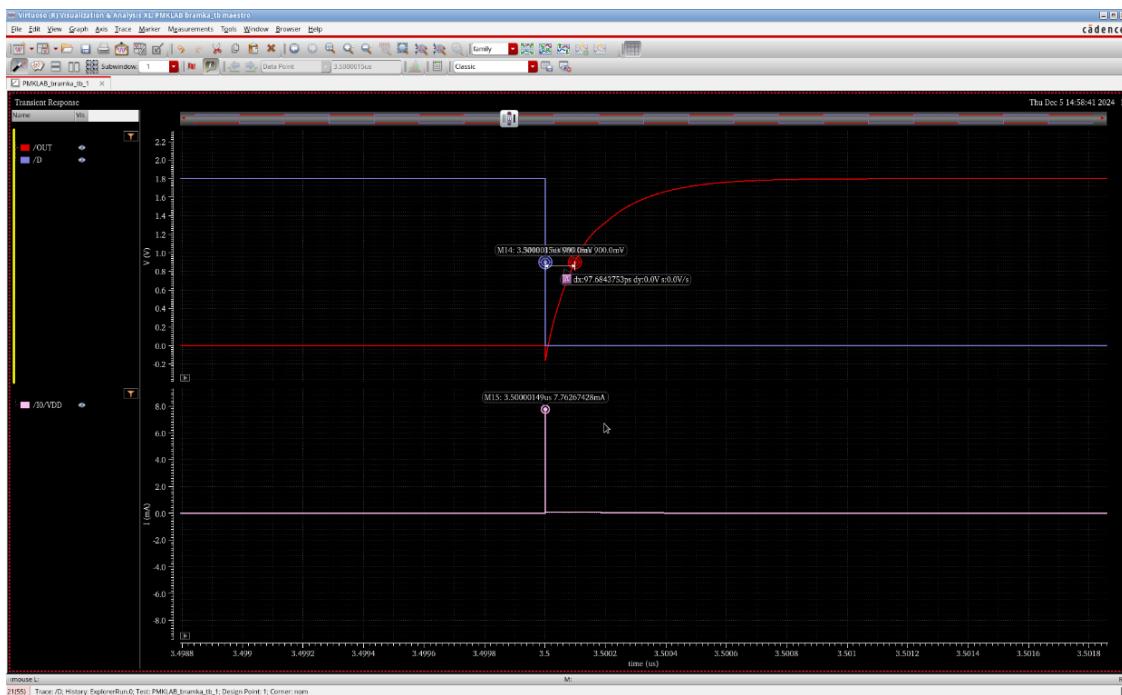
Pomiary wykonane dla wejścia D:



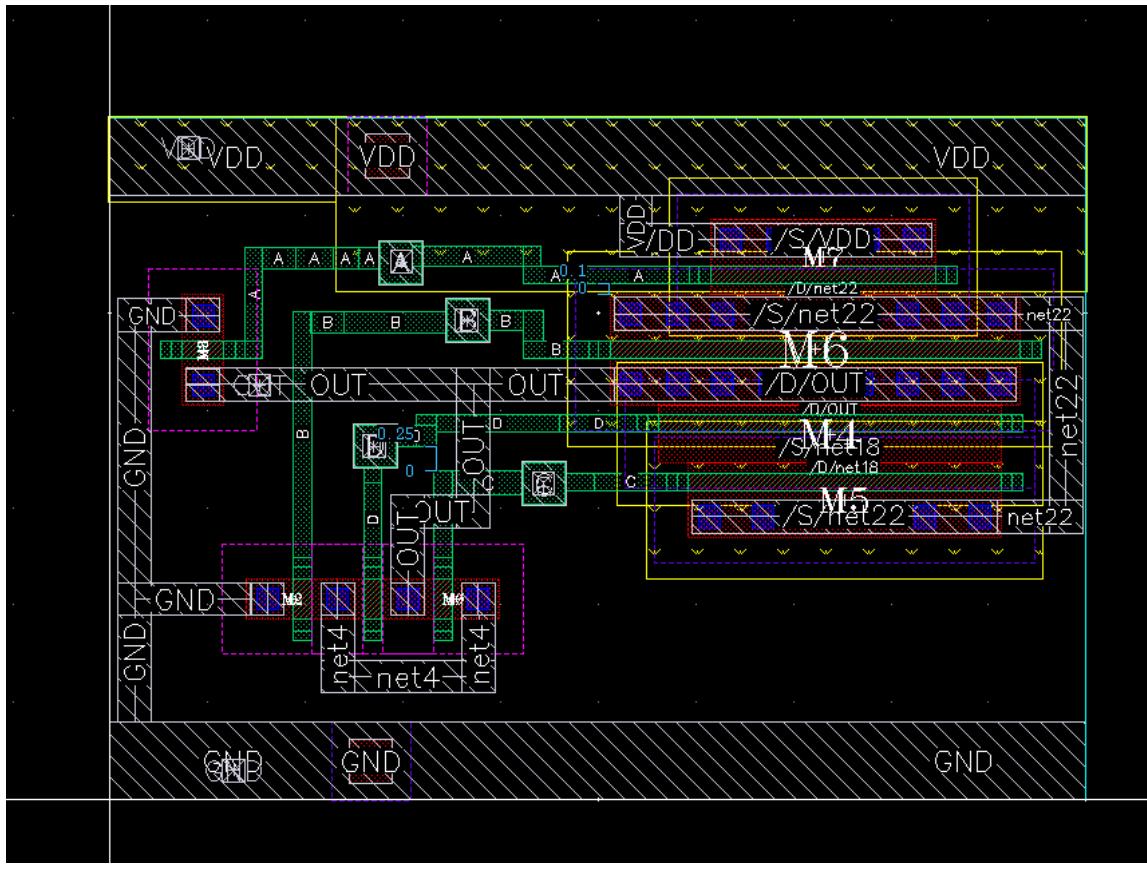
Zdjęcie nr.23 - Charakterystyki przejściowa



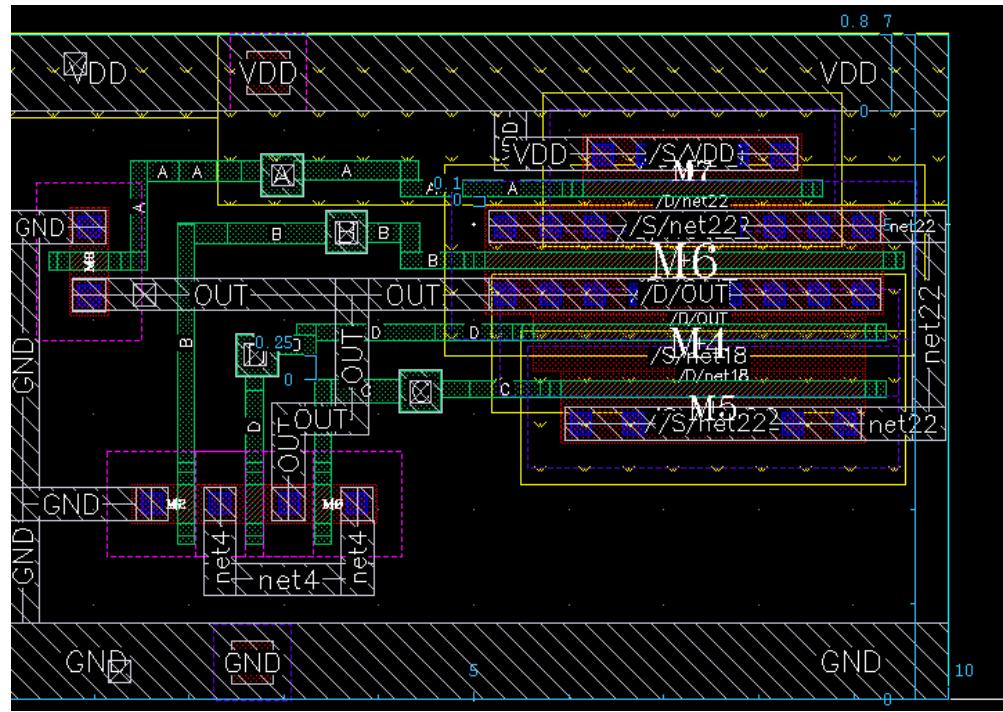
Zdjęcie nr.24 – Czas opadania



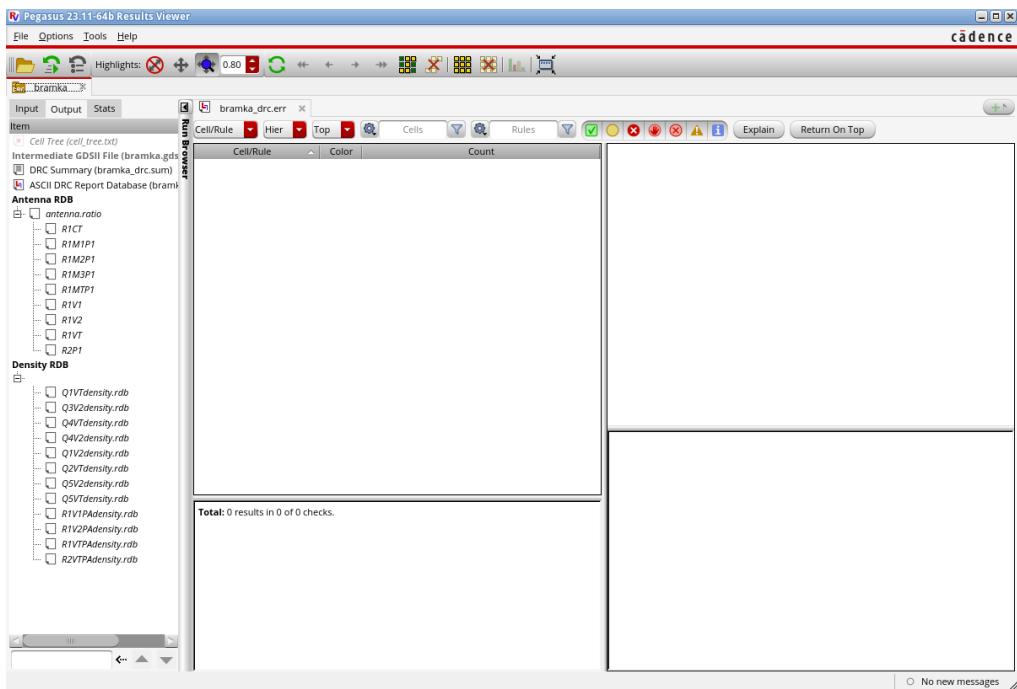
Zdjęcie nr.25 – Czas narastania



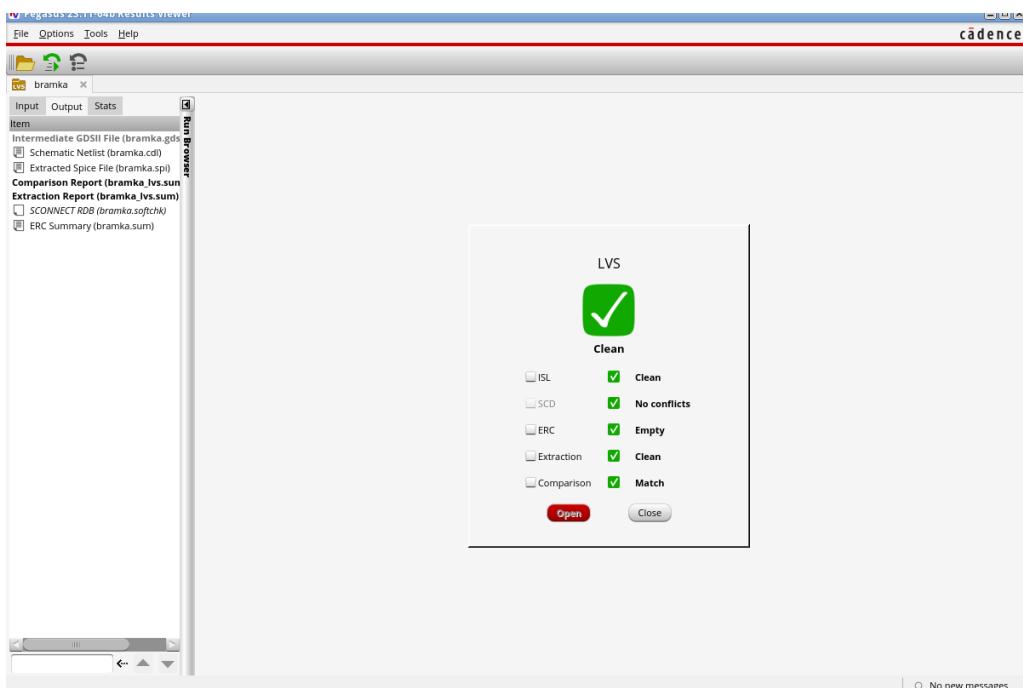
Zdjęcie nr. 26 – Topografia bramki



Zdjęcie nr. 27 – Wymiary bramki: 10 szerokość, 7 wysokość i 0,8 wysokość pola VDD



Zdjęcie nr. 28 – Raport DRC

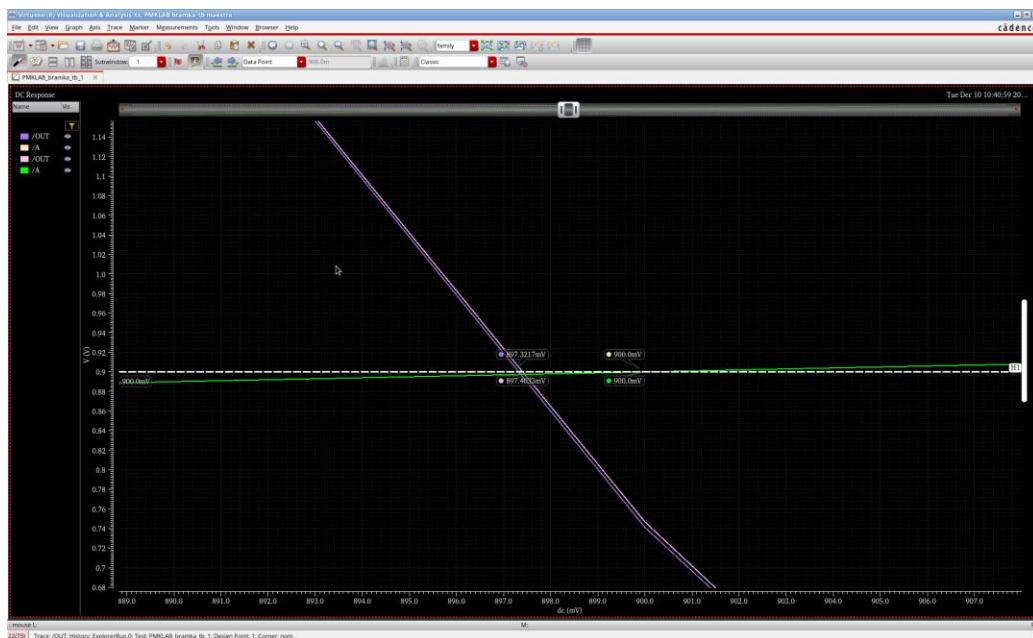


Zdjęcie nr. 29 – Raport LVS

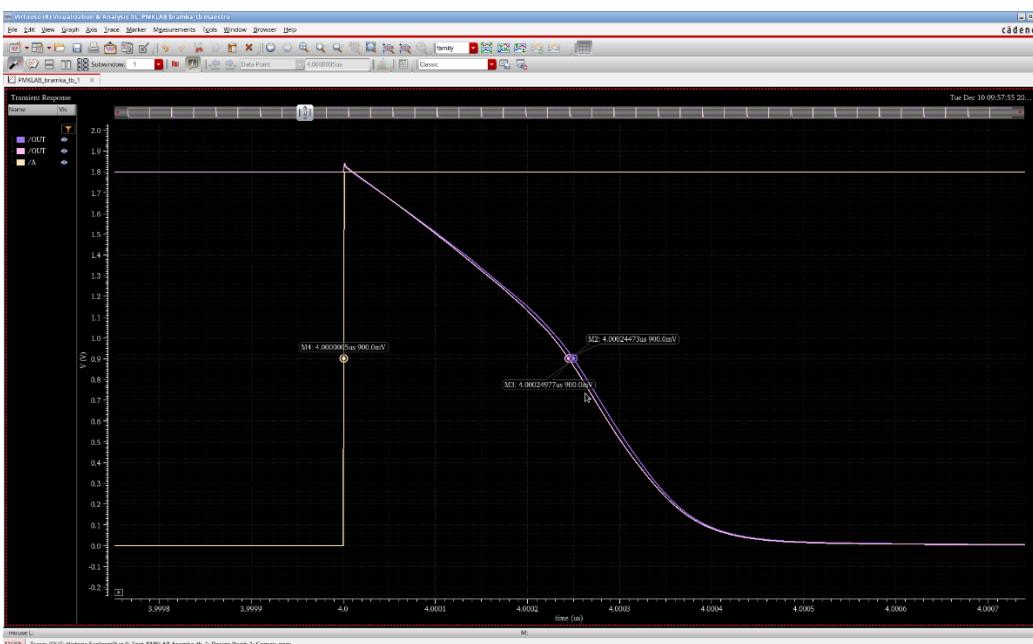
Wniosek:

Raporty DRC i LVS potwierdzają poprawność układu pod kątem reguł projektowych i zgodności schematów z topografią, co jest istotne dla poprawnej realizacji układu.

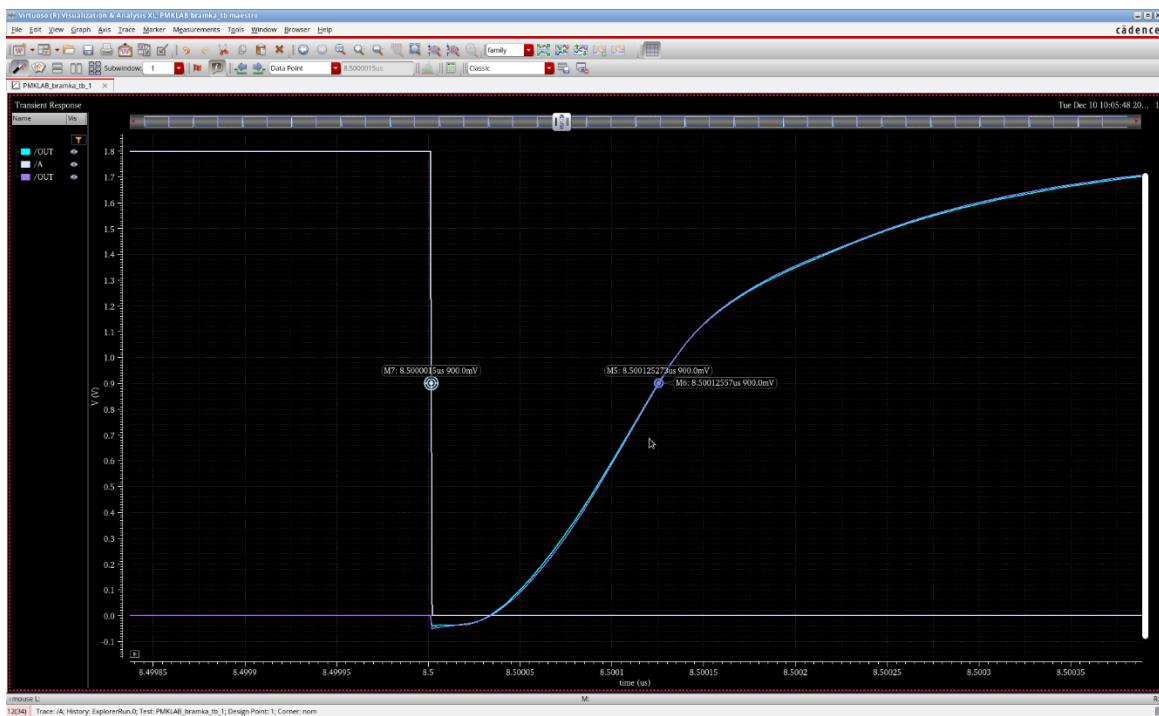
Pomiary wykonane dla wejścia A:



Zdjęcie nr. 30 - Zbliżenie na środek analizy DC przed (fioletowa) i po (kremowa) ekstrakcji elementów pasożytniczych

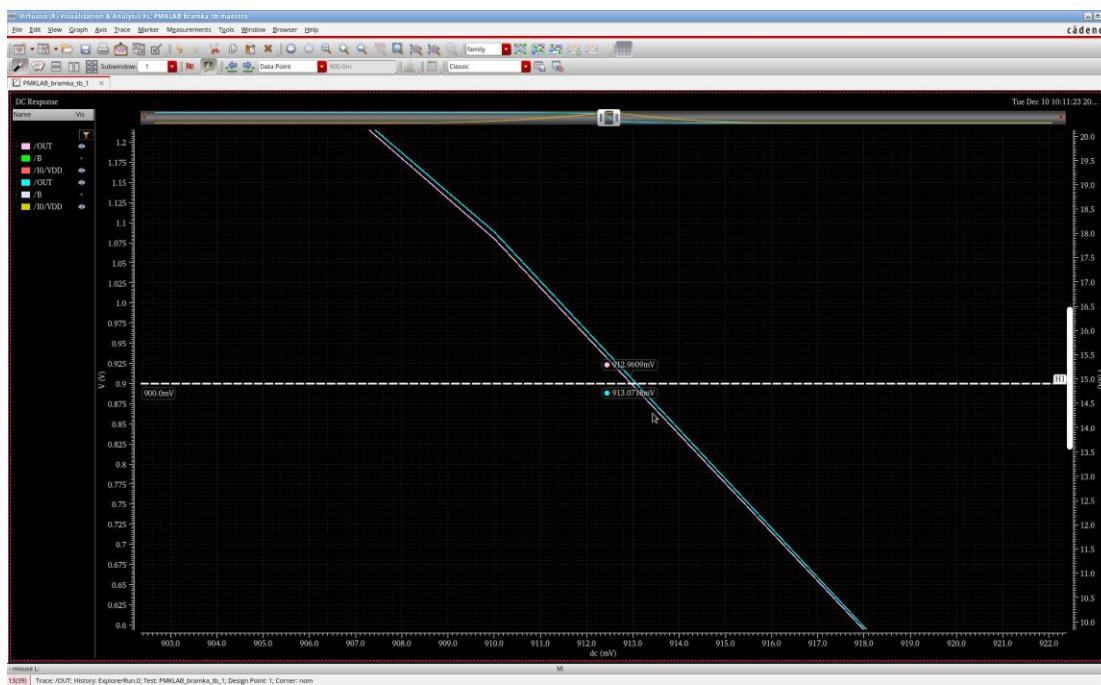


Zdjęcie nr.31 – Czas opadania

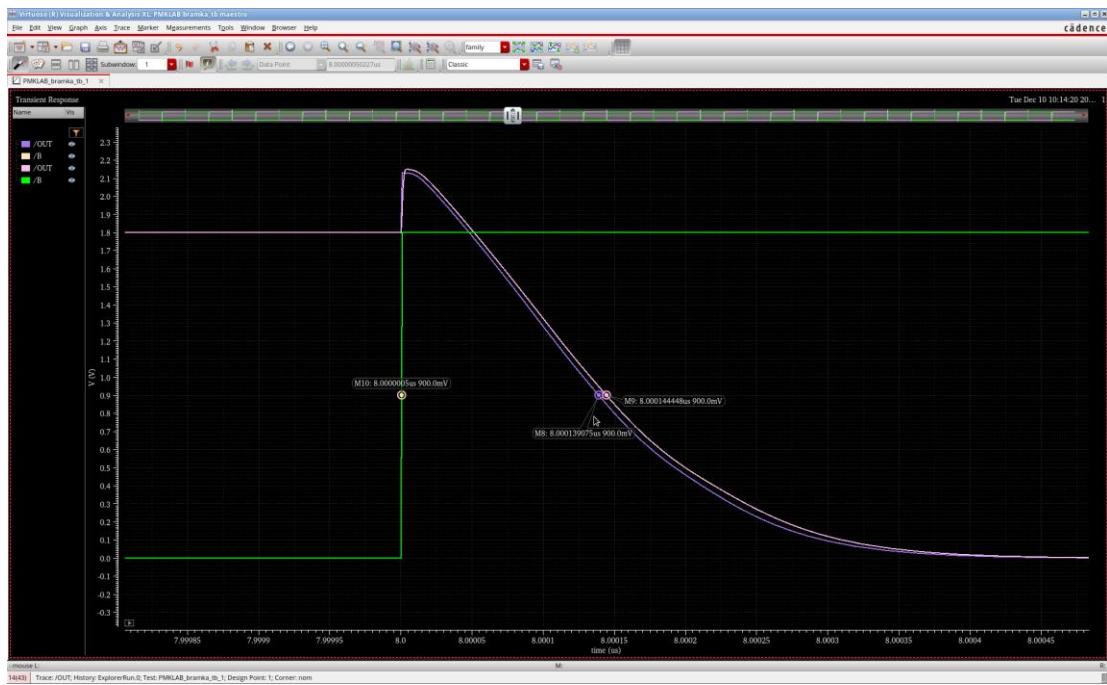


Zdjęcie nr. 32 – Czas narastania

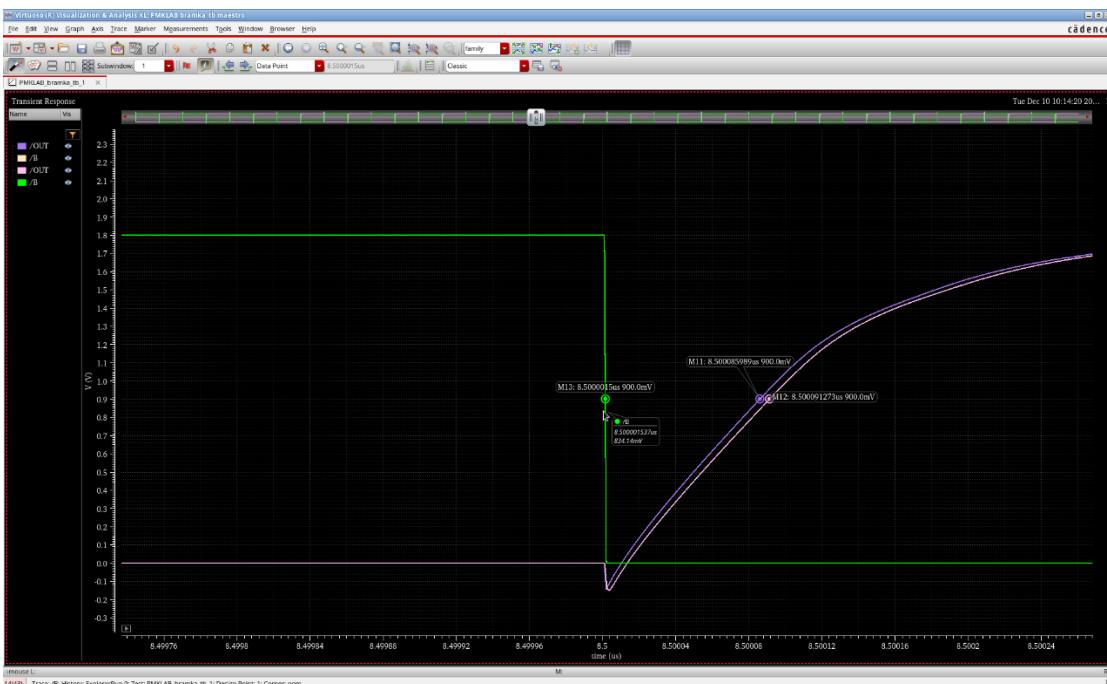
Pomiary wykonane dla wejścia B:



Zdjęcie nr. 33 - Zbliżenie na środek analizy DC przed (różowa) i po (niebieska) ekstrakcji elementów pasożytniczych

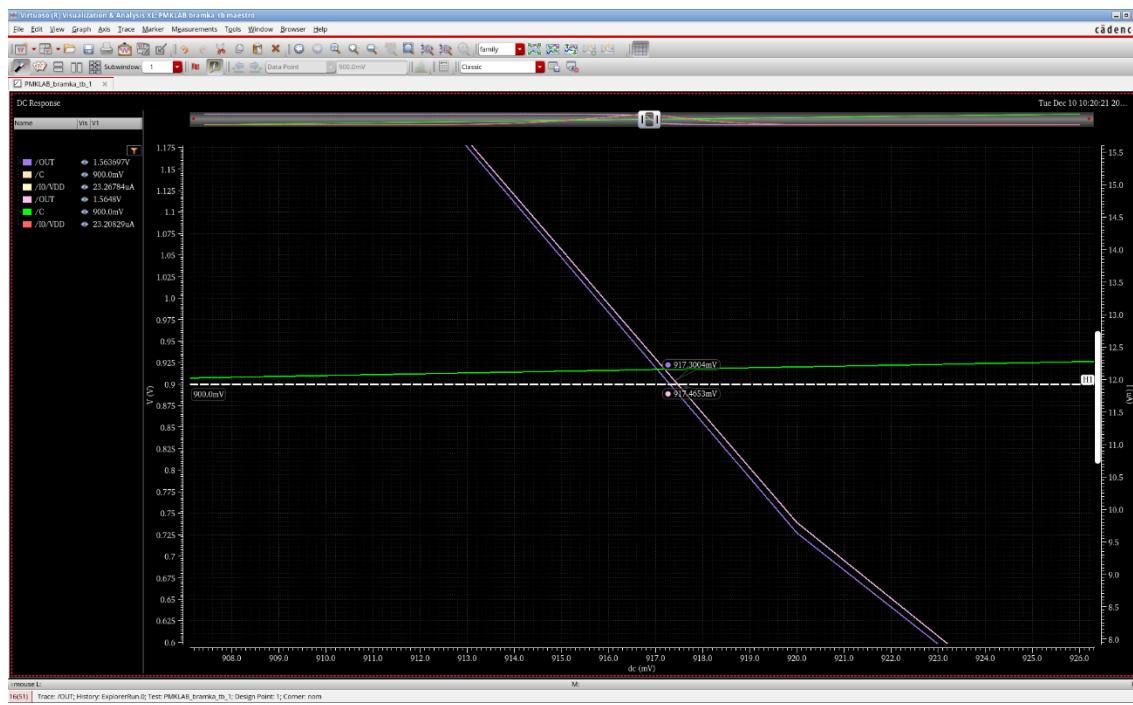


Zdjęcie nr. 34 – Czas opadania

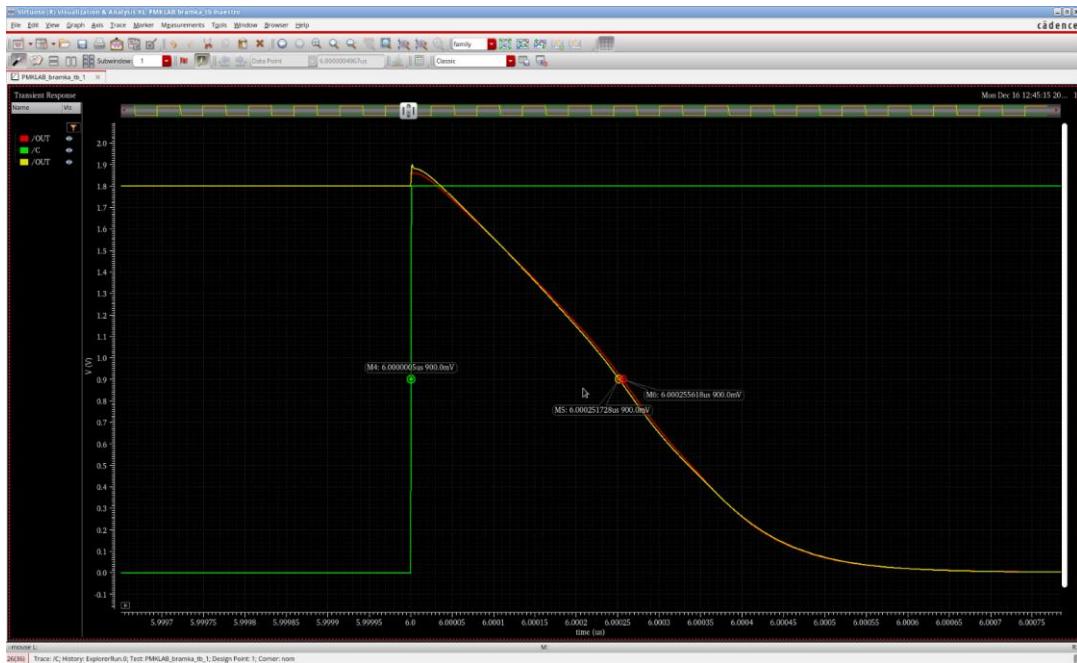


Zdjęcie nr. 35 – Czas narastania

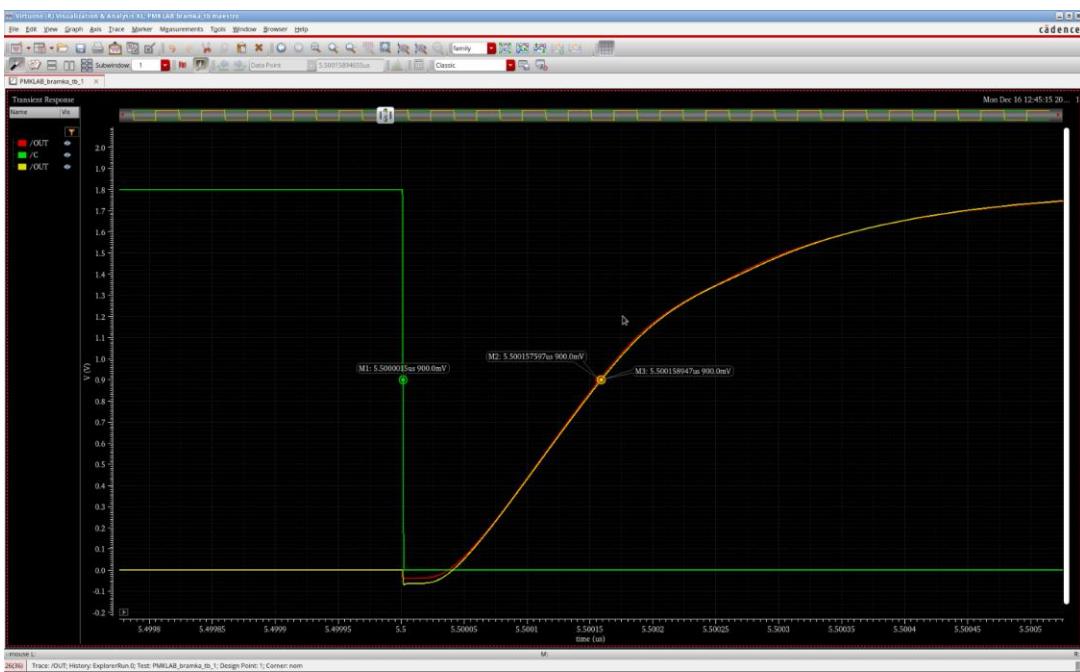
Pomiary wykonane dla wejścia C:



Zdjęcie nr.36 - Zbliżenie na środek analizy DC przed (fioletowa) i po(różowa) ekstrakcji elementów pasożytniczych

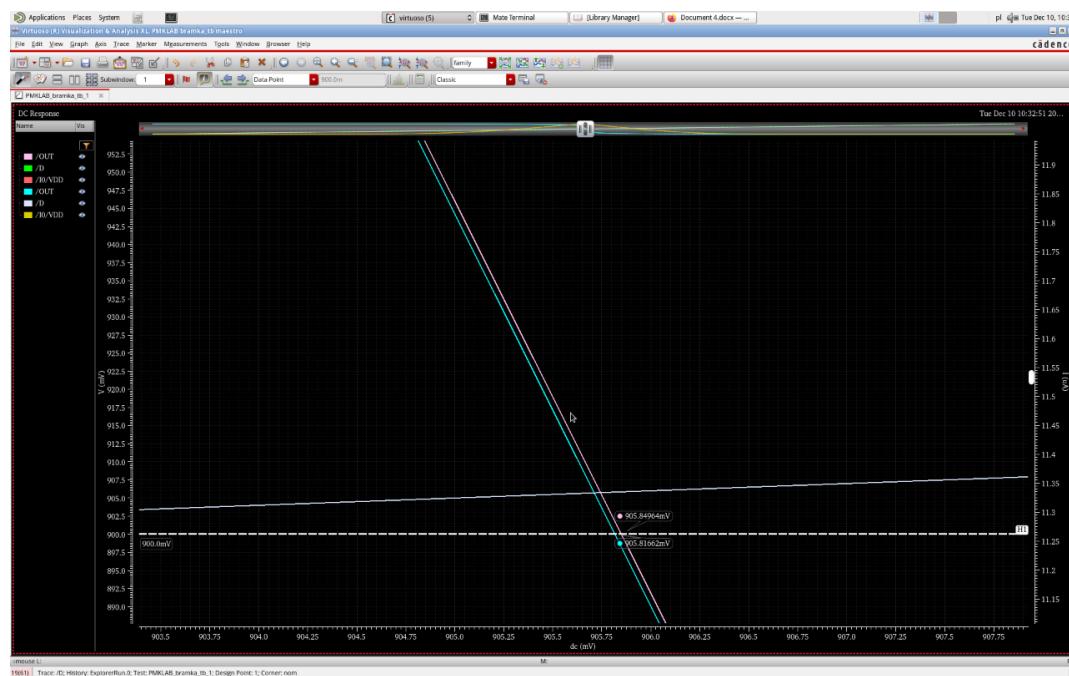


Zdjęcie nr.37 – Czas opadania

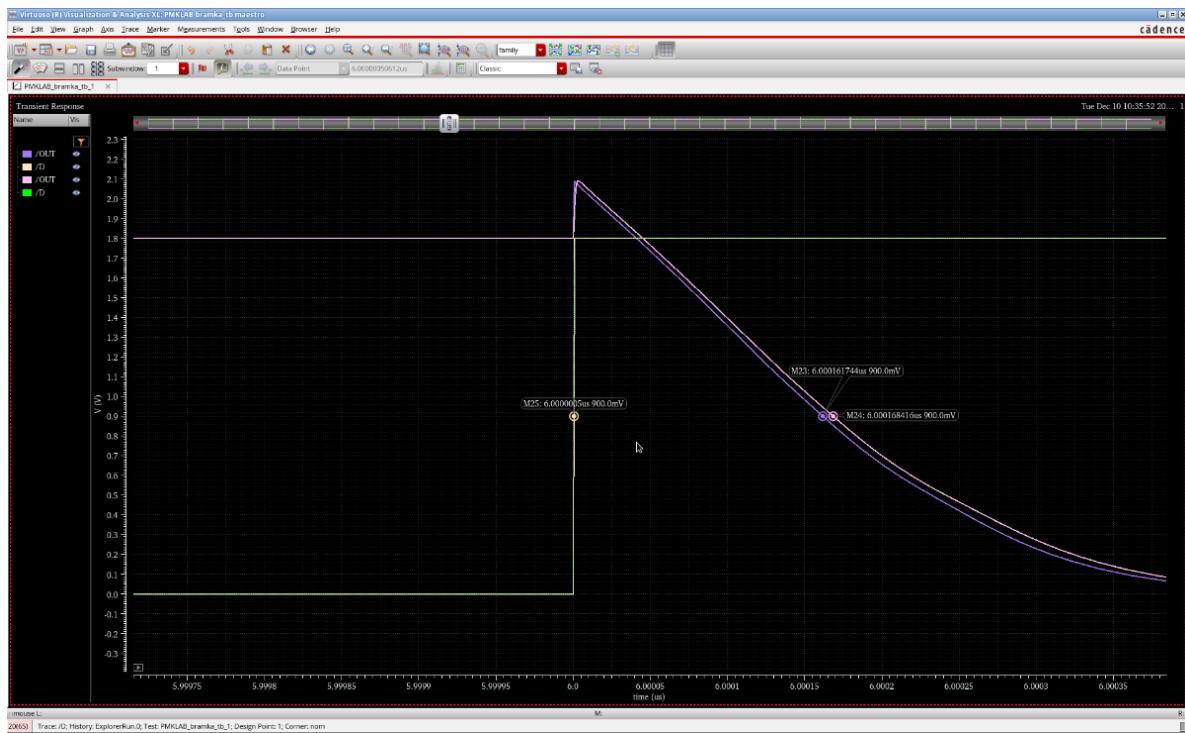


Zdjęcie nr. 38 – Czas narastania

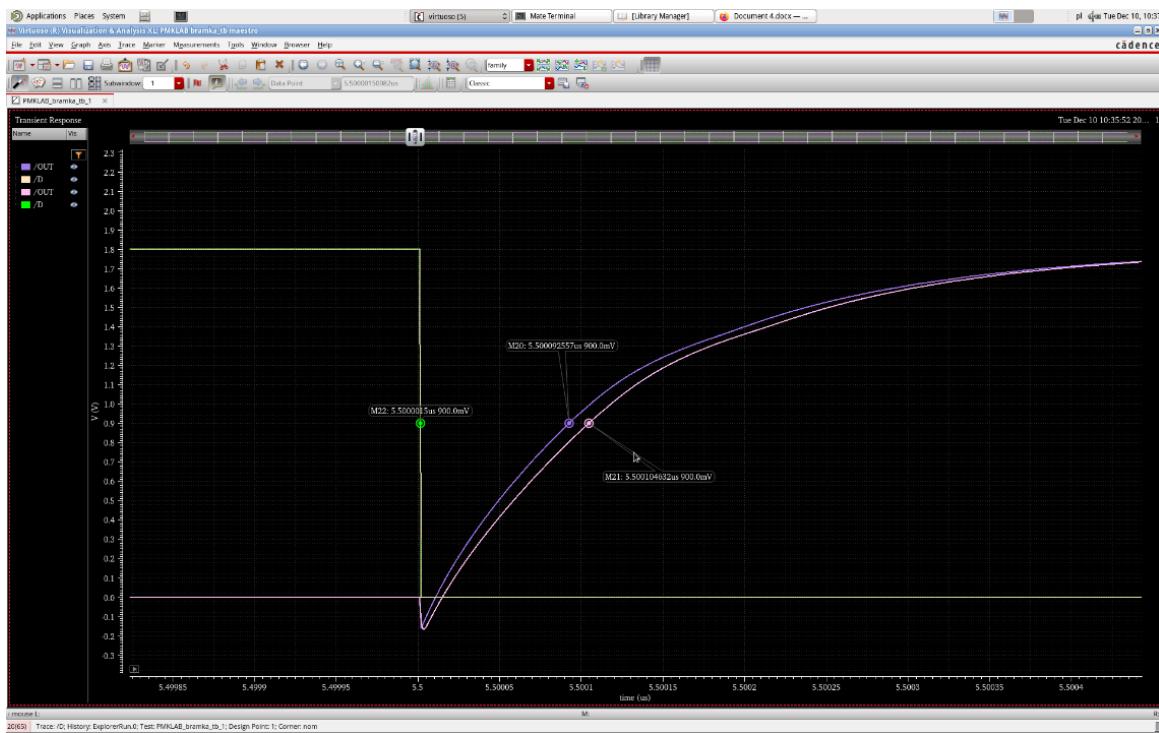
Pomiary wykonane dla wejścia D:



Zdjęcie nr. 39 - Zbliżenie na środek analizy DC przed (różowa) i po (niebieska) ekstrakcji elementów pasożytniczych



Zdjęcie nr. 40 – Czas opadania



Zdjęcie nr. 41 – Czas narastania

Porównanie wyników symulacji przed i po ekstrakcji elementów pasożytniczych:

Dla wejścia A:

Czas opadania:

	Przed ekstrakcją:	Po ekstrakcji:
Czasu:	244,23 ps	249,27 ps

Czas narastania:

	Przed ekstrakcją:	Po ekstrakcji:
Czasu:	123,773 ps	124,07 ps

Dla wejścia B:

Czas opadania:

	Przed ekstrakcją:	Po ekstrakcji:
Czasu:	13,8575 ps	14,398 ps

Czas narastania:

	Przed ekstrakcją:	Po ekstrakcji:
Czasu:	84,489 ps	89,773 ps

Dla wejścia C:

Czas opadania:

	Przed ekstrakcją:	Po ekstrakcji:
Czasu:	255,118 ps	251,228 ps

Czas narastania:

	Przed ekstrakcją:	Po ekstrakcji:
Czasu:	156,097 ps	157,447 ps

Dla wejścia D:

Czas opadania:

	Przed ekstrakcją:	Po ekstrakcji:
Czasu:	161,244 ps	167,916 ps

Czas narastania:

	Przed ekstrakcją:	Po ekstrakcji:
Czasu:	91,057 ps	103,132 ps

Wniosek:

Elementy pasożytnicze powodują zmiany w punktach pracy układ, co widać na postawie charakterystyk DC przed i po ekstrakcji. Elementy pasożytnicze w zdecydowanej większości wydłużają czasy opadania i narastania sygnałów wyjściowych. Ważne jest więc aby w przypadku rzeczywistego wykonywania tego projektowania układu scalonego brać pod uwagę wpływ elementów pasożytniczych.