

МОДУЛЬ ДИСПЛЕЙНОГО КОНТРОЛЛЕРА
ТЕХНИЧЕСКОЕ ОПИСАНИЕ
Фг3.089.121 ТО

1. Введение

Настоящее техническое описание предназначено для изучения устройства и принципа работы модуля дисплейного контроллера (далее по тексту модуля).

Модуль дисплейного контроллера является одним из модулей расширения функциональных возможностей ПЭВМ «АГАТ» и обеспечивает совместимость на уровне прикладных программ с ПЭВМ APPLE II plus с объемом оперативной памяти в 43 Кбайт за счет реализации дисплейного контроллера с характеристиками, аналогичными дисплейному контроллеру APPLE II.

При изучении данного технического описания следует пользоваться документацией на ПЭВМ «АГАТ» и следующими документациями:

Фг3.089.121 ЭЗ – Схема электрическая принципиальная;

Фг3.089.121 ИЭ – Инс<струкция по эксплуатации>

<текст отсутствует>

графического режима высокого разрешения или 40*40 блоков низкого разрешения в верхней части экрана.

2. ?

3. ?

3.6. Подключение цветного ВКУ осуществляется через специальный RGB-разъем, аналогичный разъему RGB системного блока ПЭВМ.

4. Устройство и работа модуля

4.1. Структурная организация модуля

В функциональном отношении модуль представляет собой дисплейный контроллер (ДК), реализованный на основе растрового принципа развертки изображения с собственной оперативной памятью (ОП).

Как известно, особенности растрового принципа развертки требуют непрерывной регенерации изображения на экране в жестких временных рамках. Это означает, что оперативная память модуля должна быть способна регулярно обеспечивать выходные каскады ДК непрерывным потоком данных, необходимых для поддержания изображения, в соответствии с его параметрами и принятым методом формирования изображения. При этом ДК представляет собой устройство, способное только формировать и поддерживать изображение на экране ВКУ, никак не изменяя его. Он только извлекает информацию из памяти и после соответствующего преобразования передает ее выходной разъем. Изменение же изображения осуществляется микропроцессором (МП) посредством изменения информации в соответствующей области оперативной памяти. Такая память или ее часть, в которой хранится информация, предназначена для формирования изображения, называется видео-ОЗУ или память экрана. Отсюда вытекает главная особенность структурной организации модуля: с

целью обеспечения доступа микропроцессора к памяти экрана для записи в нее новой информации при обновлении изображения, с сохранением непрерывного процесса развертки изображения дисплейным контроллером, необходимо, чтобы ОП была способна обслуживать как и ДК модуля, так и микропроцессор ПЭВМ «АГАТ».

Организация обслуживания оперативной памятью двух пользователей основывается на способе разделения фазы. В этом отношении, организация обмена информацией и основные принципы взаимодействия микропроцессора и ДК реализуются также, как и на объединительной плате Фг3.089.118 (см 3.089.118 ТО п.4.1.).

Напомним кратко основные положения способа разделения фазы. Этот способ предусматривает разделение периода основной тактовой частоты ($\Phi 0$) на две равные части: фазу процессора и фазу ДК. В течение действия положительного уровня импульсов $\Phi 0$ (фазы процессора) доступ к ОП предоставляется микропроцессору. В течение действия отрицательного уровня $\Phi 0$ (фазы ДК) доступ к ОП получает ДК. Такая организация обмена информацией с ОП стала возможной благодаря особенности, которой обладает микропроцессор ПЭВМ «АГАТ»: прием и выдача информации по шине данных микропроцессора всегда осуществляется в строго фиксированный промежуток времени, в течение фазы процессора. Во время действия другой фазы тактовой частоты микропроцессор осуществляет внутренние операции и не использует внешнюю шину данных.

Способ разделения фазы полностью исключает проблему соперничества между ДК и МП при обращении к ОП. Это позволяет избежать конфликтных ситуаций, разрешение которых может приводить либо к снижению производительности МП, либо к нарушению формирования изображения ДК. Способ разделения фазы гарантирует непрерывность развертки изображения с сохранением максимально возможной производительности МП.

4.2. Организация оперативной памяти

Для микропроцессора ПЭВМ «АГАТ» оперативная память модуля может рассматриваться как дополнительная оперативная память и использоваться в качестве расширения оперативной памяти стандартного исполнения ПЭВМ «АГАТ».

4.2.1. Распределение памяти

ОП модуля всегда занимает фиксированную зону адресного пространства микропроцессора емкостью в 32К байт: адреса 0000-7FFF.

Соответствующая этим адресам область памяти на объединительной плате, при установке модуля в ПЭВМ, переводится в режим хранения информации и доступ к ней микропроцессора становится невозможным. В случае необходимости возможно переключение оперативной памяти модуля в режим хранения и предоставление микропроцессору доступа к памяти на объединительной плате. Это переключение осуществляется микропроцессором выполнением операции записи по адресу программного переключателя $C0i1:0$, где $i=9-E$ в зависимости от установки модуля в соответствующий разъем внутреннего системного интерфейса. Обратный переход осуществляется выполнением операции записи по адресу программного переключателя $C0i0:0$.

Использование микросхем памяти К565РУ5Д (КР565РУ5Д) позволяет получить общий объем оперативной памяти модуля в 64К байт. Так как это вдвое превышает зону адресного пространства МП, занимаемую модулем, то весь объем ОП разделяется на 2 банка по 32К байт каждый. В любой момент времени для МП доступен один из них, а второй в это время находится в режиме хранения. Переключение банков осуществляется по команде записи в программный переключатель $C0i0:0$ или в $C0i2:0$. соответственно открывается доступ либо в первый (условно), либо во второй банк (рис.2).

Рис.2. <Отсутствует>

4.2.2. Обращение микропроцессора к ОП

Обращение микропроцессора к ОП осуществляется во время положительной фазы импульсов $\Phi 0$ (фазы процессора), на время которой он получает доступ к оперативной памяти. Адрес ячейки, к которой обращается МП, поступает на микросхемы памяти с шины адреса через мультиплексор адреса (МАДР) за два приема. Сначала передаются адреса A0–A3, A7, A8, A12, которые по отрицательному фронту сигнала RAS вписываются во внутренний адресный регистр микросхем памяти.

Потом МАДР переключается на передачу оставшихся разрядов адреса A4–A6, A9–A11, A13, A14, которые также вписываются во внутренний адресный регистр, но по отрицательному фронту сигнала CAS. МАДР реализован на 4-х микросхемах K555КП12 (D15–D18).

В зависимости от состояния сигнал R/W, формируемого микропроцессором, выполняется либо операция записи ($R/W=0$), либо операция чтения ($R/W=1$). Соответственно, либо в режим записи, либо в режим чтения переводятся и микросхемы памяти. В режиме чтения информации, через определенный промежуток времени, равный времени выборки адреса, содержимое адресуемой ячейки памяти установится на выходах микросхем. Выбранная из памяти информация поступает на буферный регистр (БР), выполненный на двух микросхемах K555ТМ9 (D30, D31), в котором она и запоминается по положительному фронту сигнала RAS. Передача считанной информации на шину данных микропроцессора осуществляется через шинный формирователь (ШФ-микросхема КР580ВА86, D4), который на время фазы процессора включается на режим передачи информации.

<Примечание. В поздних версиях платы ВА86 заменена на K555ИР22>

При выполнении операции записи информация поступает на входы микросхем памяти непосредственно с шины данных МП и запоминается по заднему фронту сигнала CAS. На время операции записи шинный формирователь выключается и его входы переводятся в третье состояние.

4.2.3. Обращение ДК к оперативной памяти

Дисплейный контроллер получает доступ к ОП во время действия отрицательной фазы импульсов $\Phi 0$ – фазы ДК. На время действия фазы ДК микросхемы памяти всегда переводятся в режим чтения, так как ДК только считывает информацию из ОП. Фаза ДК переключает МАДР на адреса, поступающие от ДК. Передача кода адреса на микросхемы памяти и запоминание его во внутреннем адресном регистре также осуществляется в два приема. Сначала передаются разряды, обозначенные как H0–H2, S0, V0, V1, MA3, фиксируемые сигналом RAS, а потом передаются сигналы, обозначенные как S1–S3, V1, MA0–MA2, DA14 и фиксируемые сигналом CAS.

Через время, равное времени выборки адреса, считанная информация поступает в буферный регистр, в котором она и запоминается по положительному фронту сигнала RAS. Далее информация поступает на внутренние блоки ДК для дальнейшей обработки.

4.2.4. Регенерация памяти

Используемые в модуле микросхемы памяти относятся к динамическому типу запоминающих устройств с произвольной выборкой и, следовательно, требуют регенерации информации. Регенерация должна осуществляться за 128 циклов, перебором адресов по RAS за время не более, чем 2 мс. Особенности растрового принципа развертки изображения, а также особенности работы ДК позволяют совместить регенерацию памяти с обращениями ДК к оперативной памяти. Таким образом не требуется каких-либо специальных аппаратных средств или временных затрат для организации регенерации памяти.

4.3. Дисплейный контроллер

4.3.1. Общие принципы работы ДК

Процесс формирования изображения дисплейным контроллером основывается на растровом (или как его еще называют растровом телевизионном) принципе развертки изображения, что предопределяет жесткую последовательность работы всех функциональных узлов ДК. Поэтому, прежде чем перейти к описанию работы ДК, необходимо напомнить основные положения растрового принципа развертки:

- изображение на экране складывается из последовательности отдельных кадров, следующих с частотой кадровой развертки равной 50 Гц (построчная развертка), то есть время развертки одного кадра составляет примерно 20 мс;
- каждый кадр изображения образуется из отдельных строк с последовательностью развертки слева направо сверху вниз;
- частота строчной развертки составляет 15625 Гц, то есть время развертки одной строки 64 мкс;
- изображение формируется на экране в течение прямого хода луча по строке и по кадру; на время обратного хода луча, в течение которого происходит возврат луча в исходное положение, изображение гасится;
- изображение формируется по мере продвижения луча (лучей) по строке засветкой в нужный момент требуемых точек экрана.

Исходя из этих положений можно сформулировать основные задачи, возлагаемые на ДК:

- обеспечение синхронизации с ВКУ, формирование строчных и кадровых синхроимпульсов требуемой частоты и длительности;
- последовательное формирование адресов для обращения в нужную область памяти экрана по мере развёртки изображения;
- преобразование информации, поступающей из памяти в вид, способный непосредственно управлять лучами ВКУ в соответствии с требуемым режимом отображения информации;
- гашение изображения на время обратного хода луча по строке и по кадру, то есть формирование рабочего поля экрана в соответствии с требуемым форматом.

Процесс формирования изображения дисплейным контроллером определяется также и особенностями каждого из требуемых режимов отображения информации, которые наряду с основными параметрами определяют, где и в каком порядке в памяти экрана хранится информация об изображении, каким образом считанная из памяти информация трансформируется в изображение, как задается цветовая окраска изображения.

4.3.2. Режимы отображения информации на экране

Дисплейный контроллер модуля предоставляет возможность отображения информации в следующих режимах:

- графическом цветном высоком разрешении (ГВР);
- графическом цветном низкого разрешения (ГНР);
- алфавитно-цифровом (АЦП);
- смешанном.

Основные характеристики всех режимов приводятся в табл.1.

ТАБЛ 1.

Режимы отображения информации	Формат Изображения (X*Y)	Размер элемента разложения (точек)	Число цветов (байт)	Объем памяти экрана (байт)
1.Графический высокого разрешения	280*192	1*1	6 (с ограни- чениями)	7,5К
2.Графический низкого разрешения	40*48	7*4	16	1К
3.Алфавитно- цифровой режим	40*24	знакоместо 7*8 символ 5*7	2	1К
4.Смешанный режим	280*160 или 40*40 граф. +40*4 АЦП			

4.3.3. Расположение памяти экрана в адресном поле микропроцессора

Память экрана состоит из 2-х частей, занимающих каждая свою отдельную фиксированную зону в адресном пространстве микропроцессора. Первая часть представляет собой память экрана для 2-х режимов отображения: алфавитно-цифрового и графического низкого разрешения. В адресном пространстве МП она занимает адреса 400–BFF:

- 400–7FF – первая страница;
- 800–BFF – вторая страница.

Любая из этих двух страниц может быть использована для отображения информации в режиме АЦП, либо в режиме ГНР.

Вторая часть обеспечивает хранение информации для отображения в режиме ГВР и также объединяет 2 страницы:

- 2000–3FFF – первая страница;
- 4000–5FFF – вторая страница.

Также любая из страниц может быть использована для отображения одного полного кадра изображения. При этом часть памяти из адресного пространства каждой страницы не используется для целей отображения: из общего объема памяти в 8К байт для каждой страницы, используется в качестве памяти экрана только 7,5К байт.

4.3.4. Графический режим высокого разрешения

Этот режим можно было бы отнести к традиционным методам побитовой (поэлементной) графики, если не его специфические особенности. Эти особенности настолько существенны, что можно выделить этот режим в самостоятельную разновидность методов побитовой графики: метод побитовой графики с цветовыми ограничениями. Так как этот метод впервые был использован в ПЭВМ APPLE II, то его также можно было бы назвать методом APPLE II.

Суть данного метода состоит в том, что цвет отдельных точек изображения зависит не только от информации, хранящейся в памяти экрана, но и от нескольких дополнительных факторов:

- от местоположения точки на экране (четная или нечетная колонка);
- от засветки соседних точек справа и слева.

Основное преимущество такого метода заключается в экономии памяти экрана. Легко подсчитать, что для формирования изображения традиционными методами побитовой графики форматом 280*192 с 6 цветами на точку требуется 20К байт памяти экрана. Это более чем в 2,5 раза больше требуемого объема по методу APPLE II.

4.3.4.1. Хранение информации в памяти

Для режима ГВР порядок расположения на экране информации, хранимой в памяти, иллюстрируется на рис.3. Каждая из страниц памяти экрана разбивается на 8 областей по 1К байт каждая. Первая область обеспечивает хранение информации для 24-х строк изображения, вторая область содержит информацию для следующих 24-х строк и т. д. В пределах первой области (адреса 2000–23FF) информация располагается следующим образом:

- первые 40 байт задают первую телевизионную строку (адреса 2000–2027);
- вторые 40 байт задают 65-ю строку (2028–204F);
- следующие 40 байт задают 129-ю строку (2050–2077);
- 8 байт не используются для целей отображения (2078–207F);
- 40 байт – 9-я строка (2080–20A7);
- 40 байт – 73-я строка (20A8–20CF);
- 40 байт – 137-я строка (20D0–20F7);
- 8 байт не используются для целей отображения (20F8–20FF) и т. д.

в пределах следующей области (адреса 2400–27FF) хранится информация о следующих 24 строках изображения:

- 40 байт – задают 2-ю строку (2400–2427);
- 40 байт – 66-я строка (2428–244F);
- 40 байт – 130-я строка (2450–2477);
- 8 байт не используются (2478–247F);
- 40 байт – 10-я строка (2480–24A7);
- 40 байт – 74-я строка (24A8–24CF);
- 40 байт – 138-я строка (24D0–24F7);
- 8 байт не используются (24F8–24FF) и т. д.

Чтобы получить адрес любого отображаемого на экране байта, необходимо сложить следующие адреса:

- адрес строки в пределах младшей области памяти экрана – адресах 2000–23F7 задающих строки 1, 9, 17, 25, 33, и т. д., см рис.3;
- адрес байта в пределах адресов строки – 40 байт (00–27);
- адрес области памяти экрана в соответствии с табл.2.

Рис.3. <Отсутствует>

ТАБЛИЦА 2.

Адрес области экрана	Строки, задаваемые в пределах данной области экрана
0000	1, 9, 17, 25, 33, 41, 49, 57, 65, 73, 81, 89, 97, 105, 113, 121, 129, 137, 145, 153, 161, 169, 177, 185
0400	2, 10, 18, 26, 34, 42, 50, 58, 66, 74, 82, 90, 98, 106, 114, 122, 130, 138, 146, 154, 162, 170, 178, 186
0800	3, 11, 19, 27, 35, 43, 51, 59, 67, 75, 83, 91, 99, 107, 115, 123, 131, 139, 147, 155, 163, 171, 179, 187
0C00	4, 12, 20, 28, 36, 44, 52, 60, 68, 76, 84, 92, 100, 108, 116, 124, 132, 140, 148, 156, 164, 172, 180, 188
1000	5, 13, 21, 29, 37, 45, 53, 61, 69, 77, 85, 93, 101, 109, 117, 125, 133, 141, 149, 157, 165, 173, 181, 189
1400	6, 14, 22, 30, 38, 46, 54, 62, 70, 78, 86, 94, 102, 110, 118, 126, 134, 142, 150, 158, 166, 174, 182, 190
1800	7, 15, 23, 31, 39, 47, 55, 63, 71, 79, 87, 95, 103, 111, 119, 127, 135, 143, 151, 159, 167, 175, 183, 191
1C00	8, 16, 24, 32, 40, 48, 56, 64, 72, 80, 88, 96, 104, 112, 120, 128, 136, 144, 152, 160, 168, 176, 184, 192

4.3.4.2. Представление информации на экране

Одной точке на экране соответствует один бит в памяти экрана.

Из каждого байта памяти на экране отображается 7 бит, восьмой (старший) бит используется для выбора цвета точек данного байта и на экране не отображается.

Для отображения одной телевизионной строки используется последовательно расположенные в памяти 40 байт. Младший бит из каждого байта каждой телевизионной строки отображается на левой стороне экрана, следующим отображается второй бит, за ним третий и т. д. После седьмого бита первого байта отображается первый бит из следующего байта строки и т. д.

4.3.4.3. Цветовая окраска изображения

Точки, заданные в памяти логическим «0», будут всегда черными, независимо от их расположения и состояния неотображаемого бита.

Любые две точки, расположенные рядом на экране и заданные в памяти логической «1», всегда высвечиваются на экране, как белые, даже если соответствующие им биты содержаться в разных байтах.

Точки в четных колонках (0, 2, 4, ..., 278) экрана могут быть черными, фиолетовыми или синими.

Точки в нечетных колонках

<текст испорчен>

бита данного байта и расположением точек в колонках. Точки, расположенные в четных колонках, будут синими, если неотображаемый бит байта равен «0» и фиолетовыми, если

неотображаемый бит равен «1». Соответственно, для нечетных колонок точки будут красными при «0» и зелеными при «1» в неотображаемом бите.

4.3.5. Графический режим низкого разрешения

4.3.5.1. Хранение информации в памяти

В пределах одной страницы информация располагается следующим образом (например, для первой страницы):

- первые 40 байт задают первые две строки (400–427);
- вторые 40 байт задают 17 и 18 строки блоков (428–44F);
- следующие 40 байт задают 35 и 36 строки блоков (450–477);
- 8 байт не используются для целей отображения (478–47F);
- 40 байт – 3 и 4 строки блоков (480–4A7);
- 40 байт – 19 и 20 строки блоков (4A8–4CF);
- 40 байт – 37 и 38 строки блоков (4D0–4F7);
- 8 байт – не используются (278–47F) и т. д.

На рис.4 иллюстрируется порядок расположения на экране информации, хранимой в памяти экрана.

4.3.5.2. Представление информации на экране

Каждый байт в памяти экрана представляется на экране как два цветных блока, размером 7*4, расположенных один над другим.

Каждый байт в памяти разделяется на две секции (тетрады): младшая секция (младшие 4 разряда байта) задают цвет верхнего блока.

Старшая (старшие 4 разряда байта) задает цвет нижнего блока.

Для отображения двух строк блоков используется последовательно расположенные в памяти 40 байт.

Первый байт из каждых сорока отображается с левого края экрана, следующим отображается второй байт и т. д.

4.3.5.3. Цветная окраска изображения

Цвет блока задается 4-разрядным кодом соответствующей секции байта.

Каждому из 16 возможных кодов соответствует определённый цвет в соответствии с табл.3.

ТАБЛИЦА 3.

Код цвета			Цвет			Код цвета			Цвет		
0000	0	черный	1000	8	черный	0001	1	красный	1001	9	
0010	2	зеленый	1010	A	дополни-	0011	3	желтый	1011	B	тельных
0100	4	синий	1100	C	цветов	0101	5	фиолетовый	1101	D	
0110	6	голубой	1110	E		0111	7	белый	1111	F	белый

4.3.6. Алфавитно-цифровой режим

4.3.6.1. Расположение информации в памяти

Порядок расположения информации в АЦР, аналогичен порядку расположения в режиме ГНР, так как память экрана в этих режимах одна и та же.

В пределах одной страницы информация из памяти экрана располагается следующим образом (рис.5):

- первые 40 байт задают первую строку символов (адреса 400–427);
- вторые 40 байт задают 9-ю строку символов (428–44F);
- следующие 40 байт – 18-ю строку (450–477);
- 8 байт не используются (478–47F);
- 40 байт – 2-я строка (480–4A7);
- 40 байт – 10-я строка (4A8–4CF);
- 40 байт 19-я строка (4D0–4C7);
- 8 байт не используются (4F8–4FF).

Представление информации на экране такое же, как и в режиме ГНР, за исключением того, что при этом, каждому байту в памяти экрана соответствует одно знакоместо, эквивалентное 2 блокам байта в режиме ГНР.

Это единственный нецветной режим отображения информации. Работа ДК в этом режиме основывается на традиционном знакоместном методе формирования изображения с использованием ПЗУ знакогенератора. В этом режиме все рабочее поле экрана разбивается на знакоместа размером 7*8 (8 строк по 7 точек в строке). На каждом знакоместе может быть расположен только один алфавитно-цифровой символ, размер которого составляет обычно 5*7 точек. Полиграммы (точечные матрицы) символов хранятся в ПЗУ знакогенератора. В памяти экрана хранятся коды только тех символов, вывод которых предполагается на соответствующих знакоместах. Набор и кол-во возможных символов определяется объемом ПЗУ знакогенератора и числом разрядов из каждого байта памяти экрана, используемых для задания кода различных символов. Набор символов и их коды приводятся в табл.4.

<Рис. 5> Отсутствует

[illegible]

- ИП=0 и МЕ=0 – инверсный режим: черный символ на белом фоне;
- ИП=0 и МЕ=1 – режим мерцания: символ отображается поочередно то в инверсном, то в нормальном режиме с частотой переключения приблизительно 5 Гц;
- ИП=1 и МЕ=0 или ИП=1 и МЕ=1 – нормальный режим: белый символ на черном фоне.

В смешанном режиме изображение на экране разделяется на две части. Формирование изображения в верхней части осуществляется в графическом режиме. В нижней части выводятся 4 полных строки алфавитно-цифрового режима. Процесс развертки изображения в пределах каждой части происходит в соответствии с правилами вывода изображения соответствующего режима. Формат графической части в режиме ГВР 280*160 точек, в режиме ГНР 40*40 блоков.

Переключение режимов работы ДК осуществляется с помощью программных переключателей C050–C057. Понятие программный переключатель заключается в том, что соответствующие изменения в аппаратной части ПЭВМ, в данном случае переключения режима работы ДК, происходит по факту обращения микропроцессора по определенному адресу, не задействуя при этом ШД МП. Что происходит в случае обращения МП по адресам программных переключателей ДК приводится ниже:

- C050 – переключение ДК в графический режим;
- C051 – переключение ДК в режим АЦР;
- C052 – перевод изображения в единый режим на весь экран;
- C053 – включение смешанного режима;

- C054 – включение первой страницы памяти экрана;
- C055 – включение второй страницы памяти экрана;
- C056 – включение ГНР;
- C057 – включение ГВР.

Каждая пара программных переключателей ДК является независимой от других трех. Это означает, что использование программного переключателя в пределах данной пары (например пары C050-C051) не влияет на режим работы ДК, определяемый обращением МП по адресу программного переключателя в другой паре.

4.4. Блок-схема ДК

В ней можно выделить два основных узла: видеогенератор и блок развертки изображения. Такое разделение является традиционным для дисплейных контроллеров на основе растрового принципа развертки.

Видеогенератор обеспечивает прием информации из памяти экрана, преобразование ее в соответствии с заданным режимом отображения, и выдачу преобразованной информации на выходные информационные контакты (RGBY) разъема для подключения ВКУ. Блок развертки изображения осуществляет пересчет тактовых импульсов основной частоты Φ_0 (1МГц) для формирования требуемых синхронизирующих и гасящих импульсов кадровой и строчной разверток, одновременно вырабатывая последовательность адресов для обращения в требуемую область памяти экрана с учетом режима работы ДК.

Назначение и работа всех составных частей ДК рассматривается подробно в последующих разделах, на примере работы ДК во всех возможных режимах.

4.4.1. Блок развертки изображения

В состав блока развертки изображения входят следующие функциональные узлы:

- счетчик строчной развертки (счетчик X);
- счетчик кадровой развертки (счетчик Y);
- преобразователь кодов (ПК);
- мультиплексор режима отображения (МРО);
- логические схемы для формирования синхронизирующих и гасящих импульсов строчной и кадровой разверток (ЛС);
- схема управления и синхронизации (СУС).

Счетчики X и Y реализованы на микросхемах K555ИЕ10 (D5–D8) – синхронных 4-разрядных двоичных счетчиках со сквозным переносом и параллельным вводом информации. Переключение счетчика X осуществляется по специальному сигналу, вырабатываемому схемой управления и синхронизации с частотой равной частоте импульсов Φ_0 . Коэффициент пересчета счетчика X равен 65: 40 тактов занимает прямой ход луча по строке и 25 – обратный ход гашения луча.

Тактовая частота пересчета счетчика Y равна частоте строк.

Коэффициент пересчета счетчика Y, равный 312, также можно разбить на две части: 192 строки составляют прямой ход луча по кадру и 120 – обратный ход гашения луча. С целью упрощения реализации нецелого коэффициента пересчета используется способность счетчиков начать счет с любого произвольного кода, введенного по параллельным входам начальной установки. Ввод кода в счетчики происходит по сигналу, вырабатываемому в цепи обратной связи по достижению счетчиком кода коэффициента пересчета: 65 для X и 312 для Y.

Счетчик X обеспечивает горизонтальную развертку изображения и его 5 разрядов (H0–H4) используется как для обращения в память экрана, так и для формирования

синхронизирующих и гасящих импульсов строчной развертки. Соответственно, счетчик Y обеспечивает вертикальную развертку изображения и предоставляет 9 разрядов (VA, VB, VC, V0–V5) также для обращения в память экрана, для формирования синхронизирующих и гасящих импульсов кадровой развертки. Синхронизирующие и гасящие импульсы вырабатываются логическими схемами по следующим логическим формулам:

- СГИ = (H3 and H4) nor H5
- ССИ = not H2 and H3 and СГИ
- КГИ = V3 and V4
- КСИ = (VC nor V0) and (V2 nor V5) and КГИ

Кроме формирования сигналов синхронизации и гашения на блок развертки изображения возлагается задача выработать последовательность адресов необходимых для обращения в память экрана. В табл. 5 приводятся распределения разрядов адресной шины ДК по сигналам, вырабатываемым различными устройствами блока развертки изображения и по разрядам шины адреса МП. Разряды, обозначенные в таблице Н0–Н2, VA–VC, V0–V2 представляют собой соответствующие разряды счетчиков X и Y.

ТАБЛИЦА 5

Режим	I	Разряды ША МП														I
Работы ДК	IA14	IA13	IA12	IA11	IA10	IA9	IA8	IA7	IA6	IA5	IA4	IA3	IA2	IA1	IA0	I
ГВР	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I
I1 страница	I 0	I 1	IVC	IVB	IVA	I	I	I	I	I	I	I	I	I	I	I
I2 страница	I 1	I 0	IVC	IVB	IVA	IV2	IV1	IV0	IS3	IS2	IS1	IS0	IH2	IH1	IH0	I
ГНР или АЦП	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I
I1 страница	i 0	I 0	I 0	I 0	I 1	I	I	I	I	I	I	I	I	I	I	I
I2 страница	I 0	I 0	I 0	I 1	I 0	I	I	I	I	I	I	I	I	I	I	I

Формирование 4 разрядов S0–S3 осуществляется преобразователем кода, реализованном на 4-разрядном полном сумматоре K155ИМ3 (D13).

Как видно из таблицы, разряды A10 по A14 зависят от режима отображения информации. Для формирования этих разрядов используется мультиплексор режима отображения, реализованный на микросхеме K555КП11 (D14). Формирование последнего разряда адреса, соответствующего разряду 14 ША МП, осуществляется СУС в соответствии с таблицей 5.

Следует отметить, что работа всех остальных устройств блока развёртки изображения всегда происходит одинаково, независимо от режима отображения.

Перевод ДК в тот или иной режим работы приводит лишь к изменению в формировании пяти разрядов адреса мультиплексора режима отображения, без каких-либо изменений в процессе пересчета счетчиков X и Y.

В основном, переход ДК от одного режима вывода информации к другому заключается в переключении видеогенератора ДК с одного канала преобразования информации на другой. Поэтому работа видеогенератора будет разобрана на примерах работы ДК в различных возможных режимах.

4.4.2. Работа ДК в режиме ГВР

Сначала информация поступает на регистр графических режимов (РГР) параллельным 8-битным кодом. После приема информации регистр переключается на режим сдвига информации с частотой определяемой частотой формирования точек на экране – 7МГц. Выдвигаемый из регистра последовательный код поступает на логическую схему цветовой окраски

изображения, которая реализует правила задания цвета точки описанные в 4.3.4.3. Данная схема вырабатывает нужный код цветовой засветки текущей точки изображения в соответствии с таблицей истинности (таблица 5), отражающей вышеупомянутые правила. Следует отметить, что схематическое обеспечение цветовой окраски изображения в режиме ГВР модуля принципиально отличается от реализации цвета в соответствующем режиме ПЭВМ APPLE II. в APPLE II формирование цветного изображения ориентированно на требования задания цвета телевизионного стандарта NTSC, что при схематической реализации потребовало передачи на ВКУ (или на обычный телевизионный приемник) последовательного кода цвета точек с синхронизацией сигналом цветовой поднесущей частотой 3,58МГц, передаваемым в течение передачи импульса строчной синхронизации. В модуле же используется логический принцип задания цвета точек параллельным кодом в соответствии с табл.6.

На схеме и в таблице используются следующие обозначения сигналов, определяющих цвет текущей точки:

- j — сигнал, задающий состояние отображаемой в данный момент точки;
- j-1 — сигнал, задающий состояние предыдущей точки, т. е. точки, отображаемой в предшествующем такте;
- j+1 — сигнал, задающий состояние последующей точки, т. е. точки, которая должна отображаться в следующем такте;
- D7 — сигнал, определяемый состоянием неотображаемого бита текущего байта;
- H00 — сигнал, соответствующий текущему положению луча на экране: в четной или нечетной колонке.

ТАБЛИЦА 6

Входные сигналы														Выходные сигналы		Цвет	
I	D7	I	H00	I	j-1	I	j	I	j+1	I	R	I	G	I	B	I	
I	X	I	X	I	X	I	0	I	X	I	0	I	0	I	0	I	черный
I	0	I	0	I	0	I	1	I	0	I	1	I	0	I	1	I	фиолетовый
I	0	I	1	I	0	I	1	I	0	I	0	I	1	I	0	I	зеленый
I	1	I	0	I	0	I	1	I	0	I	0	I	0	I	1	I	синий
I	1	I	1	I	0	I	1	I	0	I	1	I	0	I	0	I	красный
I	X	I	X	I	X	I	1	I	1	I	1	I	1	I	1	I	белый
I	X	I	X	I	1	I	1	I	X	I	1	I	1	I	1	I	белый

Параллельный 3-разрядный код цвета текущей точки поступает на соответствующий канал выходного мультиплексора и далее на выходной регистр.

4.4.3. Работа ДК в режиме ГНР

В режиме ГНР информация, считанная из памяти, также поступает на регистр графических режимов в параллельном коде. Но в отличие от режима ГВР, регистр после приема информации переключается на режим хранения и остаётся в этом режиме до следующего приема, который произойдёт по истечении формирования 7 точек данного блока. Таким образом, в течение отображения 7 точек на регистре будет храниться код цвета этих точек. Информация с регистра РГР поступает на 2 канала передачи информации выходного мультиплексора. В зависимости от того, какой из блоков, задаваемых данным байтом, формируется, выходной мультиплексор передает на выходной регистр 4-разрядный код цвета верхнего или нижнего блока с соответствующих разрядов РГР.

Реализован РГР на двух микросхемах типа К555ИР11А (D36–D37), представляющих собой 4-разрядный универсальный регистр.

4.4.4. Работа ДК в режиме АЦР

В режиме АЦР код символа, считанный из памяти экрана, поступает на ПЗУ знакогенератора в качестве кода адреса символа, который должен быть сформирован на данном знакоместе. На младшие 3 разряда ПЗУ знакогенератора поступают сигналы VA, VB, VC со счетчика Y, которые задают текущий номер строки развертки символа.

Сформированный, таким образом полный код адреса указывает ячейку в ПЗУ знакогенератора, в которой содержится код очередной строки символа. Считанный из ПЗУ параллельный код поступает на регистр строки символов. После приема информации из ПЗУ регистр выдвигает код строки символа в последовательном коде с частотой 7МГц. Далее последовательный код пропускается через логические схемы, задающие режим вывода символа на экран: нормальный, инверсный или мерцающий. После соответствующих преобразований сигнал с выхода этих схем поступает на соответствующий канал передачи информации выходного мультимплексора, на все 4 разряда сразу, так как этот режим отображения информации черно-белый.

ПЗУ знакогенератора реализовано на микросхеме ППЗУ с ультрафиолетовым стиранием информации К573РФ2 (D35). Регистр строки реализован на 8-разрядном универсальном регистре сдвига К155ИР13 (D40).

4.4.5. Работа ДК в смешанном режиме

Работа ДК в смешанном режиме задается специальным сигналом, вырабатываемым схемой совпадения (D20.1) по следующей логической формуле:

$$\text{— } V2 \ \& \ V4 \ \& \ C053$$

В этом случае, при наличии разрешения на смешанный режим (C053=1) сигнал на выходе схемы совпадения, равный «0», задает графический режим работы ДК, пока осуществляется развертка верхней части изображения. По окончанию развертки 160 строк, происходит переключение сигнала в состояние логической «1», что заставляет ДК перейти в режим АЦР.

ПРИЛОЖЕНИЕ

УСЛОВНЫЕ СОКРАЩЕНИЯ И ОБОЗНАЧЕНИЯ

АЦР – алфавитно-цифровой режим.

БР – буферный регистр.

ВКУ – видеоконтрольное устройство.

ГВР – графический режим высокого разрешения.

ГНР – графический режим низкого разрешения.

ДК – дисплейный контроллер.

ИП – обозначение сигнала инверсии подсвета.

КГИ – кадровый гасящий импульс.

КСИ – кадровый синхроимпульс.

ЛС – логические схемы.

МАДР – мультиплексор адреса.

МЕ – обозначение сигнала задающего режим мерцания.

МП – микропроцессор.

МРО – мультиплексор режима отображения.

ОП – оперативная память.

ПК – преобразователь кодов.

РГР – регистр графических режимов.

СГИ – строчный гасящий импульс.

ССИ – строчный синхроимпульс.

СУС – схема управления и синхронизации.

ША МП – шина адреса микропроцессора.

ШФ – шинный формирователь.

КОНЕЦ END GAME OVER MANGU LOOP