

浙江大学实验报告

专业：测控技术及仪器

姓名：郑成琦

学号：3179801017

日期：2020-4-8

地点：家

课程名称：EDA 技术应用

指导老师：黄添添

成绩：None

实验名称：四位计数器设计

实验类型：设计与编码实验

同组学生姓名：None

一、实验目的和要求

- 1、了解 Quartus II 开发环境，熟悉 Verilog 语言基本语法
- 2、实现 4 位计数器选择功能

二、实验内容和步骤

1. 实验内容

根据所给的手册《My First FPGA》进行实验操作。最后在上述基础上加入计数选择功能。

2. 实验步骤

- (1) 加法器的 HDL 语言编写
- (2) PLL 模块调用
- (3) Multiplexer 模块调用
- (4) 进行仿真

三、主要仪器设备

计算机，Quartus

四、操作方法和实验步骤

1. 加法器 HDL 语言编写

```
module simple_counter( //模块定义
    CLOCK_50,
    counter_out
);
input CLOCK_50;           //输入时钟
output[31:0]counter_out;  //输出
reg [31:0]counter_out;
```

```

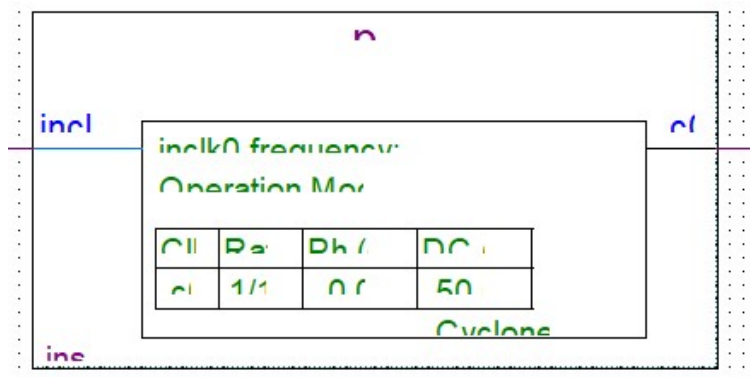
always @ (posedge CLOCK_50) //上升沿激活
begin
counter_out<=#1 counter_out+1; //计数动作
end
endmodule

```

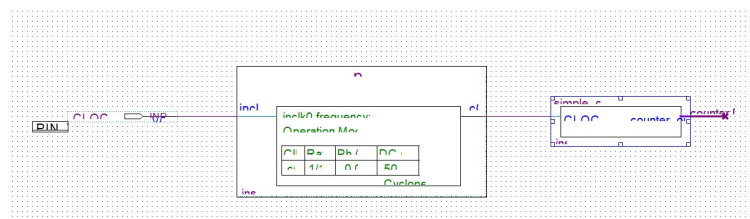
2. PLL 模块调用

(因为软件原因，模块显示在我的电脑是挤在一起十分混乱)

(1) 模块图片



(2) 模块连线



PLL 的输出作为计数器的输入来作为主要的计数速度控制手段。

3. Multiplexer 模块调用

五、 实验数据记录和处理

1. 传输函数

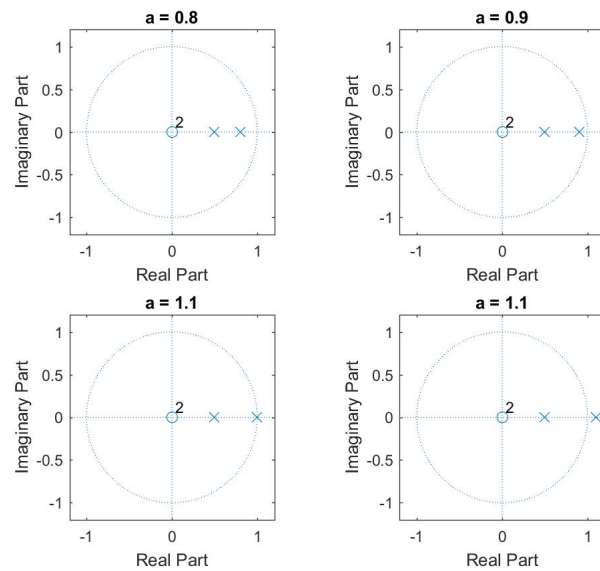
根据差分方程，传输函数如下：

$$H(z) = \frac{Y(z)}{X(z)} = \frac{z^2}{z^2 - (0.5 + a)z + 0.5a}$$

2. 零极点分布图

a = 0.8, 0.9, 1.1 时，系统的零极点分布图及程序如下：

(1) 图像



(2) 代码

```
clc;clear;

B = [1 0 0];

subplot(2,2,1);
a = 0.8;
A = [1 -(0.5+a) 0.5*a];
zplane(B, A);
axis([-1.2 1.2 -1.2 1.2]);
title('a = 0.8');

subplot(2,2,2);
a = 0.9;
A = [1 -(0.5+a) 0.5*a];
zplane(B, A);
axis([-1.2 1.2 -1.2 1.2]);
title('a = 0.9');

subplot(2,2,3);
a = 1.0;
A = [1 -(0.5+a) 0.5*a];
zplane(B, A);
axis([-1.2 1.2 -1.2 1.2]);
title('a = 1.1');

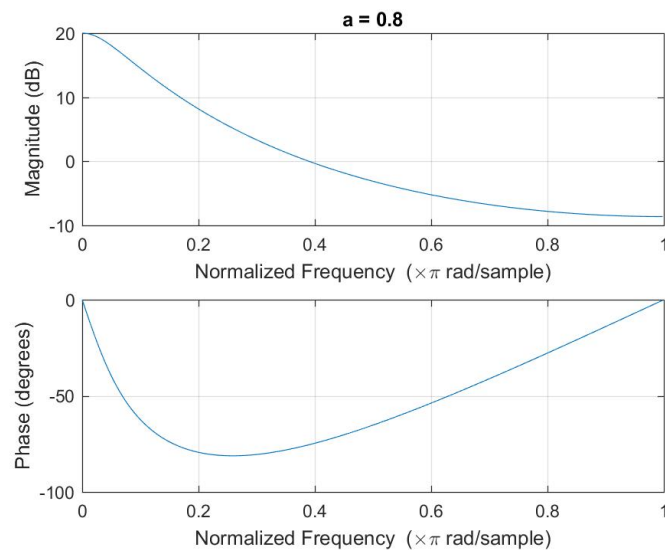
subplot(2,2,4);
a = 1.1;
A = [1 -(0.5+a) 0.5*a];
```

```
zplane(B, A);  
axis([-1.2 1.2 -1.2 1.2]);  
title('a = 1.1');
```

3. 频率响应

$a = 0.8, 0.9, 1.0, 1.1$ 时，系统的频率响应函数图形及程序如下：

(1) 图像



(2) 代码

```
clc;clear;  
  
B = [1 0 0];  
  
figure;  
a = 0.8;  
A = [1 -(0.5+a) 0.5*a];  
freqz(B, A);  
title('a = 0.8');  
  
figure;  
a = 0.9;  
A = [1 -(0.5+a) 0.5*a];  
freqz(B, A);  
title('a = 0.9');  
  
figure;  
a = 1.0;  
A = [1 -(0.5+a) 0.5*a];  
freqz(B, A);
```

```
title('a = 1.0');  
  
figure;  
a = 1.1;  
A = [1 -(0.5+a) 0.5*a];  
freqz(B, A);  
title('a = 1.1');
```

六、 实验结果与分析

balabalabala