

# 浙江大学实验报告

专业：测控技术及仪器

姓名：郑成琦

学号：3179801017

日期：2020-4-8

地点：家

课程名称：EDA 技术应用

指导老师：黄添添

成绩：None

实验名称：四位计数器设计

实验类型：设计与编码实验

同组学生姓名：None

## 一、实验目的和要求

- 1、了解 Quartus II 开发环境，熟悉 Verilog 语言基本语法
- 2、实现 4 位计数器选择功能

## 二、实验内容和步骤

### 1. 实验内容

根据所给的手册《My First FPGA》进行实验操作。最后在上述基础上加入计数选择功能。

### 2. 实验步骤

- (1) 计数器的 HDL 语言编写
- (2) PLL 模块调用
- (3) Multiplexer 模块调用
- (4) 进行编译
- (5) 进行时序仿真

## 三、主要仪器设备

计算机，Quartus

## 四、操作方法和实验步骤

### 1. 计数器 HDL 语言编写

```
module simple_counter(                                //模块定义
    CLOCK_50,
    counter_out
);
input CLOCK_50;                                       //输入时钟
```

```

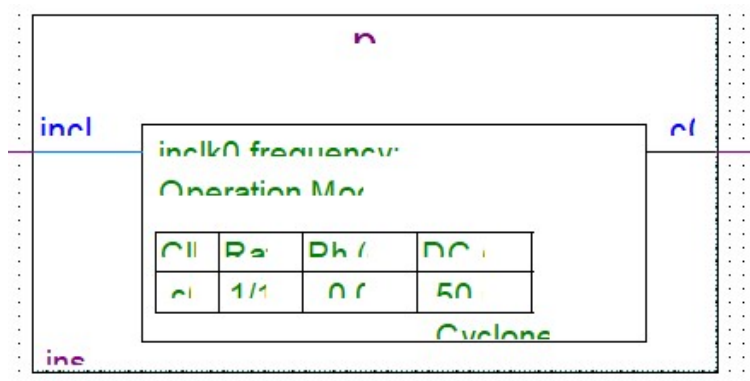
output[31:0]counter_out;           //输出引脚
reg [31:0]counter_out;
always @ (posedge CLOCK_50)       //上升沿有效
begin
counter_out<=#1 counter_out+1;     //计数器功能实现
end
endmodule

```

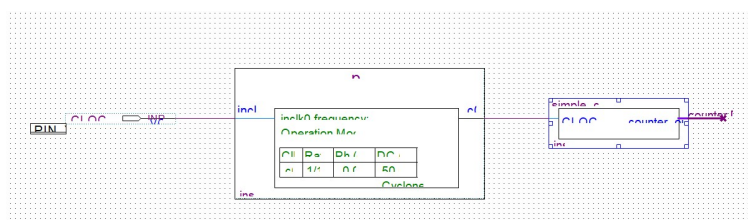
## 2. PLL 模块调用

(因为软件原因，模块显示在我的电脑是挤在一起十分混乱)

(1) 模块图片



(2) 模块连线

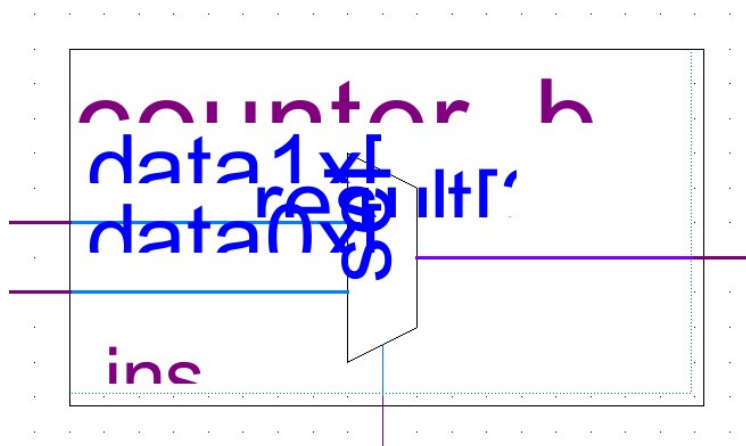


PLL 的输出作为计数器的输入来作为主要的计数速度控制手段。

## 3. Multiplexer 模块调用

同样也是根据参考教程完成，该部分的模块调用，这部分调用的目的主要是实现输出可以通过 LED 显示。

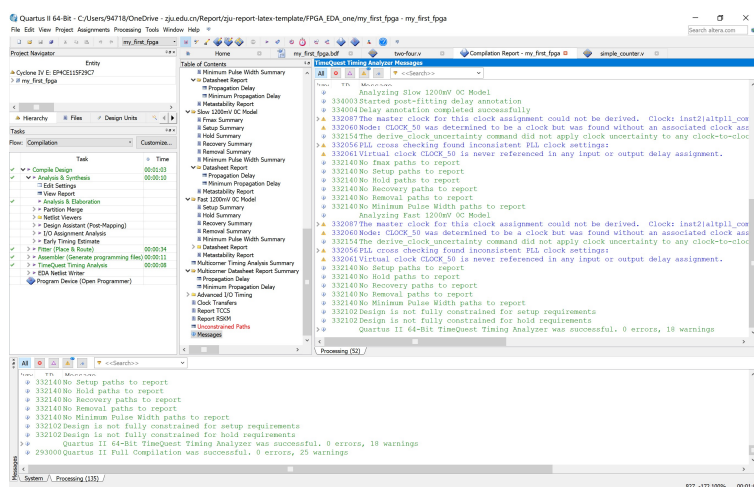
(因为软件的问题，显示仍然很混乱)



这个模块有三个输入其中两个分别是计数器模块的输出，根据手册这个模块的分别引入了计数器的输出的不同的四位数字部分，这也是输出计数的不同速度的原因；还有一个输入用于选择具体采用哪一个输入，一个输出用于连接 FPGA 的 LED 模块。

#### 4. 编译

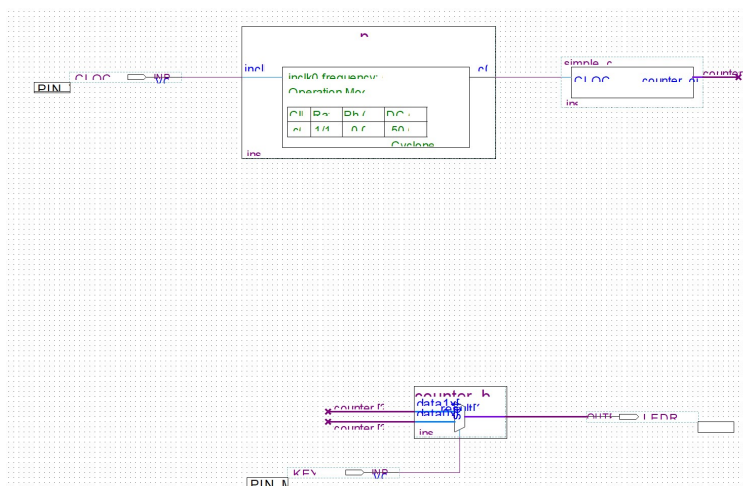
当按下“Start Compilation”Quartus 开始运行仿真。仿真完全通过。



### 五、 实验数据记录和处理

#### 1. 系统的整体图

(软件原因，图形展示不完整)



## 2. 编译测试结果

预计结果是通过。确实通过，但是在此之前有很多问题，比如说：

- (1) 软件破解不完全，导致最后的仿真失败没有产品 license 权限。
- (2) 引脚属性不对应，导致连线报错。
- (3) 对同一个引脚有两个输入，导致报错。

## 3. 时域图分析失败

这部分，搞了很久，始终不知道为什么会出错。

## 六、 实验结果与分析

因为时序图出错，同时没有 FPGA 的开发板所以实验结果和分析这部分内容以后再补充。

在此说明一下，实现不同速度的计数的原理，以补充分析的内容。

这里的 LED 输出有两种模式，分别对应 Multiplexer 的两个不同的输入。它的两个不同的输入分别是来自计数器的输出的不同部分，分别是来自输出的“21-24”和输出的“26-23”位。直观来说，前者比后者计数更快，因为其仅仅需要  $2^{21}$  次 CLOCK 上升沿输入信号，就可以加一。而后者需要  $2^{23}$  次 CLOCK 上升沿输入信号才可以加一。

通过对 KEY 进行赋值，可以让输出在两种速度中切换。