

# 專題報告

## Design Substrate Integrated Waveguide (SIW) iris Filter at 11.5GHz

專題題目說明與貢獻自評:

我的專題目標是找出一個可行的 SIW filter 的設計方式，創建一種與微帶線濾波器相似設計方法，可以通過模擬方式找到合適的電路架構，讓往後研究 SIW filter 人能有一種系統性的設計方式可以參考。

專題隊員:

學號	姓名	Email	負責項目說明	專題內的貢獻度 (%)
A1085126	林建圻	a1085126 @mail.nuk.edu.tw	SIW filter design	100%

指導教授: 吳松茂 教授

國立高雄大學 電機系

中華民國 一一一年九月二十八日

# 目錄

一、摘要.....	3
二、研究動機及目的.....	3
三、設計原理、研究方法與步驟.....	4
Step 1 【計算理論數據】 .....	5
Step 2 【HFSS 模擬找 $K/Z_0$ 值】 .....	6
Step 3 【運用 step 2 的數據計算共振距離 $L_r$ 】 .....	6
Step 4 【數據模擬，並觀察電場場型進行微調】 .....	9
Step 5 【轉換成 SIW 架構：via wall 取代金屬牆】 .....	11
四、HFSS 模擬結果 .....	13
五、下板.....	14
六、量測結果與模擬比較.....	18
七、問題與討論.....	23
八、結論.....	24
九、參考文獻.....	25

## 一、摘要

隨著人們對效能的追求，往高頻領域發展是大勢所趨，然而以往使用的微帶線在高頻時，由於及膚效應的影響，將導致傳輸效能大幅下降。因此，為解決高頻傳輸的問題，基板合成波導(SIW)由此而生，在高頻時擁有更好的傳輸效能以及品質因素，然而相對地電路也較難設計。

在這篇專題報告中，我將簡述一種基板合成波導濾波器(SIW Filter)的設計方式，其包括兩個部分:通過模擬計算等效數據  $K/Z_0$  與觀察電場進行微調修正。本文將結合傳統波導濾波器的設計方法與 HFSS 模擬軟體，系統性地設計出一種 SIW Filter 電路。

本實驗設計五階 binomial bandpass filter 操作在 11.5GHz，其結果有 8%頻寬，中心頻在 11.58GHz，S11 約-4.5 dB，S21 約-27dB，高頻止帶處約-21 dB。

**關鍵詞** —及膚效應(隨頻率增加，電流逐漸匯聚在金屬表面的現象)、基板合成波導(Substrate-integrated waveguide, SIW)、基板合成波導濾波器(Substrate-integrated waveguide Filter, SIW Filter)、HFSS(Ansys 公司的電磁模擬軟體)

## 二、研究動機及目的

高頻傳輸是未來世界所關注的領域，而 SIW 更是未來開發高頻傳輸重要的技術，相比微帶線在高頻擁有更好的傳輸效能。

眾多電路中，濾波器一直都是使用頻繁的被動電路，要想掌握 SIW 的技術，必定要從這些頻繁使用的電路著手，一步步通過實作的過程，了解 SIW 的優缺點。因此我選擇**通過設計濾波器來更進一步學習 SIW 的知識與技術**。

在研讀 SIW 相關文獻時發現，雖然有很多設計濾波器的文獻，但是在理論與電路轉換的步驟上有道關鍵的空白處，鮮少有文獻提及該如何將理論數據轉換成實際電路架構所需數據，因此本專題一大目標是研究出能像微帶線電路設計方法一樣，透過軟體模擬找出電路所需數據。

### 三、設計原理、研究方法與步驟

設計電路的基本參數(表 1)			
中心頻	11.5 GHz	帶通濾波器類型	0.01dB Chebyshev
階數	4 階	Bandwidth	500MHz
腔體寬 $\alpha$	10mm	12.5GHz 反射量	< -25dB
電路板厚度	1.6mm	銅厚	0.043mm
基板介質	FR4 ( Dk , Df : 4.4 , 0.02)		

[註]

1. 「 $\alpha$ 」由個人決定，我以截止頻率 7.15GHz 的波導寬度( $\alpha$ )當作主體

2. 「a」為 SIW 寬，由波導寬轉 SIW 寬公式(1)可知

$$a = \alpha + \frac{D}{0.95p} \quad (1)$$

參數有以下限制

$$D < p \leq 2D \quad (2. a)$$

$$\frac{D}{a} < \frac{a}{5} \quad (2. b)$$

$$\frac{p}{D} < 2a \quad (2. c)$$

若  $D=0.6\text{mm}$ 、 $p=1.2\text{mm}$ ，則  $a = 10 + 0.6/(0.95 * 1.2) = 10.53 \text{ mm} \approx \alpha + D$

故金屬柱替換金屬牆時，SIW 寬(a)為  $\alpha+D$

#### 【基本參數介紹】

D、d is diameter of via

a : SIW width

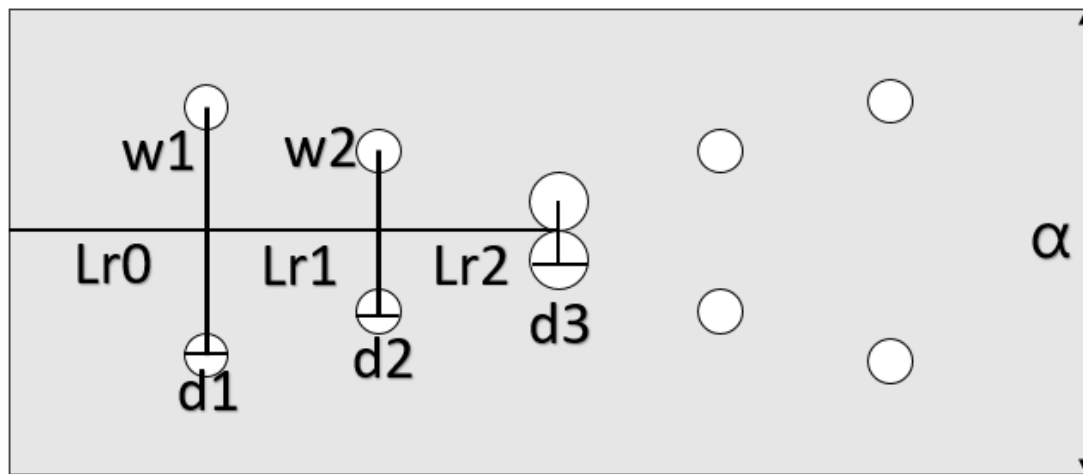
$\alpha$  : width of dielectric filled waveguide

p : period distance of via wall

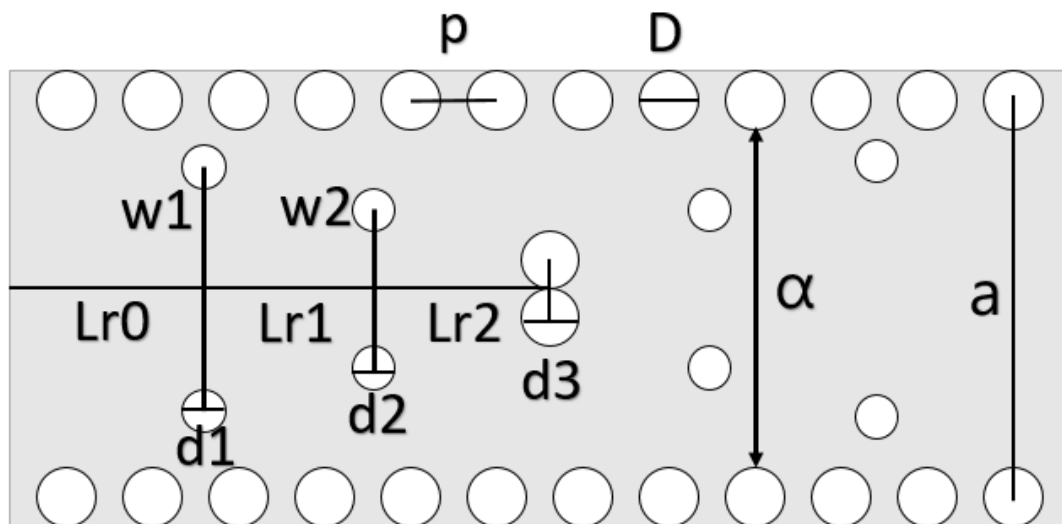
w : center distance between two vias

Lr : distance between two via pair

如下圖所示：



dielectric filled waveguide



SIW

圖 1:模型示意圖

在實作上，我將設計一個中心頻在 11.5GHz 的矩形的帶通濾波器，分為五個步驟：

### Step 1 【計算理論數據】

根據自身需求選擇適當的濾波器階數與低通濾波器原型數據。

將低通濾波器原型數據通過公式轉換成帶通濾波器的正規化的 K 值( $K/Z_0$ )。

設計數據表(表 2)		
n	g	K/Z <sub>0</sub>
1	0.7537	0.3668
2	1.2254	0.1055
3	1.3717	0.782
4	0.6734	0.1055
5	1.1194	0.3668

## Step 2 【HFSS 模擬找 K/Z<sub>0</sub> 值】

1. 建立一個 fr4 介質的矩形腔，電路長度選擇在 1.2 個  $\lambda_c$  (即 11.5 GHz 下的波長)，並在腔體的兩個開口打上 Waveport。(如 step2 圖)
2. 在矩形腔體中心打上貫孔進行模擬，並將取得的 S 參數根據公式轉換取得的 K/Z<sub>0</sub> 值，目標是取得相近表(2)K/Z<sub>0</sub> 的數值以及對應的相位角  $\Phi$ 。

[註]可以調整貫孔半徑、貫孔與腔體壁的距離以及貫孔數量來改變模擬取得的 K/Z<sub>0</sub> 值。

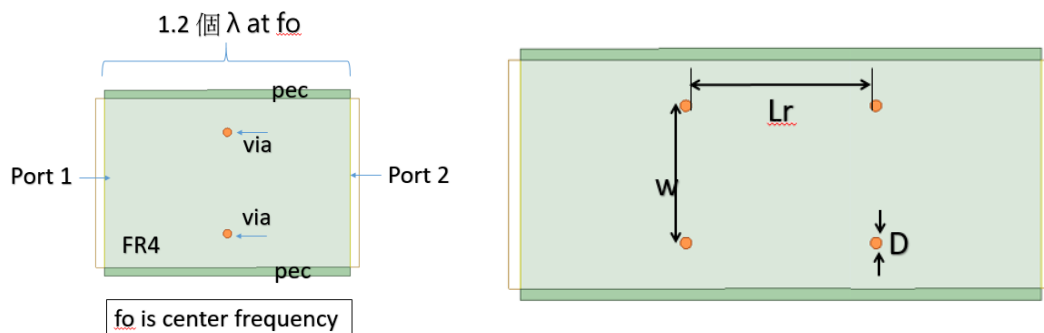


圖 2:模擬用的模型

## Step 3 【運用 step 2 的數據計算共振距離 Lr】

根據 step2 的模擬數據與標準設計參數進行比對取得所需數據，如直徑、寬、K 值與相角  $\Phi$ ，並帶入公式計算出相對應的共振距離。

表 3

計算等效電感值、K 值與共振腔長度的公式

$$\text{series inductance : } \mathbf{jX_s} = \frac{1-S_{12}+S_{11}}{1-S_{11}+S_{12}}$$

$$\text{shunt inductance : } \mathbf{jX_p} = \frac{2S_{12}}{(1-S_{11})^2-(S_{12})^2}$$

Using EM simulator (like HFSS、CST)

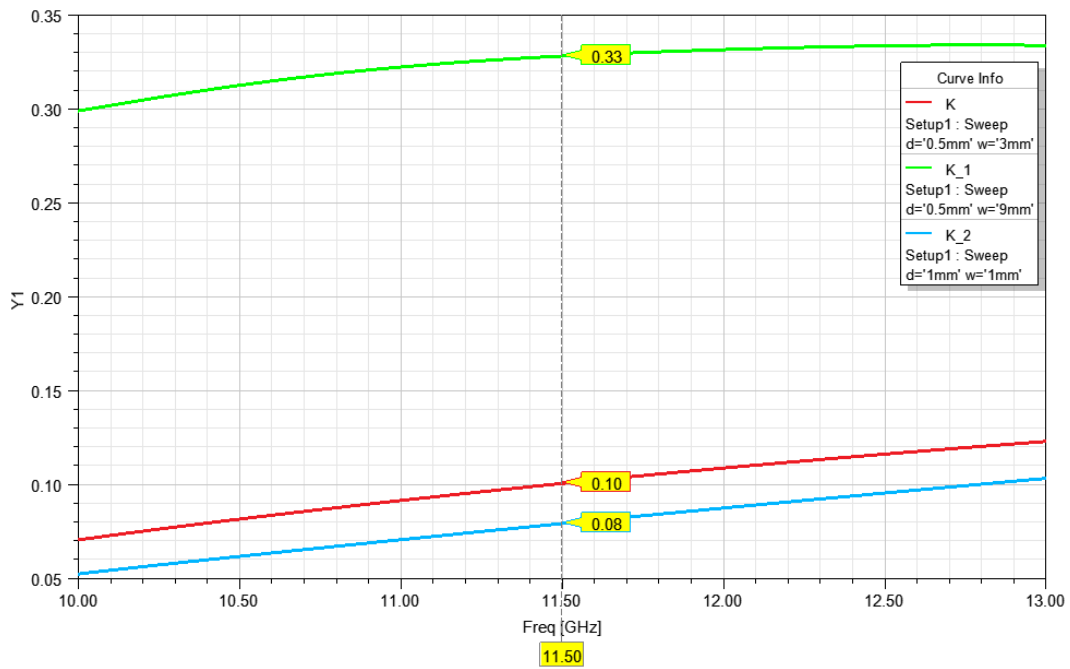
$$\phi = -\arctan\left(\frac{2X_p}{Z_0} + \frac{X_s}{Z_0}\right) - \arctan\left(\frac{X_s}{Z_0}\right) \Rightarrow \frac{K}{Z_0} = \left| \tan\left[\frac{\phi}{2} + \arctan\left(\frac{X_s}{Z_0}\right)\right] \right|$$

$$\text{Length of the resonators : } L_r = \frac{\lambda_{g0}}{2\pi} \left[ \pi + \frac{1}{2}(\phi_r + \phi_{r+1}) \right] \quad , \quad r = 1, 2, 3, \dots, N$$

$$\lambda_{g0} = \frac{c}{f_0 \sqrt{\epsilon_r}} \quad \{ \text{wavelength in substrate} \cdot c = 3 * 10^8 \cdot f_0: \text{center frequency} \}$$

refer to [1]、[5]

[註]: 表 3 中紅字為參考文獻公式改動部分

圖 4a: K/Z<sub>0</sub> 模擬結果

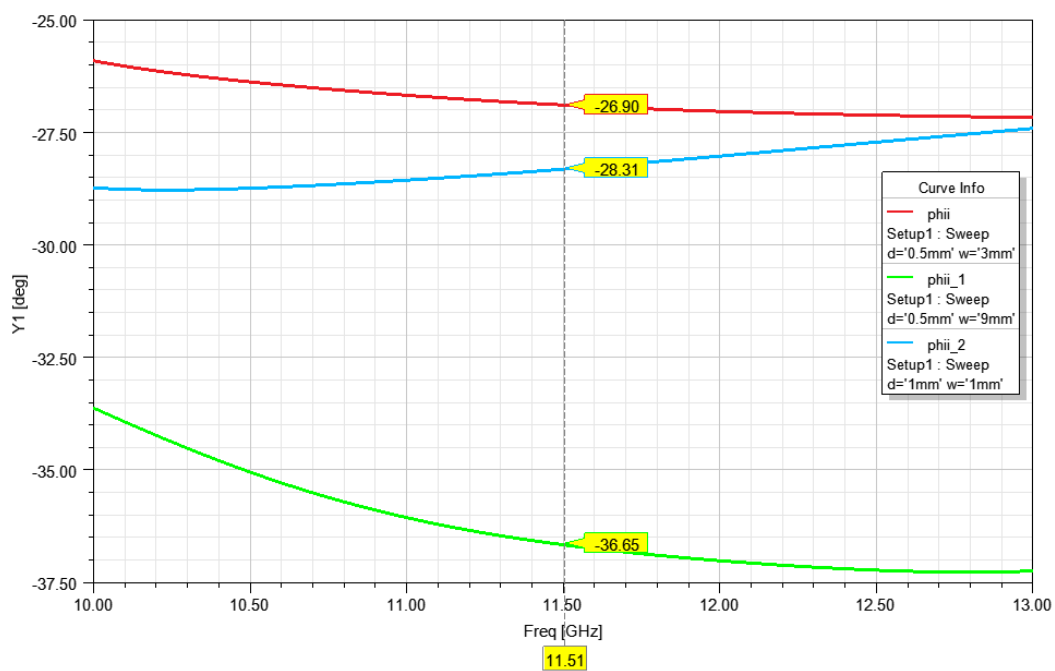


圖 4b: 相角  $\Phi$  的模擬結果

根據上方的模擬結果選取符合需求的數據

電路模擬數據(表 4)				
n	k	k(模擬)	d(via 直徑:mm)	W(mm)
1	0.3668	0.33	0.5	9
2	0.1055	0.10	0.5	3
3	0.0782	0.08	1	1
4	0.1055	0.10	0.5	3
5	0.3668	0.33	0.5	9

模擬取得 phi 與計算值 Lr(表 5)				
n	k	k(模擬)	phi(degree)	Lr(共振長度:mm)
0				5
1	0.3668	0.33	-36.65	5.1
2	0.1055	0.10	-26.9	5.5



3	0.0782	0.08	-28.31	5.5
4	0.1055	0.10	-26.9	5.1
5	0.3668	0.33	-36.65	5

[註]令  $\lambda_g > Lr0 = Lr5 > \frac{\lambda_g}{4}$ ,  $f_c = 11.5\text{GHz}$ ,  $\epsilon_r = 4.4$

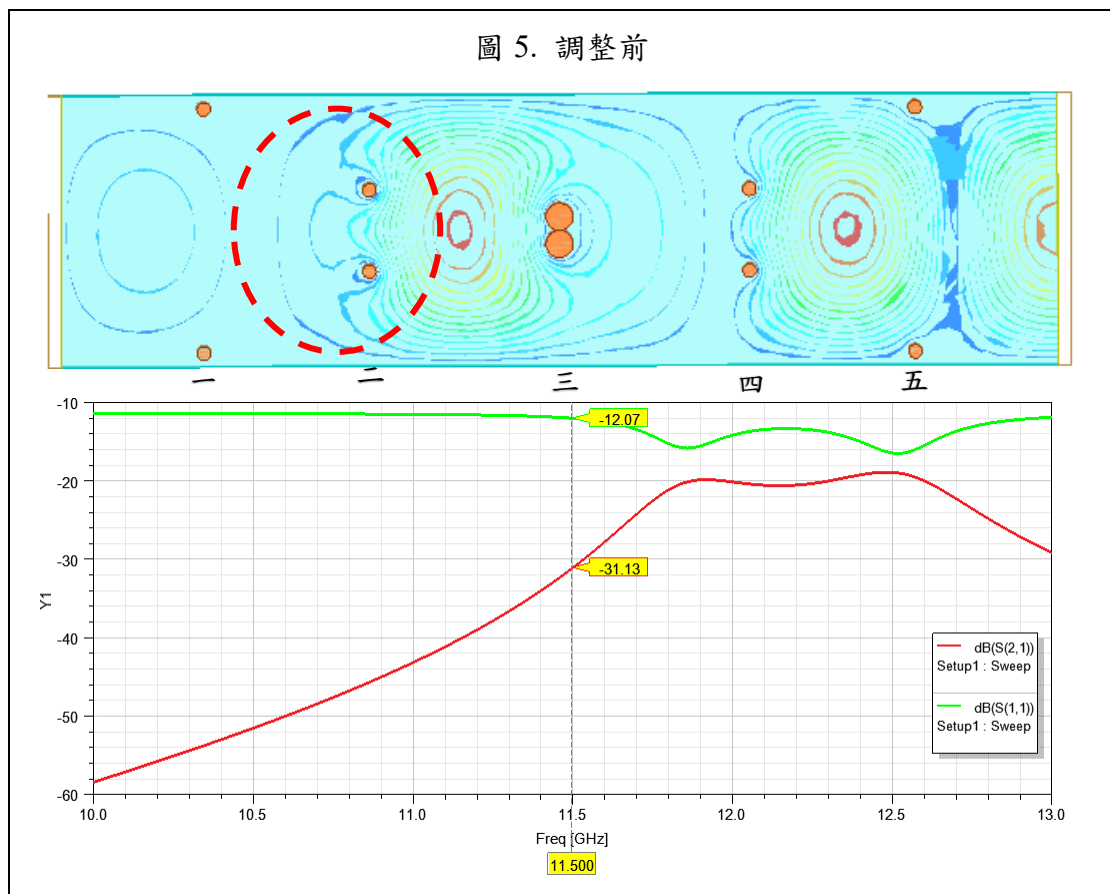
$$\lambda_g = \frac{\lambda_c}{\sqrt{\epsilon_r}} = \frac{3^8}{1.5 * 10^{10} * \sqrt{4.4}} = 12.4 \text{ mm}$$

取  $Lr0 = Lr5 = 5 \text{ mm}$

#### Step 4 【數據模擬，並觀察電場場型進行微調】

根據 step3 取得的數據模擬，並進行調整

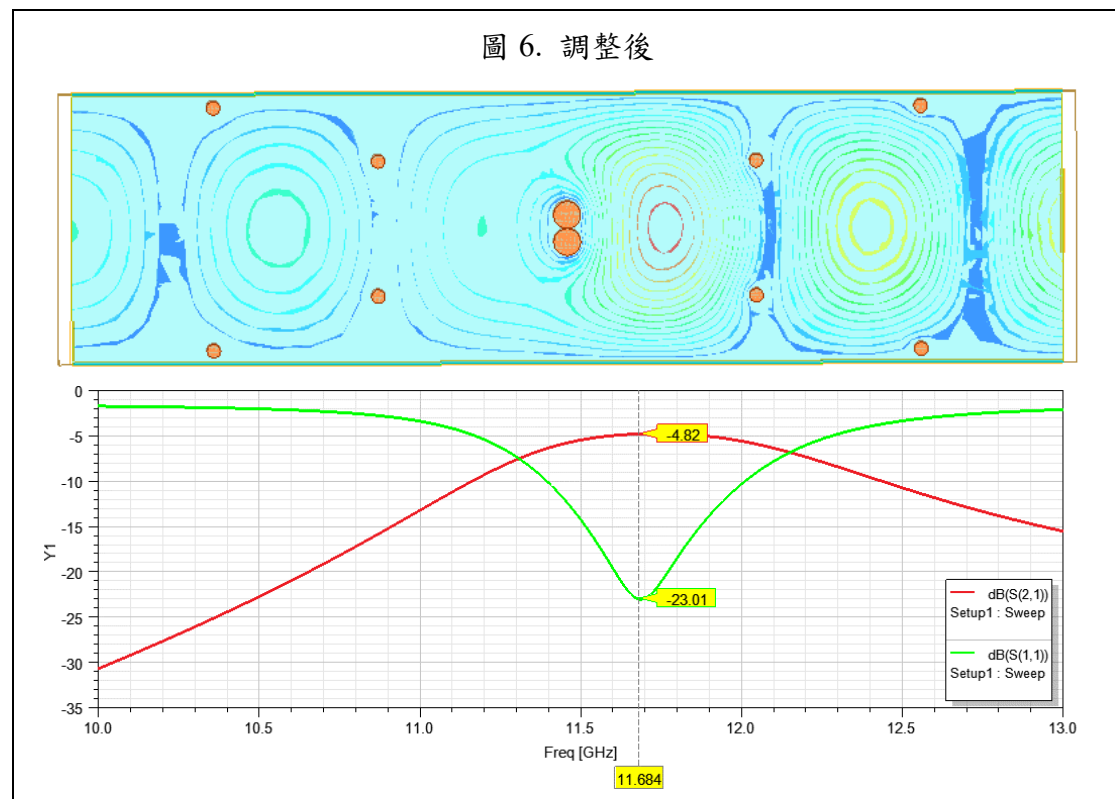
#### 【初始電路模擬】



透過觀察中心頻的電場場形，可以發現在第二排 via 處，波形受到壓制影響了通量，所以加寬  $w2$  和  $w4$ ，以促進耦合。

[註]因電路是對稱設計， $w_2 = w_4$ 。

### 【觀察電場場型進行調整後】



n	原始 W(mm)	W(mm)有調整
1	9	
2	3	5
3	1	
4	3	5
5	9	

[註]斜線表示無調整數據

設計時可能會遇到以下幾個問題:

(1)欲設計的通帶處耦合不全

可以通過觀察電場場型來選擇要調整哪些排的 via 寬度，以增加耦合量。

(2)中心頻偏移

通過調整貫孔大小可以調整模擬波型偏移。

固定兩貫孔的中心間距與貫孔中心的位置，增加貫孔半徑大小將增加共振波長，使模擬波形向左偏移(往低頻偏移)；同樣的縮小貫孔半徑將使模擬偏移右移(往高頻偏移)。

## Step 5 【轉換成 SIW 架構：via wall 取代金屬牆】

我的 via wall 的 via 大小選擇直徑 0.6mm

via wall 的中心間距與孔徑大小限制關係為：

$$p \leq 2D \quad (3)$$

因此我選擇使用兩倍孔徑大小( $p=1.2\text{ mm}$ )當作週期間距的長度。

[註]

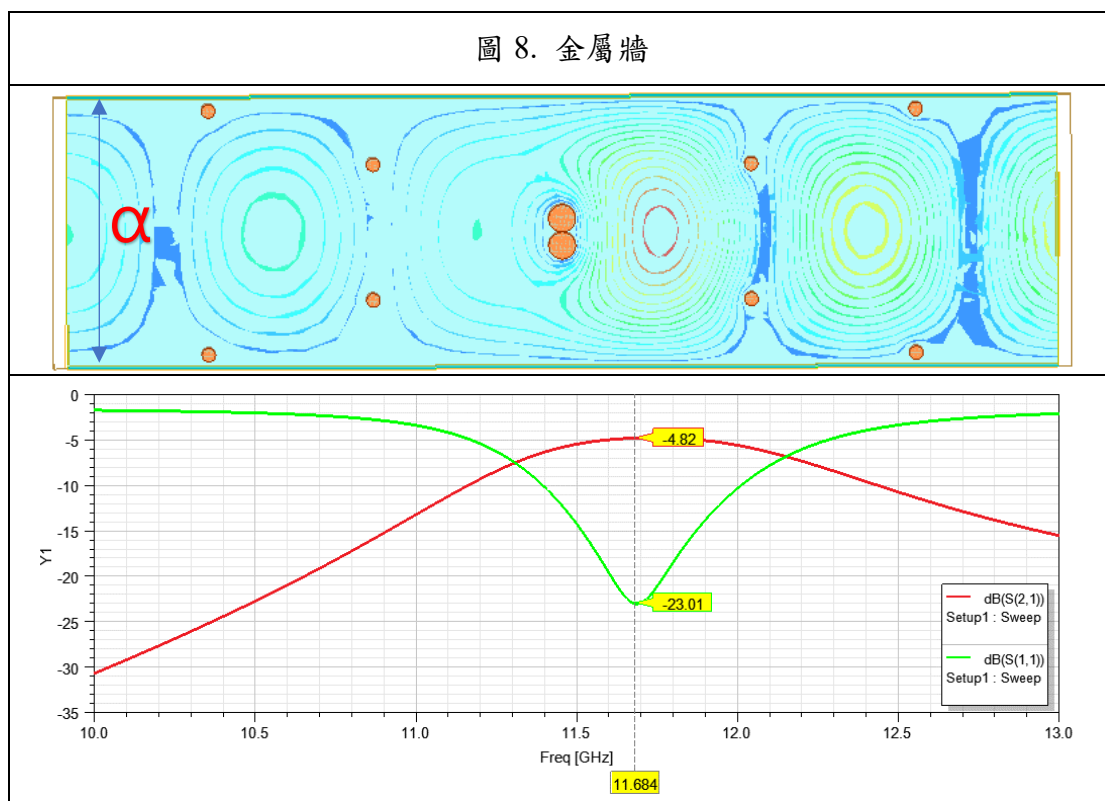
(1)可以自行加減調整，根據模擬的結果選取所需的大小。

(2)金屬牆與 via wall 所夾的腔體寬度相同(eg. 腔體寬度「 $\alpha$ 」，如下圖標示)

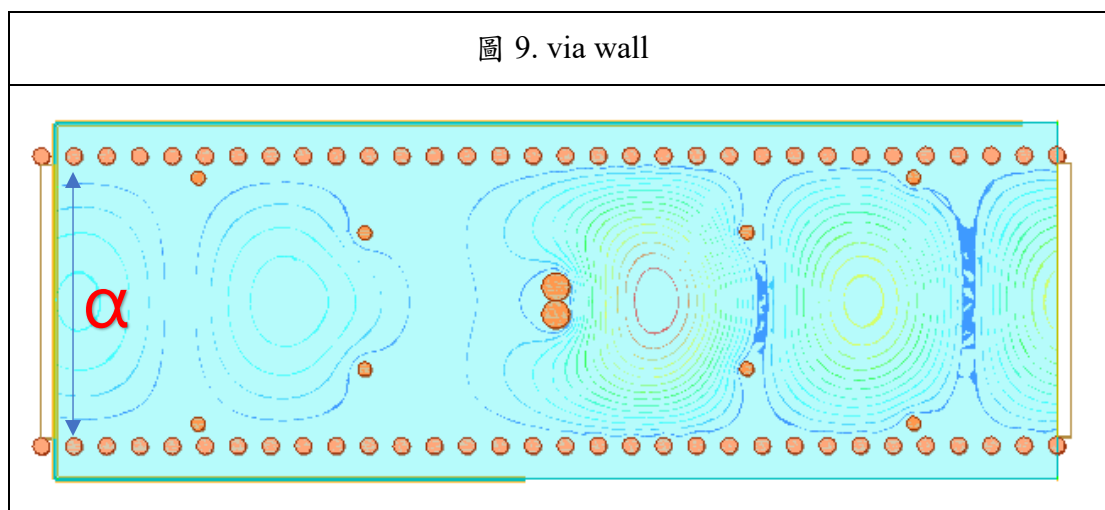
via wall 設計數據	
via wall 的 via 孔徑 : D	0.6 mm
via wall 的 via 彼此中心間距: p	1.2 mm

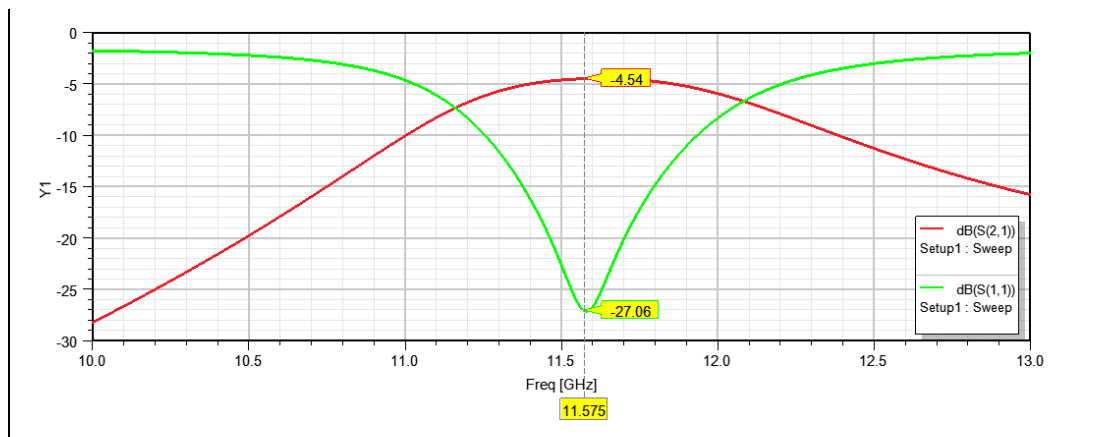
## 【via wall 取代金屬牆比較】

(取代前)



(via wall 取代後)





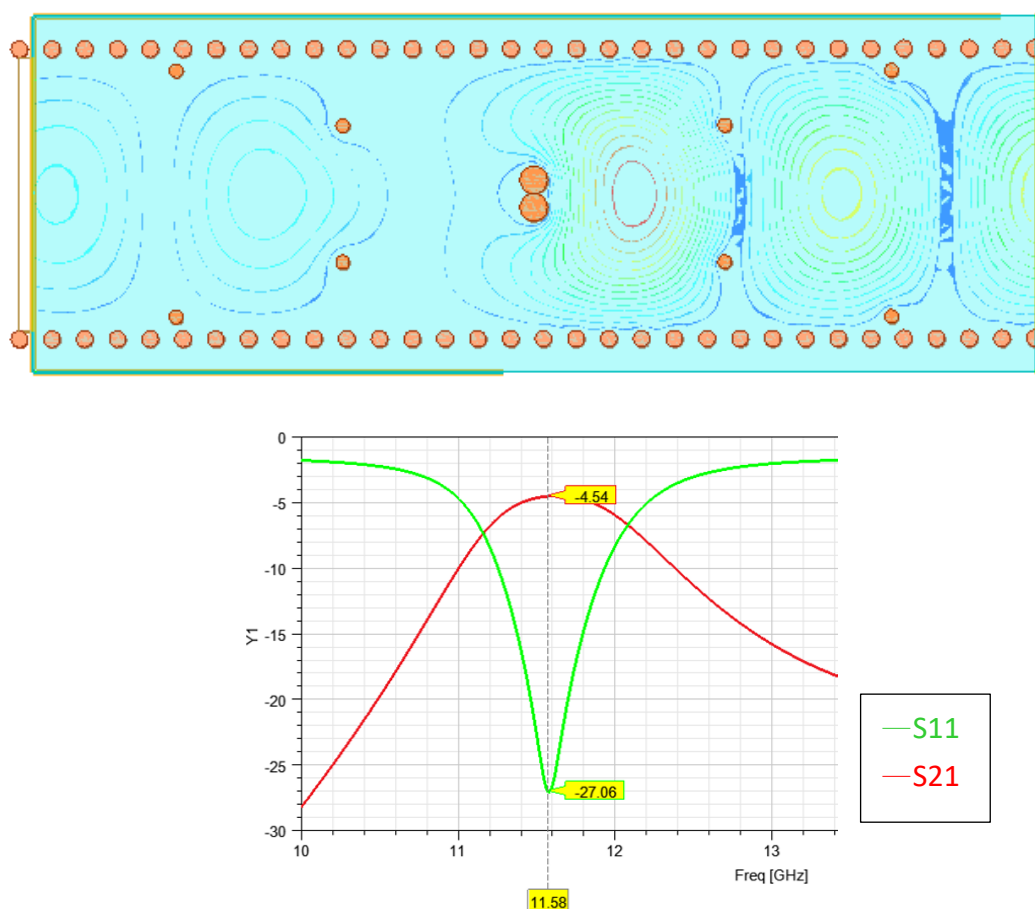
#### 四、HFSS 模擬結果

電路設計參數(表 6)			
n	W(mm)	d(mm)	Lr(mm)
0			5
1			5.1
2	5	0.5	5.5
3	1	1	5.5
4	5	0.5	5.1
5	9	0.5	5
p(mm)	1.2		
D(mm)	0.6		
a(mm)	10.6		
BW	920 MHz		
center frequency	11.58 Ghz		

[註] n=0~5 的 Lr 分別代表由左到右(port 1 到 port2 )過程中的間距，Lr0 、Lr5 的長度以中心頻波長  $\lambda_c > Lr > \lambda_c/4$  設計。

(圖 10)最終設計的成果

電路模型與 S 參數模擬圖



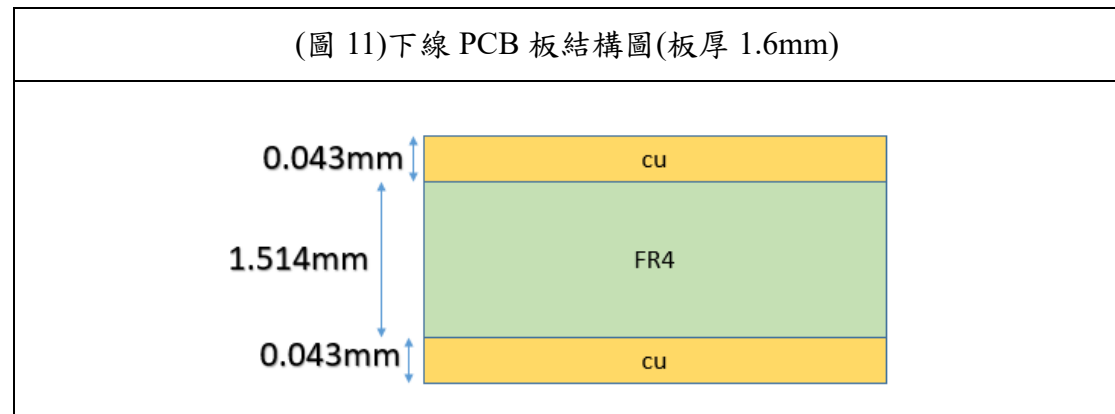
## 五、下板

一開始設計時不清楚一些下板限制，下板前通過與板廠多次溝通後瞭解許多限制，因此需要進行調整，如貫孔不能直接沿著銅層邊緣打、兩貫孔間的極限距離、切割 V 線與銅層邊緣需要有一定的距離(約 1mm)，否則會有裸銅問題。因以上問題，所以下板時，對原先的設計模型進行了一些調整，例如:移動柱牆位置、增加鋪銅面積，使其符合貫孔與銅層邊緣的最小間距 0.35mm。增加中心距不足的貫孔的距離。鋪銅與切割 V 線需要有一定的距離，取約 1mm，否則會有裸銅問題。

我採用探針量測，並在電路兩側接上錐形傳輸線[3]作為饋入方式。為解決探

針量測的單面下針的限制，所以我選擇在錐形傳輸線後方鋪一塊銅當作參考地，並打上貫孔連接底層銅，試圖創造與模擬相似的環境。

[註]由於實驗室使用的 sma 的頻率限制，所以並未採用 sma 進行量測。



### 【taper microstrip line 設計】

wt is width of microstrip line

wg is taper width

L is length of taper

可根據以下公式計算 Wg

$$A_g = a - D = \alpha \quad (4. a)$$

$$\frac{W_g}{A_g} \approx 0.4 A_g \quad (4. b)$$

可根據以下公式計算 Wt

for  $wt/h < 2$

$$\frac{wt}{b} = \frac{8e^A}{e^{2A} - 2} \quad (5)$$

for  $wt/h > 2$

$$\frac{wt}{h} = \frac{2}{\pi} \left\{ B - 1 - \ln(2B - 1) + \frac{\epsilon_r - 1}{2\epsilon_r} \left[ \ln(B - 1) + 0.39 - \frac{0.61}{\epsilon_r} \right] \right\} \quad (6)$$

Wg、Wt 由 A、B 決定，而 A、B 由以下公式決定：

$$A = \frac{Z_0}{60} \sqrt{\frac{(\epsilon_r + 1)}{2}} + \frac{\epsilon_r - 1}{\epsilon_r + 1} \left( 0.23 + \frac{0.11}{\epsilon_r} \right) \quad (5.a)$$

$$B = \frac{377\pi}{2Z_0\sqrt{\epsilon_r}} \quad (6.a)$$

h is substrate high and Zo is impedance of microstrip line

L 由以下條件決定：

$$\frac{\lambda_g}{2} < L < \lambda_g \quad (7.a)$$

$$\lambda_g = \frac{\lambda_c}{\sqrt{\epsilon_r}} \quad (7.b)$$

$\lambda_c$  is wavelength at center frequency

$\lambda_g$  is wavelength in substrate

【計算 Wg、Wt、L】

(5.a)、(6.a)代入  $h=1.6\text{mm}$ 、 $\epsilon_r=4.4$ 、 $Z_0=50\text{ ohm}$ ，可得  $A=1.53$ 、 $B=5.65$ ，再代回

(5)、(6)得

$$\frac{w}{b} \cong \begin{cases} 1.912 & \text{for (4)} \\ 1.915 & \text{for (5)} \end{cases} \quad (8)$$

因(5)符合條件，故  $Wt \cong 3.2\text{ mm}$

(4.b)代入  $\alpha=10\text{mm}$ ，則

$$Wg = 0.4 * 10 = 4\text{mm} \quad (9)$$

(7.b)代入  $\epsilon_r = 4.4$ ，則

$$\lambda_g = \frac{3 * 10^8}{1.5 * 10^{10} \sqrt{4.4}} = 12.4\text{mm} \quad (10)$$

故依(6.a)條件取 L=9mm，下表為計算結果。

Wt	3.2mm	Wg	4mm	L	9mm
----	-------	----	-----	---	-----



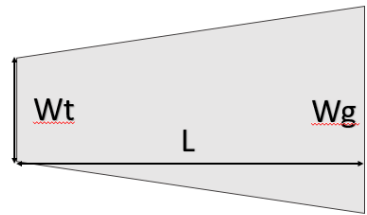


圖 12. taper microstrip line

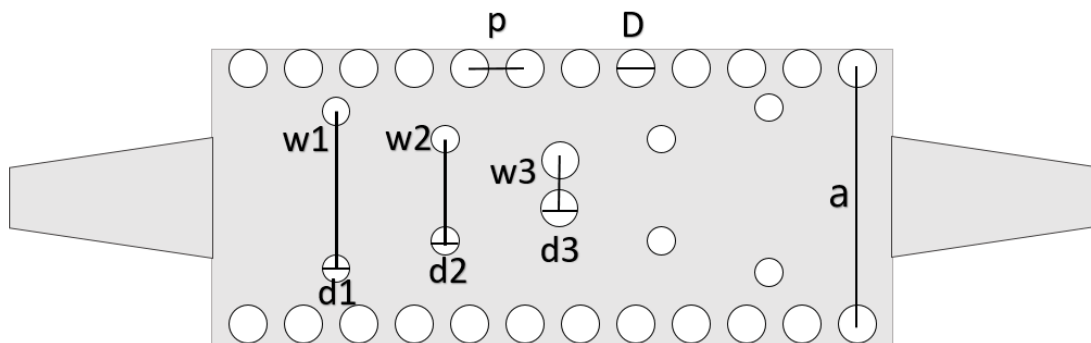


圖 13. 下板 layout 示意圖

### 【依製程限制調整】

因製程限制，via 需要離銅層邊緣至少 0.35mm，以及兩 via 間最小中心間距至少 0.3mm 以上，所以進行了以下調整：

- 1.重新調整 via wall 的位置
- 2.調整兩 via 間距至少為  $d+0.4\text{mm}$  (此調整會影響電路響應)
- 3.因經費限制與集體下板的規格統一，調整 via 孔徑大小的種類

圖 14. 改變 via 間距的電路模型比較圖(箭頭處改動 via 間距)

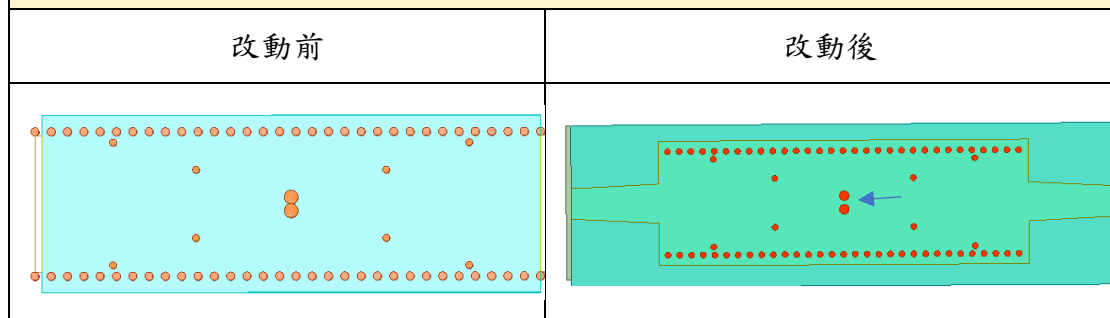


表 7

原始數據	下板改動數據
$W3 = 1 \text{ mm}$	$W3 = 1.4 \text{ mm}$
$d1 = d2 = 0.5 \text{ mm}$	$d1 = d2 = 0.6 \text{ mm}$

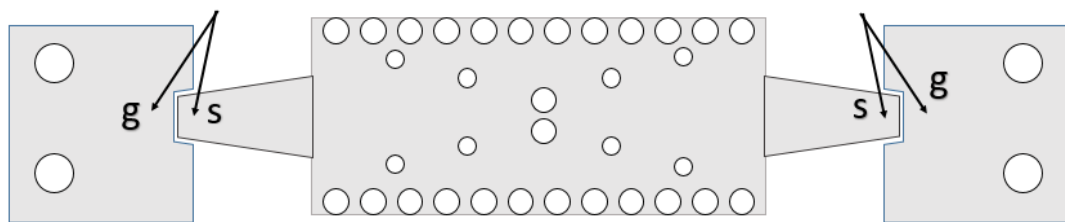


圖 15. 下探針方式示意圖

## 六、量測結果與模擬比較

1.

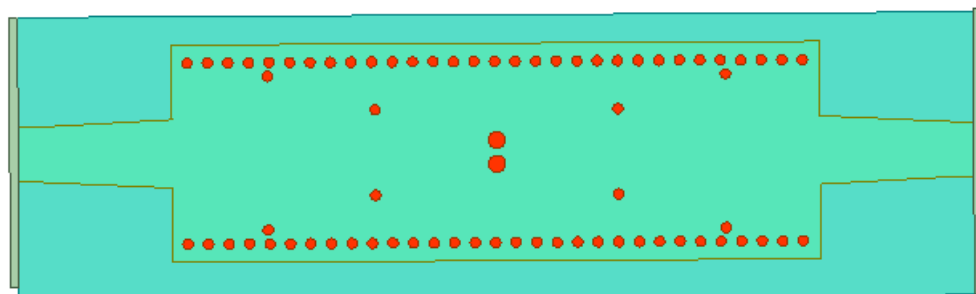
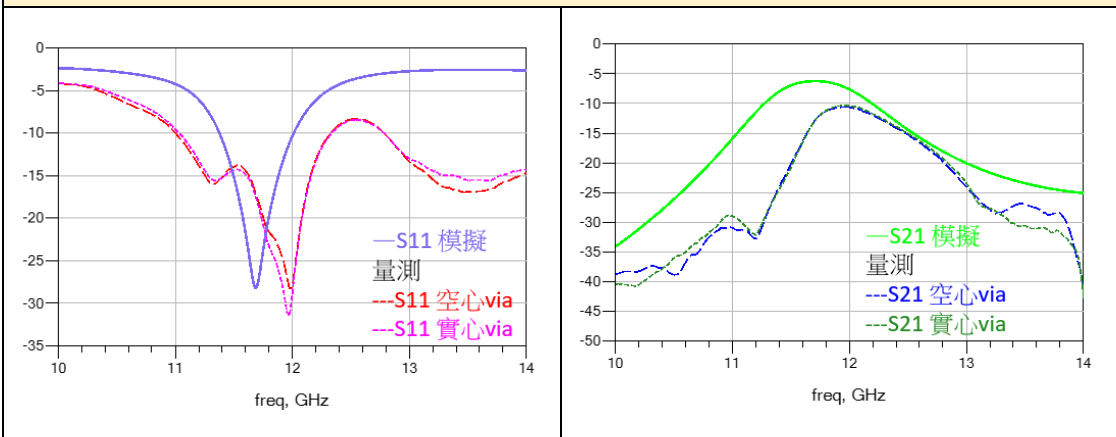


圖 17a. 電路模型

圖 17.b. via 間距= 1.2mm 的模擬與量測比較圖



說明：

1. 量測響應 S 參數比模擬低很多
2. 量測響應往高頻飄約 0.3GHz
3. 量測與模擬的響應趨勢相似
4. 實心和空心 via 響應的差異不大

※結論：

1. 實體電路能量有大量損耗或洩漏
2. 趨勢相近證明此設計是可行的
3. via 有無灌錫影響不大

模擬與量測的整體響應

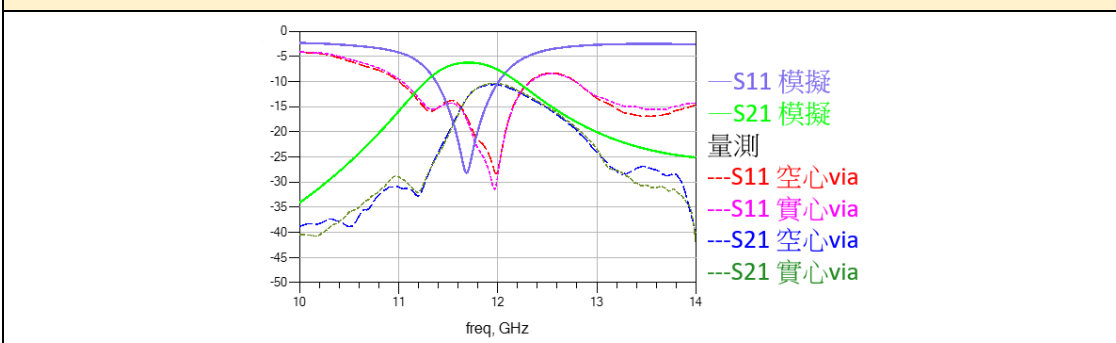


圖 17.c. 比較 via 間距為 1.2 、 1.5 、 1.8 mm 下有甚麼差異?

模擬	量測
<p>Top plot: S11 vs freq, GHz. Curves for 1.2mm (red), 1.5mm (magenta), and 1.8mm (blue) show a sharp dip at ~11.7 GHz. The 1.8mm curve reaches the lowest S11 value (~-45 dB).</p> <p>Bottom plot: S11 vs freq, GHz. Curves for 1.2mm (red), 1.5mm (magenta), and 1.8mm (blue) show a broad peak at ~11.7 GHz. The 1.8mm curve reaches the highest S11 value (~-6 dB).</p>	<p>Top plot: S11 vs freq, GHz. Curves for 1.2mm (red), 1.5mm (magenta), and 1.8mm (blue) show a dip at ~11.7 GHz. The 1.5mm curve reaches the lowest S11 value (~-45 dB).</p> <p>Bottom plot: S11 vs freq, GHz. Curves for 1.2mm (red), 1.5mm (magenta), and 1.8mm (blue) show a peak at ~11.7 GHz. The 1.5mm curve reaches the highest S11 value (~-10 dB).</p>
<p>說明:</p> <p>當 via 間距愈大，頻飄愈小，且 S11 在中心頻的下降量越大。</p>	<p>說明:</p> <p>當 via 間距愈大，頻飄愈小，當間距在 1.5mm 時 S11 會有最大下降量。</p>
<p>※結論:</p> <p>模擬和量測的 S21 對 via 間距的趨勢是一致的。</p> <p>當 via 間距愈大，頻飄越少，且會影響中心頻 S11 數值。</p>	

2.

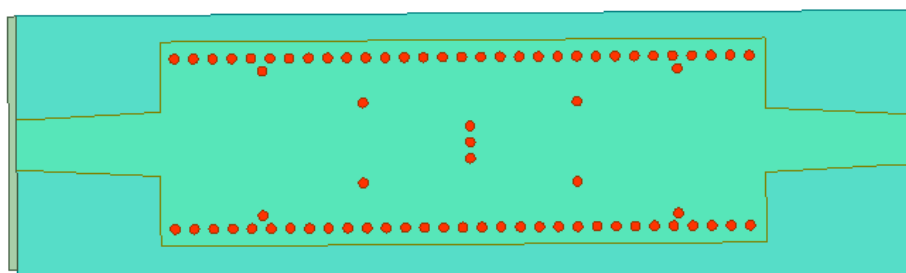
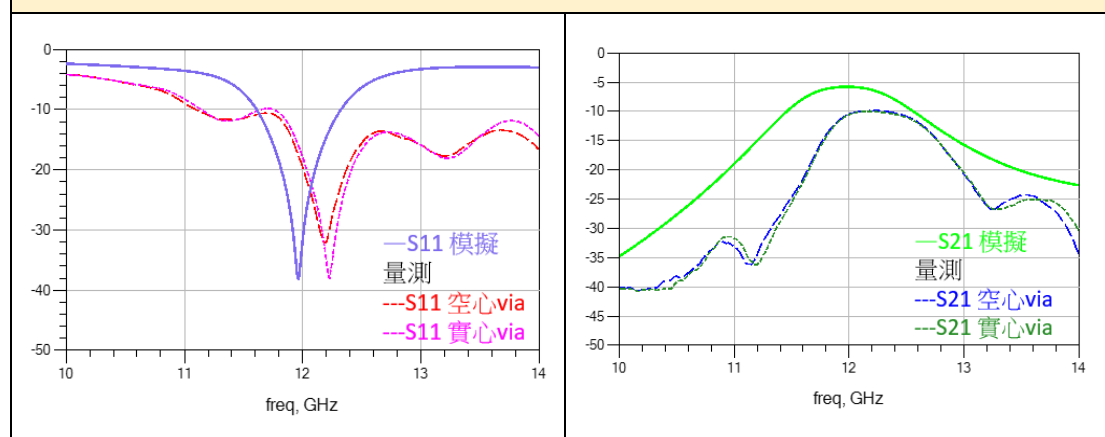


圖 18.a. 電路模型

圖 18.b. 小 via 取代大 via 的模擬與量測響應比較圖



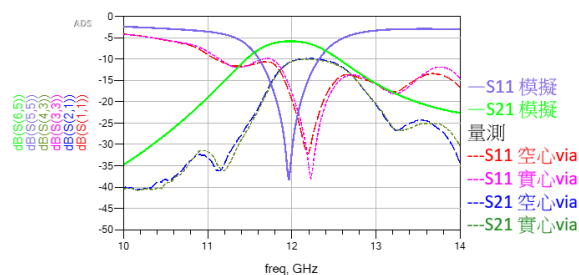
說明:

1. 量測響應 S 參數比模擬低很多
2. 量測響應往高頻飄約 0.3GHz
3. 量測與模擬的響應趨勢相似
4. 實心和空心 via 響應的差異不大

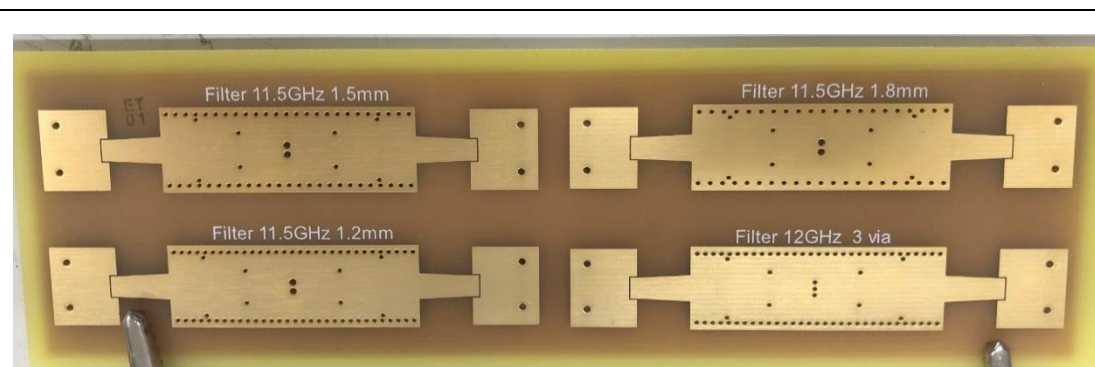
※結論:

小 via 取代後電路的響應與原先差異不大，故小 via 取代法是可行的

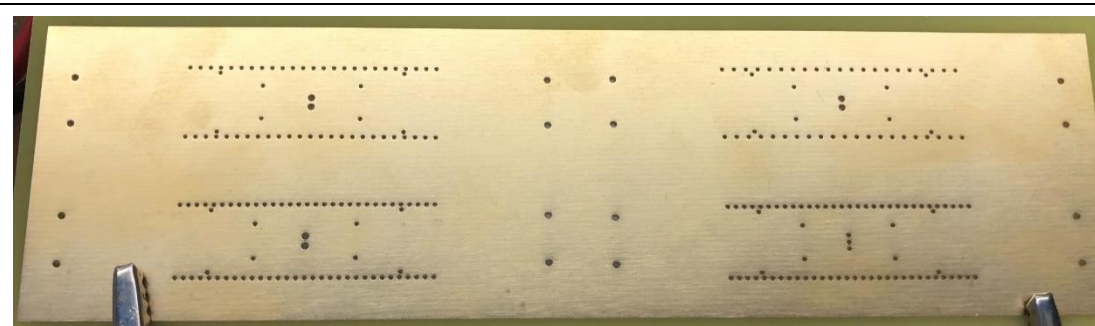
模擬與量測的整體響應



【實體電路】



圖(19.a)正



圖(19.b)反

鍍錫



圖(20.a)正



圖(20.b)反

## 七、問題與討論

### 1. 量測響應 dB 值低

量測結果在 dB 值上比模擬結果下降約 4dB，但整體波形走勢十分相似，所以是波損耗和洩漏的可能性極大。從 10 GHz 處可以發現，量測的 S11 數值明顯比模擬數據低 2-3 dB，最初進入電路的能量就比較少，所以響應通量下降相當合理。由饋入能量減少的方向著手，可以發現在量測時使用的饋入方式，沒有辦法限制波前進的方向，所以能量不只進入電路，還會從四面八方洩漏，與 HFSS 模擬使用 pec 限制波前進方向的情況並不相同，因此實際可能比模擬饋入的能量少。

### 2. 空、實心 via 對電路的影響

我模擬的電路貫孔採用的是實心 Cu 柱，然而實際電路的貫孔是空心的，因此我參考[2]的作法，在貫孔中灌入錫，並與無灌錫的電路進行比較，從量測結果可以知道有無灌錫的響應走勢幾乎一樣，所以採用實心或是空心貫孔對於電路響應的影響並不大。

### 3. 頻飄的原因

量測的電路比模擬電路約有 0.3dB 的頻飄，推測是製成在鑽孔產生的誤差，是主要頻飄產生的原因。此外，因為我下板的電路沒有鋪綠漆，不排除銅氧化對電路響應也有一定的影響。

### 4. 不同間距的影響

不同的 via wall 的中心距離有不同響應的表現，主要發生在 S11，在 1.2mm、1.5mm、1.8mm 三種不同間距的響應中，屬 1.5mm 在中心頻有較小的 dB 值，推測在 1.5mm 間距的情況中，恰好是行進波對柱牆反射較少的間距，如同設計濾波器的原理，特定的間距可以讓特定頻率的波通過，但在其他頻率卻會發生大量反射。

### 5. 小 via 取代的效果

使用小 via 取代大 via 的作法，只要兩者排列的長度差不多，就可以獲得差

不多的響應波形，但是採用小 via 會因為貫孔的孔徑變小，導致頻飄的問題出現，雖我試過陣列貫孔的做法，但對響應影響極大，原先的通帶直接消失。

## 6. 突出的 S11 零點

以下四個電路在 14.7 GHz 時，S11 皆出現傳輸零點，但 S21 並沒有因此提高，根據能量不減定律，所以我推測在這個頻率下，此電路的波洩漏較嚴重。

從實驗結果可以看到 K 值萃取的方法仍有待加強。因為萃取出來的等效數值仍須經過調整才能做出濾波器響應。此外，設計時可能會設計出製成無法製作的電路，像是 via 孔徑過小、多個 via 中心距極小等，會需要進行下板前的調整。但為了要迎合 K-inverter 的設計參數，必定需要持續調整孔徑與間距，儘管製成做不出來，只能透過事後調整進行妥協。

此外，K 值萃取必須要使用矩形波導進行才能獲得夠大和夠小的  $K/Z_0$  值，使用 SIW 架構進行模擬很難取得適當的  $K/Z_0$  值，這是目前的一大難處，導致設計需要進行 via wall 取代金屬牆的過程，如果能找到方法直接在 SIW 架構進行等效萃取 K 值，就可以減少一些步驟。

## 八、結論

雖然此電路在模擬響應上部分並沒有突出的表現，但是此電路充分驗證傳統矩形波導設計方式可以應用在 SIW 上，並且成功建立一套通過模擬取得電路架構的方法。

未來可以朝各種電路架構進行設計，做出更泛用的設計方式。而相當重要的萃取等效電路數據的方法也有了輪廓，未來將更努力精進做出更優秀的電路。這次的專題對我來說是一份寶貴的經驗，在不斷試錯與找資料的過程中學習到很多做研究的方法與準則。累積了眾多經驗的同時，也拓展了自己各方面的技能與視野。



## 九、參考文獻

- [1]G. Matthaei, E.M.T. Jones,& L. Young. “Microwave flters, impedance-matching networks, and coupling structures”. Publiied by McGraw-Hill(1964) , Standard Book Number 049006-099-1,PP 450-459
- [2] Augustine O. Nwajana, Amadu Dainkeh, & Kenneth S. K. Yeo. “Substrate Integrated Waveguide (SIW) Bandpass Filter with Novel Microstrip-CPW-SIW Input Couplin”. Journal of Microwaves, Optoelectronics and Electromagnetic Applications, Vol. 16, No. 2, June 2017
- [3] Imane Badaoui, Naima Amar Touhami, Mahmoud Moubadir ,& Mohamed Taha El Khorassani. “Substrate Integrated Waveguide Symmetrical Window Bandpass Filter for Satellite Applications”. Procedia Manufacturing 32 (2019) 717–722.
- [4] Kjetil Folgerø. “Step-by-step procedure for design of waveguide filters with HFSS”. From ResearchGate , January 2001
- [5]Richard J. Cameron, Chandra M. Kudsia,& Raafat R. Mansour. “Microwave Filters for Communication Systems: Fundamentals, Design, and Applications 2<sup>nd</sup> Edition(2018)”. ISBN: 978-1118274347. PP 475-484
- [6] Hemendra Kumar, Ruchira Jadhav,& Sulabha Ranade. “A Review on Substrate Integrated Waveguide and its Microstrip Interconnect”. IOSR Journal of Electronics and Communication Engineering (IOSR-JECE).ISBN: 2278-8735. Volume 3, Issue 5 (Sep. – Oct.. 2012), PP 36-40