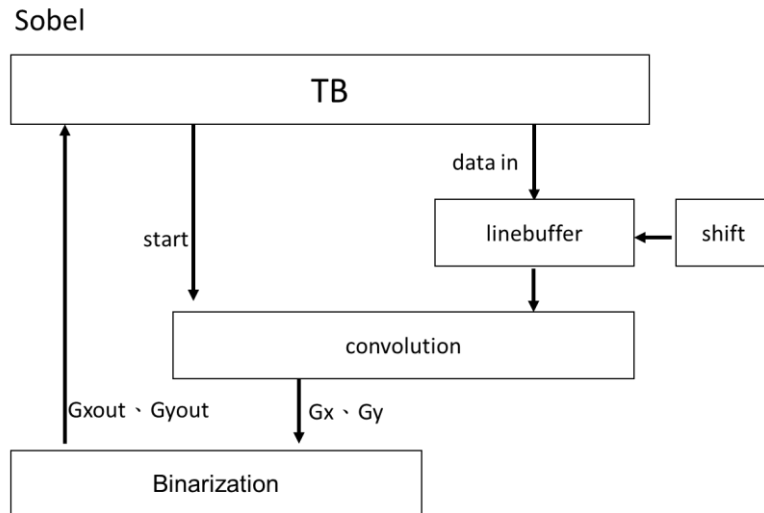


Sobel Filter

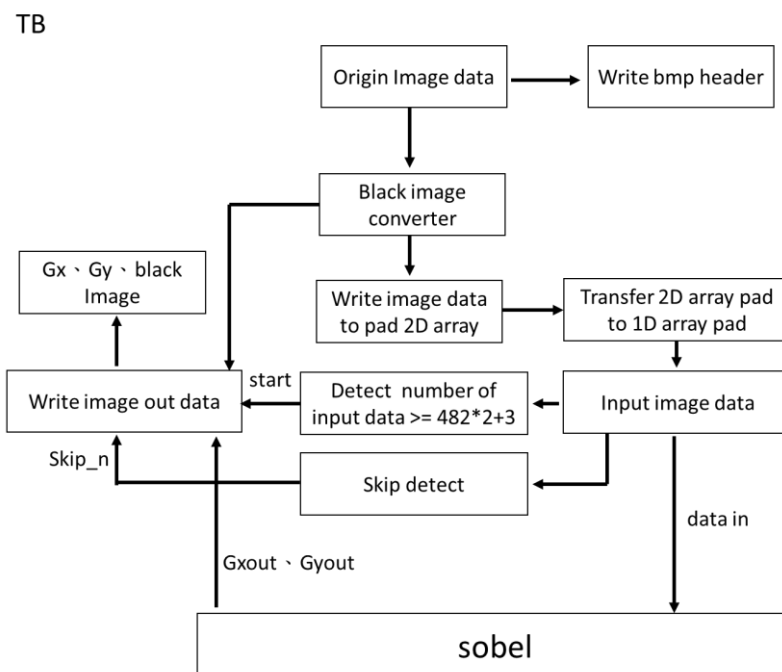
壹.電路合成與結果分析

第一部分：架構圖



電路運作架構圖

說明: TB 輸入 image data to linebuffer，然後進行 register shift。當 start 輸入時，進行 Gx、Gy 的捲積計算，之後將資料進行二值化處理，if ≥ 100 becomes 255, else 0。最後將資料輸回 TB。



Testbench 運作架構圖

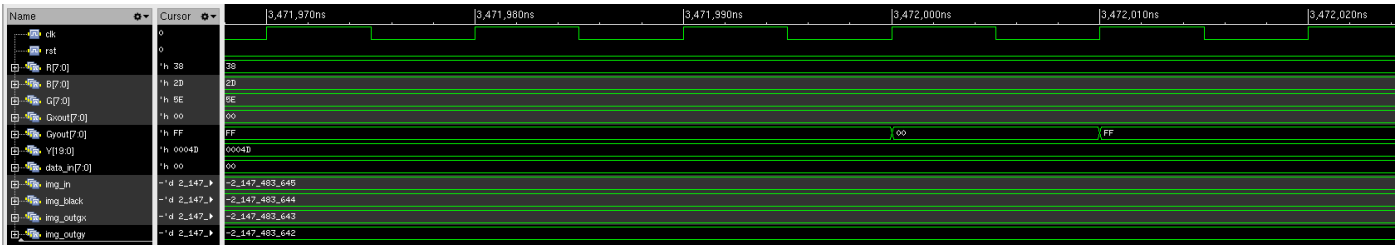
說明: 先將採圖轉為灰階和寫入 bmp 的標頭資料，之後將灰階影像輸入 2D array 的 padded register，再將 2D array 轉成 1D array，後將資料依序輸入 Sobel，並記錄已輸入多少資料，if data number

$\geq 482 \times 2 + 3$ 則 $start = 1$, else $start = 0$. If data number $\%483 = 481 || 482$, then $skip_n = 1$ else $skip_n = 0$. 當 $start = 1$ 且 $skip_n = 0$ 時，寫出 Gx、Gy 圖像資料；當 $skip_n = 0 || start = 0$ 不寫出圖像。

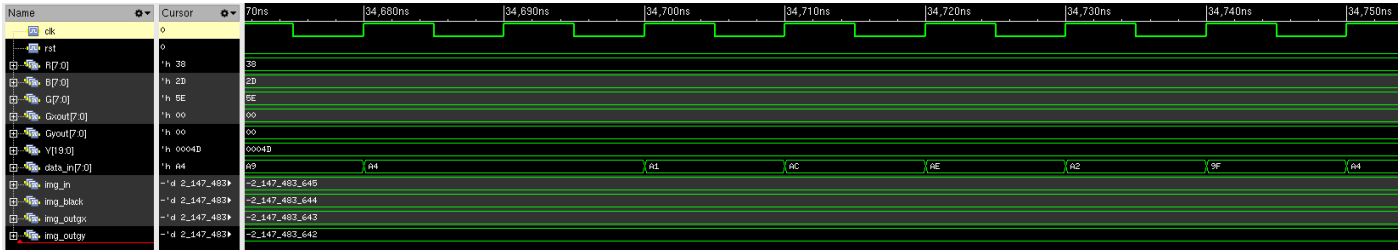
第二部分：模擬結果

一、Sobel

RTL:



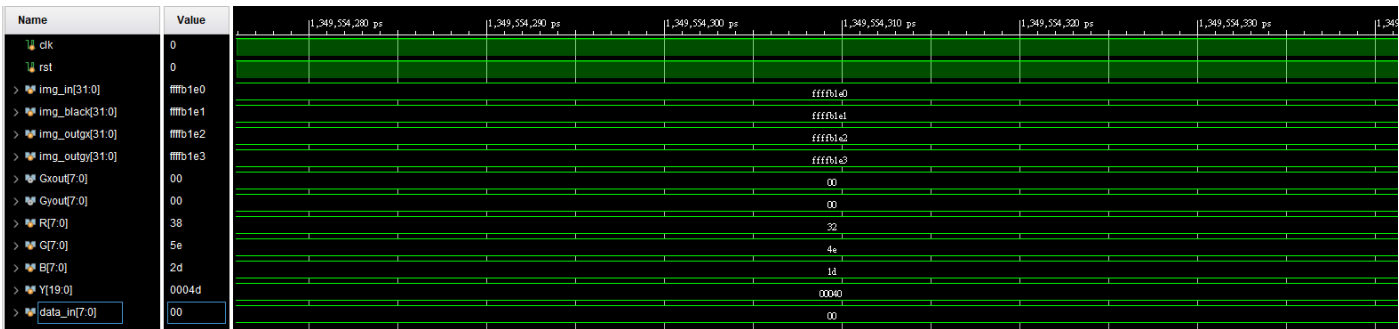
SYN:



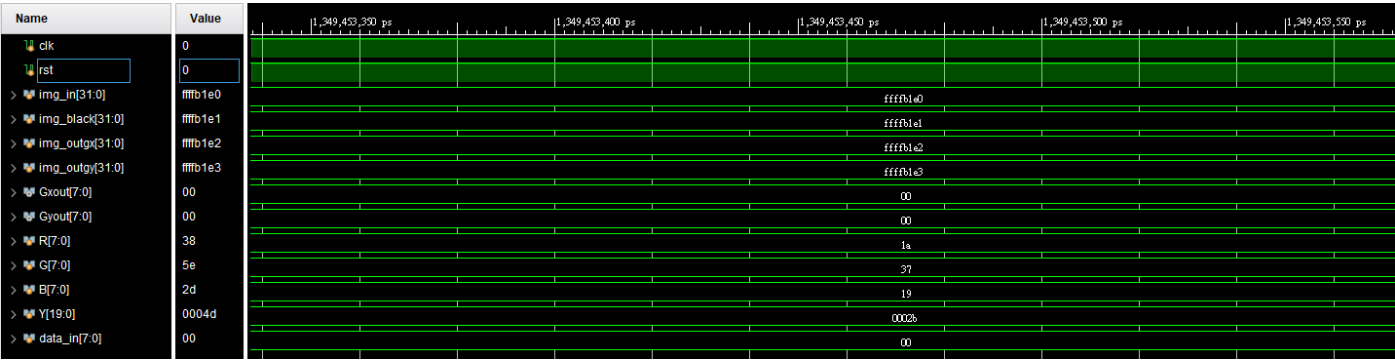
說明: signal RGB 皆正確讀取，Y 轉換正常，data_in 輸入正常，imagegx、imagegy 輸出正常，有正常圖像輸出且 presim and postsim simulation waveform 一樣，表示模擬正確。

Vivado:

Behavior



Implement



說明: signal RGB 皆正確讀取，Y 轉換正常，data_in 輸入正常，imagegx、imagegy 輸出正常，有正常圖像輸出且 behavior and implement simulation waveform 一樣，表示模擬正確。

Overview

Settings

Edit

Project name:

HDL_HW4_M123040036

Project location:

C:\Users\Pyhys\Desktop\vivado\HDL_HW4_M123040036

Product family:

Zynq-7000

Project part:

ZedBoard Zynq Evaluation and Development Kit (xc7z020dg484-1)

Top module name:

sobel

Target language:

Verilog

Simulator language:

Mixed

Board Part

Display name:

ZedBoard Zynq Evaluation and Development Kit

Board part name:

em.avnet.com.zed.part0:1.4

Connectors:

No connections

Repository path:

F:\vivado\Xilinx\vivado\2018.3\data\boards\board_files

URL:

http://www.zedboard.org

Board overview:

ZedBoard Zynq Evaluation and Development Kit

Changes

Summary

Route Status

Synthesis

Status:

Complete

Messages:

2 warnings

Part:

xc7z020dg484-1

Strategy:

Vivado Synthesis Defaults

Report Strategy:

Vivado Synthesis Default Reports

Implementation

Status:

route_design Complete, Failed Timing!

Messages:

1 critical warning

2 warnings

Part:

xc7z020dg484-1

Strategy:

Vivado Implementation Defaults

Report Strategy:

Vivado Implementation Default Reports

Incremental implementation:

None

DRC Violations

Summary:

2 critical warnings

1 warning

Implemented DRC Report

Timing

Setup

Hold

Pulse Width

Worst Negative Slack (WNS):

-4.284 ns

Total Negative Slack (TNS):

-62.74 ns

Number of Failing Endpoints:

16

Total Number of Endpoints:

814

Implemented Timing Report

Utilization

Post-Synthesis

Post-Implementation

Graph

Table

LUT

1%

LUTRAM

1%

FF

1%

IO

14%

BUFG

3%

Utilization (%)

Power

Summary

On-Chip

Total On-Chip Power:

0.119 W

Junction Temperature:

26.4 °C

Thermal Margin:

58.6 °C (4.9 W)

Effective θ_{JA} :

11.5 °C/W

Power supplied to off-chip devices:

0 W

Confidence level:

Low

Implemented Power Report

二、輸出圖像

Origin



black



Gx



Gy



第三部分: Between 合成結果- area、power、delay

一、 Comparison of Synthesis Results

	Area (um2)			Timing	Power(W)		
	Combonational	Seqential	Total	(ns)	Dynamic	Leakage	Total
delay	418.2	42181.2	42599.4	3.2	8.48m	292.30u	8.78m

說明: 因 linebuffer 很大，所以 sequential area 特別大。Dynamic power 佔整體大部分的 power 損耗。

二、 area、power、delay 截圖

Sobel

Area	
Combinational area:	418.219189
Buf/Inv area:	18.597600
Noncombinational area:	42181.172058
Macro/Black Box area:	0.000000
Net Interconnect area:	undefined (Wire load has zero net area)
Total cell area:	42599.391247
Total area:	undefined
Delay	

Gyout_reg_0_/D (DFFRPQ_X2M_A9TR)	0.00	3.09	r
data arrival time		3.09	
clock clk (rise edge)	3.20	3.20	
clock network delay (ideal)	0.00	3.20	
Gyout_reg_0_/CK (DFFRPQ_X2M_A9TR)	0.00	3.20	r
library setup time	-0.06	3.14	
data required time		3.14	

data required time		3.14	
data arrival time		-3.09	

slack (MET)		0.05	

Power			
Cell Internal Power	=	8.4381 mW	(99%)
Net Switching Power	=	46.3645 uW	(1%)

Total Dynamic Power	=	8.4844 mW	(100%)
Cell Leakage Power	=	292.3028 uW	

Power Group	Internal Power	Switching Power	Leakage Power	Total Power	(%)	Attrs

io_pad	0.0000	0.0000	0.0000	0.0000	(0.00%)	
memory	0.0000	0.0000	0.0000	0.0000	(0.00%)	
black_box	0.0000	0.0000	0.0000	0.0000	(0.00%)	
clock_network	0.0000	0.0000	0.0000	0.0000	(0.00%)	
register	8.4249	3.9641e-02	286.8954	8.7509	(99.71%)	
sequential	0.0000	0.0000	0.0000	0.0000	(0.00%)	
combinational	1.3500e-02	6.7232e-03	5.4046	2.5628e-02	(0.29%)	

Total	8.4384 mW	4.6364e-02 mW	292.3000 uW	8.7765 mW		

參、問題與討論

1. Gx、Gy 如果用 signed [7:0]是-128~+127，不夠表示圖像，所以需要變成 signed [8:0]才夠表示圖像。否則如下圖：



Gx



Gy

2. 從 sobel 電路反饋到 testbench 的 linebuffer skip 訊號與 testbench 的時序是不同步的，需要用 testbench 控制才能正確顯示。

肆、結論

影像處理對資料寫入的順序與 pixel 的儲存大小敏感，需謹慎處理。此外，需注意 TB 計算的 skip 訊號與 Sobel 輸出的 skip 訊號並不同步，使用 TB 的才會正確。

心得

影像處理對於 linebuffer 的寫入順序與 pixel 的資料儲存大小很敏感，稍有差錯，輸出圖像就會發生問題。我遇到資料大小給不夠時，圖像會不夠清晰；當開始捲積的時機沒掌握好，會發生圖像歪曲，並且可能寫出的圖像資料不足，導致圖像錯誤。這次我還注意到電路計算的 skip 訊號竟然與 TB 計算的 skip 訊號產生的時機不同，明明都是相同的計算邏輯，這是令我不解地事情。

我本以為影像處理的電路很好做，但真的很難除錯。在撰寫過程中，我認為邏輯都正確，但輸出圖像歪斜、錯誤、不清晰，參考許多人的作品也是覺得自己沒寫錯，後來我砍掉大部分的程式重作，仍然發生影像不清晰的問題，詢問助教才發現是 G_x 、 G_y 的資料大小給不夠，這是我意想不到的問題，在我原先的計算中並不會發生這樣的問題，然而其真是關鍵因素，這深深令我覺得，影像處理中有太多不清晰的觀念或是不明的理論存在，需要我花時間研究並接受前輩指導。