

# 从 HDI 看 SI

## 短线、薄层、浅孔 三强棒之能耐何在

白蓉生

### 一. 题解

#### 1.1 高密度互连(High Density Interconnection; HDI)

在完工之正统电路板外，继续以逐次(Sequential)额外增层的办法；制作出非机钻微盲孔(Microvia, 孔径 6mil 以下)之层间互连，与细密布线(L/S 4mil 以下)，以及近距设垫(球垫跨距 30mil 以下)之新式增层板者(Sequantial Build up; SBU)称之为 HDI 板类。此领域自从 1997 年开发以来，目前已大量应用于 IC 之封装载板(Packaging Carrier/Board, 俗称 Substrates 日本业界称 Module Board)与移动电话手机板，或个人数字助理(PDA)等各种新式多层板产品中。

#### 1.2 HDI 的故事

1989 年 IBM 公司在日本 Yasu 的实验工厂，首先推出在传统 PCB 的外层上，以感光成孔(Photovia)的增层(Build up)做法而推出增层板(BUM)，得到更为轻薄短小与密集组装的“接续增层式”(SBU; 指超过一次以上的增层者)的板类。这种称为 SLC(Surface Laminar Circuitry)的革命性商业制程，是有史以来第一次出现的 BUM，也就是 1997 以后所另称的 HDI。此种 Photovia 式的 SLC，目前 IBM 仍使用于商标为 Thinkpad 的笔记型计算机中，但成本与良率甚至可靠度，皆已逊于后起 CO<sub>2</sub> 雷射成孔的 HDI 板类。

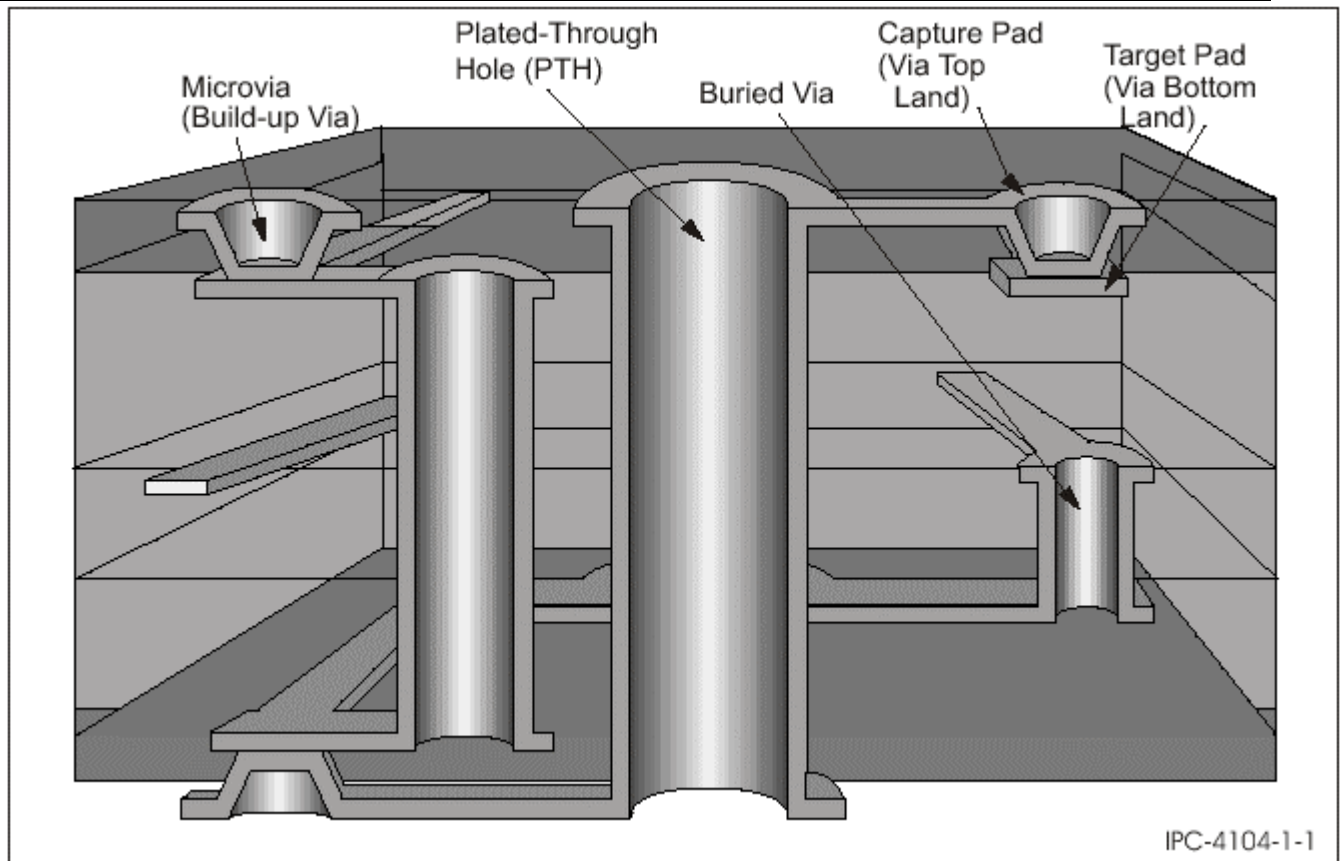


图 1. 此为具有微盲孔 HDI 板类之各种术语与代表性结构示意图。

1994 年美国 PCB 业界成立了一个合作性社团 ITRI 的组织, 期欲共同努力推动与改善 BUM 制程, 以期争取到更多的商机。同年 9 月在 ITRI 之下又组成了一个实务工作小组称为 October Project, 利用 Motorola 的 MRTV2.2 做为考试样板, 共有 18 家相关业者利用 Laservia, Photovia, Plasma-via 与其它方法进行微盲孔 (Microvia) 与细线路的制作。后于 1997.7.15 出版成果报告, 而正式展开 HDI 的时代。目前所正式出版的相关规范已有:

- (1). IPC-6016, HDI 电路板类之完工允收用规范 (1999.5)
- (2). IPC-4104, HDI 基材板类之进料检验规范 (1995.5)
- (3). IPC-2315, HDI 板类设计规范 (2000.6)

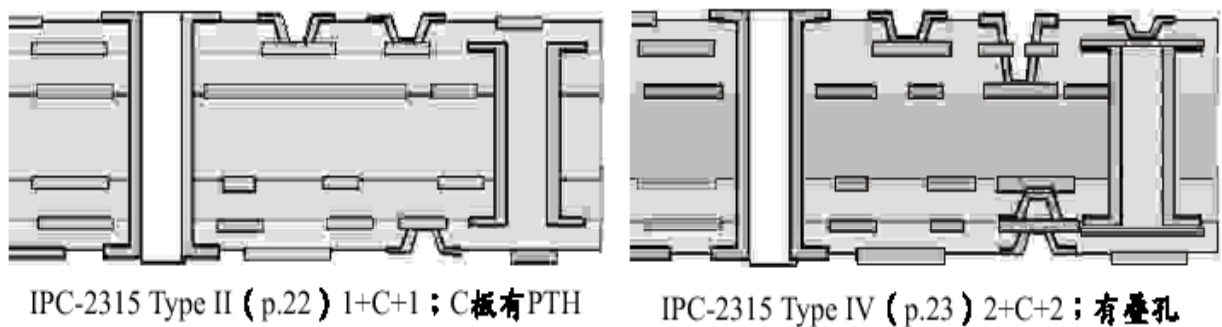


图 2. IPC-2315 将 HDI 板类分为六种型别, 此为其中两种表示法。注意右图中上面之二阶叠盲孔, 原文中并未出现, 系笔者所改画以符合量产之实情。

### 1.3 讯号完整性(Signal Integrity; SI)

板子中不管是跑的方波数字讯号(Digital Signal), 或者是从板面飞上天空的弦波模拟讯号(Analog Signal), 当其等愈来愈快而进入前者的 High Speed 与后者的 High Frequency(如 RF 或 Microwave)境界时, 其波动的振幅(Amplitude, 即工作电压)必须一再的抑低(已从早年的 12V, 5V, 不断下降到 3.3V, 2.9V, 再到 P-III 的 1.5V 以下)。目的就是为不断逼短讯号的 升起时间 (Rise Time,  $t_r$ ), 与减少工作中的发热(500 的 P-III 在 1.6V 时发热即已达 16.8W)。不幸在讯号频率提高与传输速度加快下, 负面效应的电磁干扰(EMI), 射频干扰(RFI), 与其它在各种噪声(Noise)也都相形应势而起日趋严重。

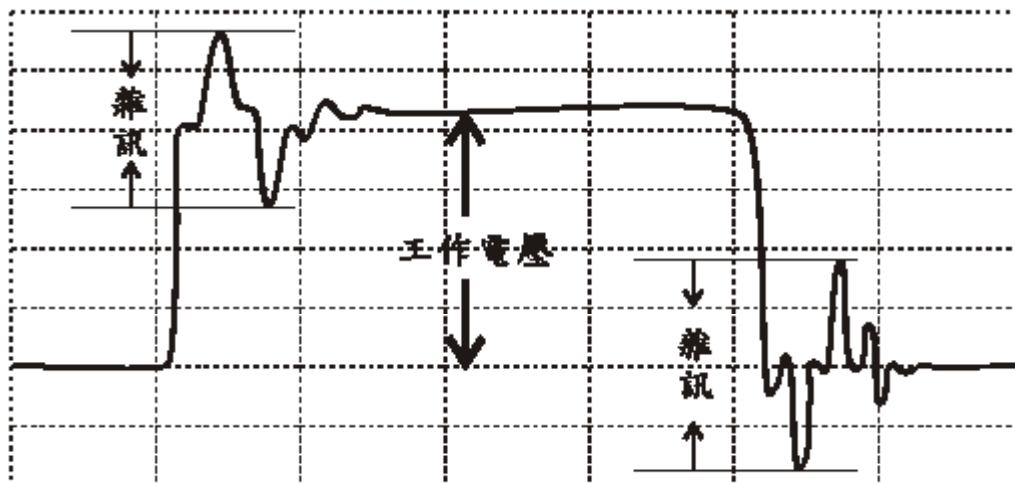


图 3.当方波数字讯号之工作电压愈来愈低时, 其各种噪声(此图中为 Switching Noise)可容忍的限度也将愈来愈小。

而且当讯号的振幅(Amplitude)变小后, 线路中各种寄生(Parasitic)噪声可被忍耐的额度(Noise Budget)也必须要随之缩减, 方不致造成误动作(Mal function)或不能工作。然而一旦噪声限度(Noise Margin)逼小后, 传统 PTH 的电路板将无法再承担良好的传输, 即使勉强行之其所呈现的讯号品质(亦即讯号完整性), 也必然因噪声太多而十分劣化不堪。

### 1.4 讯号之正常传输

- 当导线中流通者是直流电流(D.C)时, 其所遭遇的阻力称为电阻(Resistance), 符号为  $R$ , 其行为规范系遵守欧姆定律之  $R=V/I$ 。
- 当导线中流通者是低频(60Hz 或 120Hz)的交流电流时, 其所遭遇的阻力称为阻抗(Impedance), 符号为  $Z$ 。其数值大小不但与导线本身的电阻( $R$ ) 有关, 而且还另与回路的容抗与感抗有关, 即: 
$$Z = \sqrt{R^2 + (X_L - X_C)^2}$$
- 当传输线中传送的是高频(20MHz 以上)的波动讯号时, 其所遭遇到的阻力另称为特性阻抗(Characteristic Impedance), 符号为  $Z_0$ 。其计算公式可简化为  $Z_0 = \dots$ 。此种高频传输线(指讯号线、介质层、与回归的参考层等三合一之整体说法)所遭遇的  $Z_0$ , 已与导线本身的

电阻无关, 而只与其系统中之电感与电容有关。

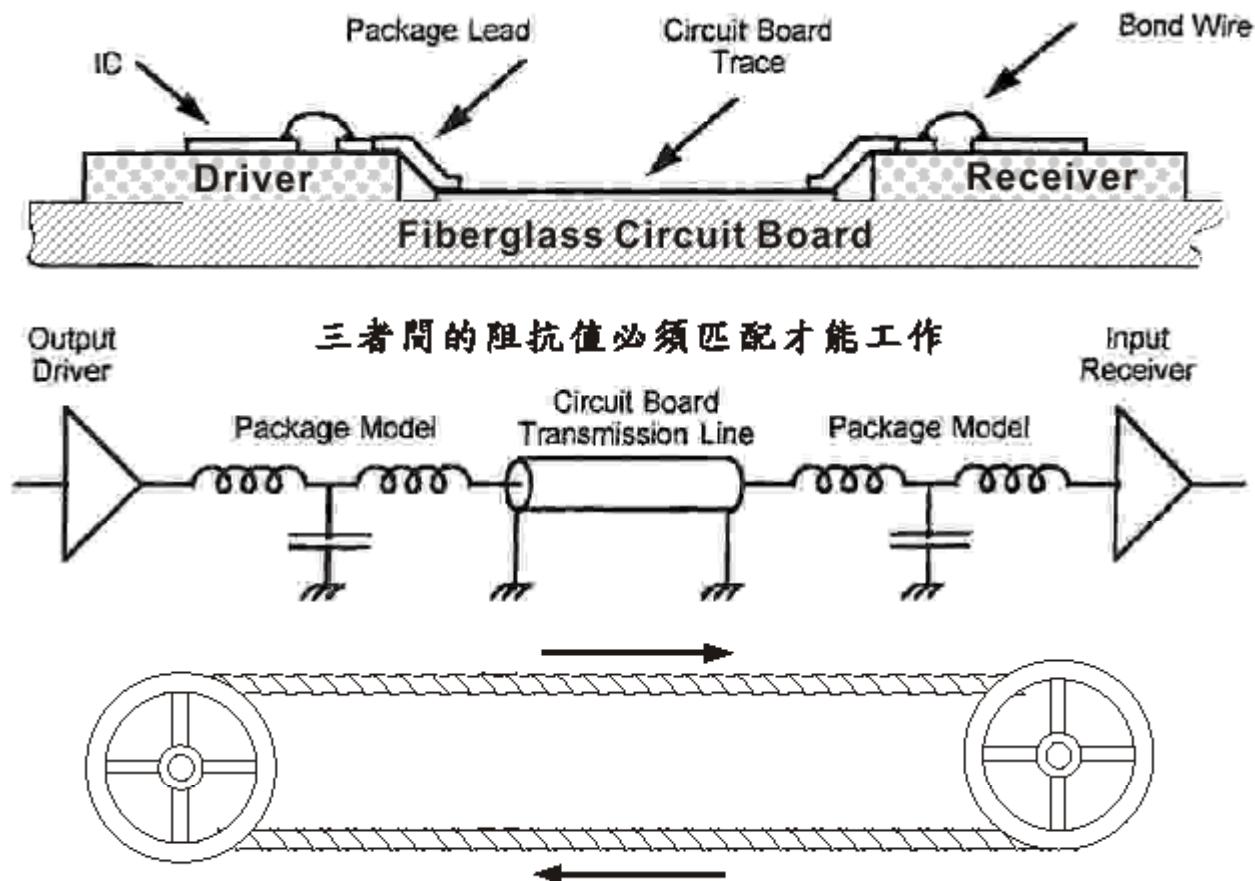


图 4 上图为完工组装板, 其组件间讯号传送及回归的架构图。下为讯号传输中所遇到的阻力称为特性阻抗 ( $Z_0$ ), 与其组成内容之示 ( $Z_0 = \sqrt{L/C}$ )

- 高频讯号在电路板传输线中, 其基本游戏规则是本身的  $Z_0$ , 必须要与“发出端”(Driver)组件的输出阻抗, 以及接收端(Receiver)的输入阻抗, 等三者相互匹配(指若干 $\pm\%$ ), 否则将出现  $Z_0$  不匹配所带来讯号能量的反弹(射)与衰减等不良效应。且工作电压愈低与频率愈高时, 或线路太长超过该逻辑之 Critical Length 成为 Distributed 系统者, 各种反效果将愈容易出现, 而所造成的多样噪声也将愈难处理。

### 1.5 三强棒的能耐

新兴的 HDI 板类, 挟其短线、薄层、与浅孔等三大强棒优势, 而在高速高频的竞技场中大出风头。一般商贾说客业界学者, 凡涉及 HDI 之优点者, 几乎是人人都颇似内行, 一律祭出“轻薄短小电性良好”之口头禅。滔滔之余却鲜有从传输线原理, 与讯号完整性而深入说明者。且各新兴事物与抽象观念对新手们的表达, 图标方法不但比文字叙述容易了解, 而印象与认知也将更为鲜活与深刻。下文中笔者即采用多种图表之快捷方式, 直接深入说明 HDI 三支强棒之高招何在, 又如何能对高速逻辑与高频模拟等讯号, 在电性品质方面做出明显的贡献。

**表1 訊號線長超過臨界長度即用 Lumped變成Distributed**  
**Logic Families/Risetime/Critical Length**

<u>DEVICE TYPE</u>	<u>RISETIME</u>	<u>Critical Length- Inner (Inch/mm)</u>	<u>Critical Length- Outer (Inch/mm)</u>
Standard TTL	5.0 nSec	13.8/350	17.82/453
Schottky TTY	3.0 nSec	8.3/210	10.72/272
10K ECL	2.5 nSec	6.9/180	8.91/226
ASTTL	1.9 nSec	5.3/130	6.84/174
FTTL	1.2 nSec	3.32/84	4.29/109
BICMOS	0.7 nSec	1.9/48	2.45/62
10KH ECL	0.7 nSec	1.9/48/	2.45/62
100K ECL	0.5 nSec	1.36/34	1.76/45
GaAs	0.3 nSec	.81/20	1.05/27

(Calculations made assuming a worse case  $r=4.7$ )

## 二. 布线愈短愈好 The shorter line the better

当逻辑家族的工作电压不断降低, 相形使得升起时间(Rise time  $t_r$ )持续缩短, 而成为高频高速讯号时, 其芯片封装板类与组件组装板类, 所能容忍的噪声额度当然也就随之被一再挤压, 造成各种板类动辄得咎难以讨好。必须在 PCB 传输线(含讯号线、介质层与参考层等三者)制作品质上加倍小心, 避免高速讯号之品质由于硬件之不良而有所损伤。

### 2.1 传输线太长时将造成讯号能量的损失(Loss)与衰减(Attenuation)

传输中讯号能量的不当漏失损失, 会出现三个方向, 亦即在导体本身中发热, 往介质材料中漏失, 及朝空气中射出来。现说明如下:

1. 在导线中遭受电阻之发热而损失
2. 朝向介质材料中的漏失, 称为 Dielectric loss 亦称散失因素(D f)或损失正切。此项性质对数字讯号并不重要, 但对高频模拟讯号则是十分关键。这种讯号能量往板材的损失, 现用一种简单的实验而加以证明。可将无铜的 FR-4 板材与 PTFE(铁氟龙)板材, 同时放入家用的微波炉中, 经一段时间的加热处理取出后, 将会感到 FR-4 板材要比 PTFE 板材更热一些。此即表示 FR-4 的 D f 要大于 PTFE, 因为只有被吸收的微波能量才会进行加热。换言之只有漏失到板材中的微波能量才会转变为热能。相反的涉及到 Dk 介质常数时, 则对数字讯号的品质十分重要, 对高频模拟讯号反倒无关痛痒。Dk 的大小是指传输线中的讯号能量, 被具有偶极矩(Dipole Moment)的极性材料所暂时吸附, 并未转变成为热能而成为真正的损失。
3. 高频讯号的能量也会往空气中损失, 将成为 EMI 与 RFI 式的噪声干扰, 此与布线方式有关(如不可采用锐角转折, 以减少致发生尖端放电等)

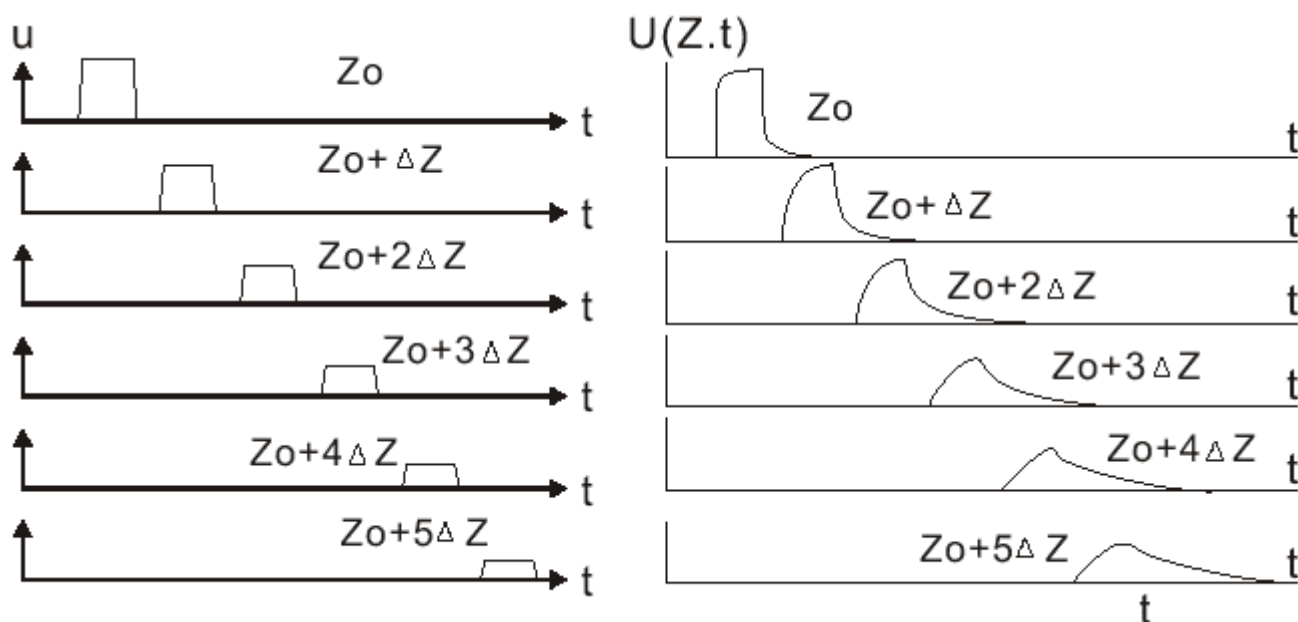


图 5.传输线（含讯号线、介质层与参考层）太长时，将造成讯号能量的衰减，以至接收端得到讯号不正确，无法达成任务。

## 2.2 近距短线可减少反射效应

传输线太长，阻抗匹配之难度加大，容易发生反射噪声，其原因来自：

- (1) 讯号线中的任何缺口、针孔、凹陷与凹点等异常。
- (2) 介质层厚度不均与  $D_k$  不稳定(如玻纤与树脂的差异)。
- (3) 参考层铜面的缺口裂口等。

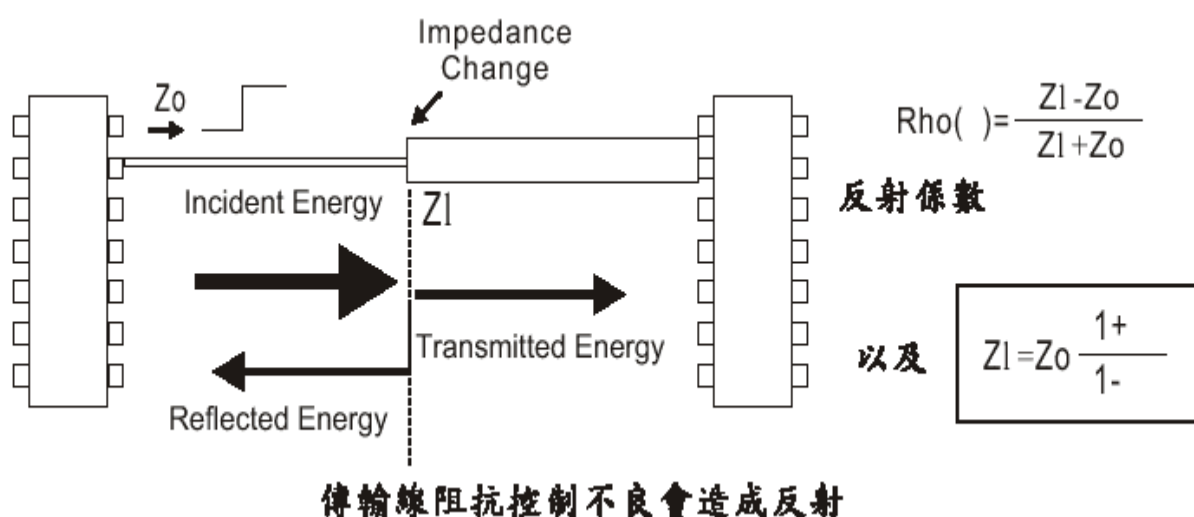


图 6.传输线太长特性阻抗控制不易，尤其讯号线有缺点时常造成反射之噪声与前传之误讯。

## 2.3 并行线变短可减少串讯



当布线网络中之两平行线，其中之一具有讯号传输者称为主动线(Active line)，无讯号但却遭主动线电磁干扰者称为被动线(Victim Line)，造成所谓的近端串讯(Crosstalk)或耦合(Coupling)现象。此种噪声的主要原因，是主动线之磁场对被动线所产生的电感，与主动线之电场对被动线所产生的电容两者所感染。避免或降低的方法有：加装解耦合用的电容器(Decoupling capacitor)或拉宽其间距。但在密集布线下，只好减短其平行长度以降低磁场的互感与电场的互容，或逼薄其介质层而使其串讯能量进入大地而解决之。

太密太长的平行线因磁场的互感(Mutual Inductance)与电场的互容(Mutual Capacitance)而造成串讯(Crosstalk)的噪声(Noise)

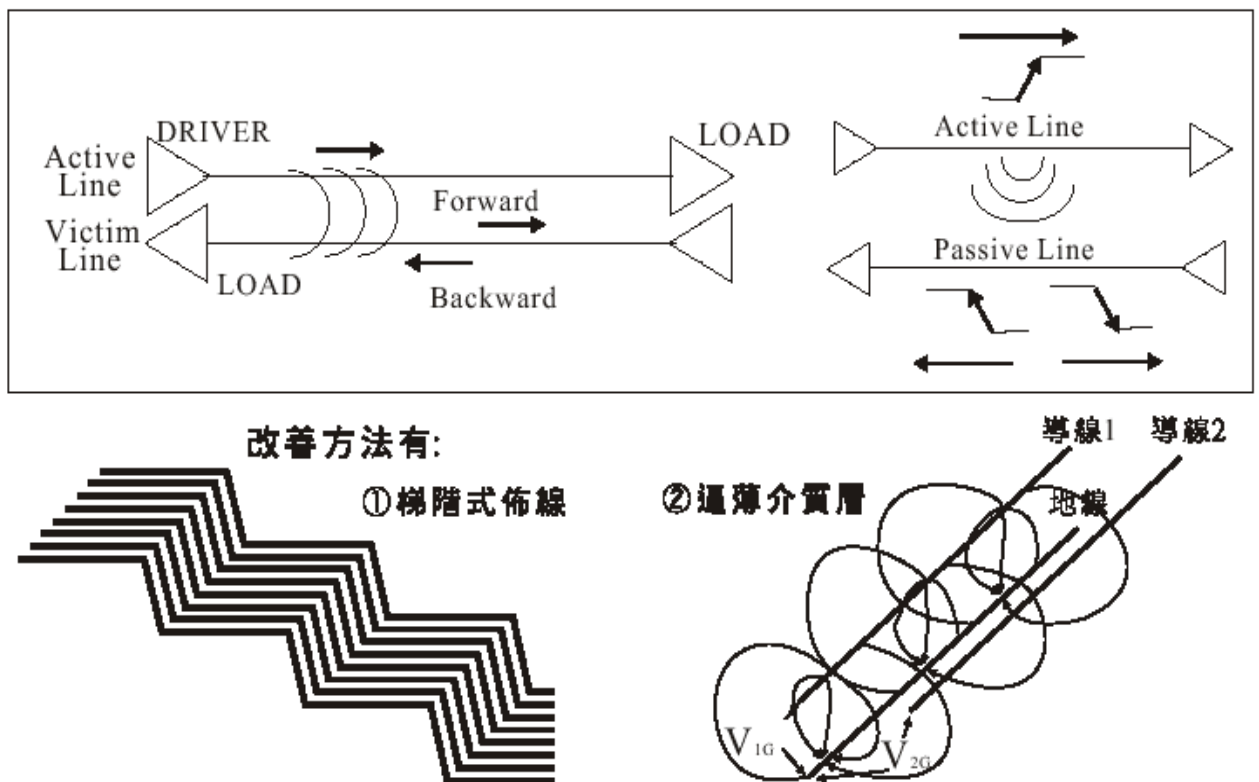


图 7 布线网络彼此平行愈长者，高频讯号之串讯（亦称为耦合 Coupling）愈多，可采梯阶式布线或改做薄板以改善之。

且由下表中各种不同速度的逻辑家族(即 IC 组件)看出，速度愈快者其在 FR-4 板子上可容忍串讯的平行长度也将愈短。

Logic Family	Edge Rate nsec	Transition Length (reflections occur)	Critical Length (crosstalk occurs)
TTL Standard	5.0	29.0"	14.5"
CMOS HC	4.0	23.2"	11.6"
CMOS FACT	2.0	11.6"	5.8"
TTL ALS	1.9	10.9"	5.4"
TTL F	1.2	6.9"	3.4"
ECL 10H	1.0	5.8"	2.9"
BiCMOS	0.7	4.0"	2.0"
ECLinPS	0.5	2.9"	1.4"
GaAs	0.3	1.7"	0.8"

## 2.4 传输线变短正时更好

板面重要总线(Buss Bar)中具有多股代表资料(data)的讯号线, 每一线传送一个位(bit)的讯号, 故必须 8bits 或 16bits 才会组成为有含义的字节(Byte)。当各线长度彼此相等或接近时, 其到达接收端(Receiver)所需的飞行时间(亦即 Delay Time)才不到相差太远, 此种几乎同时达到的良好时机则称为“正时”(Timing)。而各自先来后到参差不齐的不良时机, 则称为“差时”(Clock Skew)。

**组件拉近传输线变短可减少差时(Skew)的困扰**



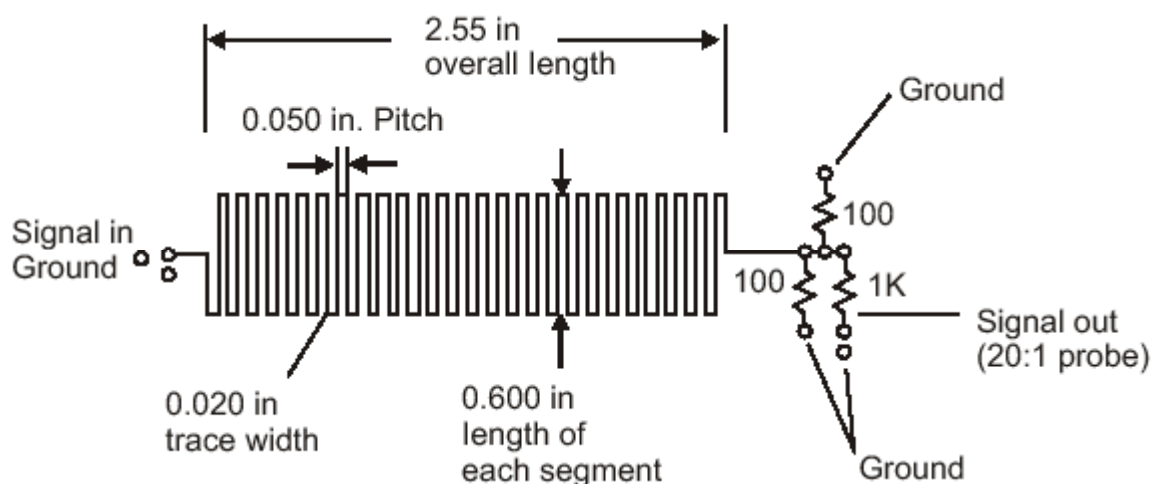
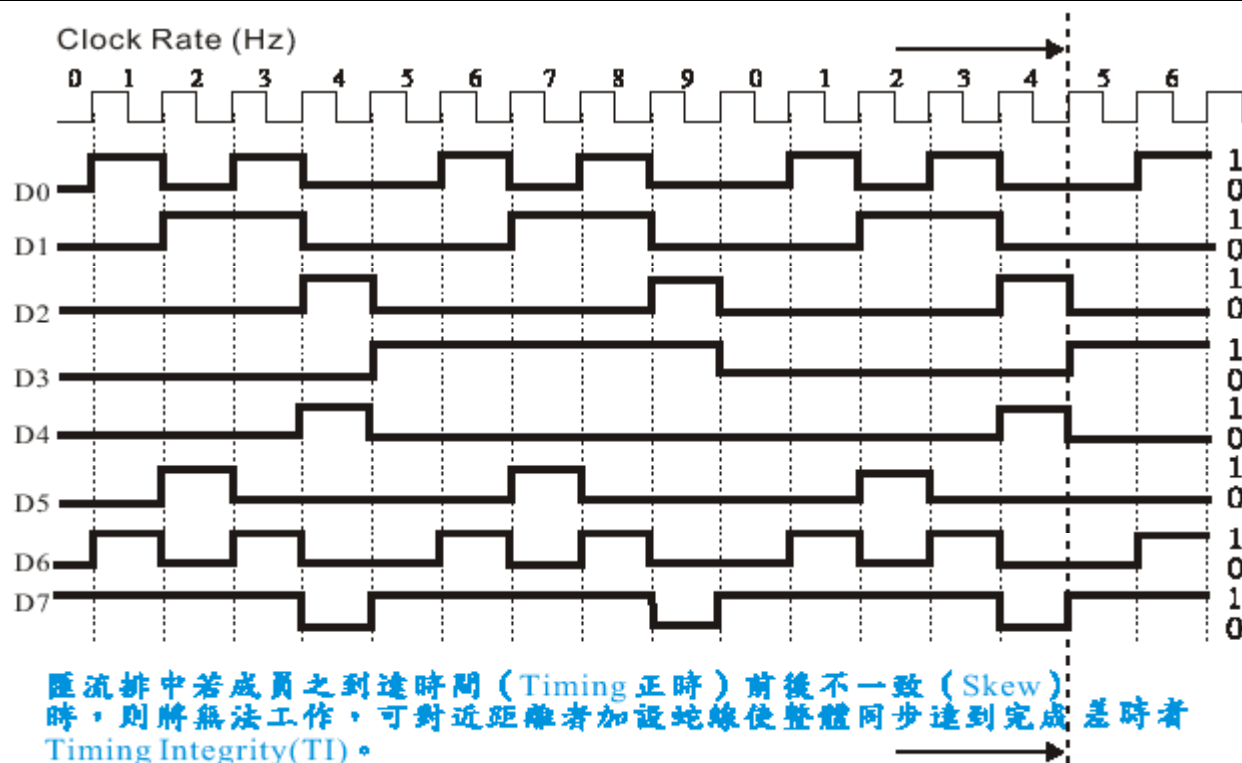


图 8. 此为总线 (Buss) 中 8 条 Data 线所组成的 Byte, 必须同时到达目的地才具有意义。另图系针对近距离 Data 线所刻意拉长的蛇线做法

通常当板面很大布线甚长时, 对较短的讯号线尚可刻意予以蜿蜒加长, 使能与较长讯号线匹配者, 谓之延迟线或蛇线 (Delay line 或 Serpentine line)。如此将减少 Shew 的不良而使得 正时品质 (Timing Integrity) 更好。

## 2.5 传输线愈短被动组件需求愈少

并行线变短耦合减少后, 其近端去除耦合 (Decoupling) 用的低值电容器也将可减少。且当布线变短后, 到达 Receiver 前为了改善终端性质而得与组件匹配, 为了实施各种“终端技术”所应加装的电阻器 (pull up/ pull down) 也可减量。如此大幅减少被动组件之使用下, 不

但可减少焊点,减少布线的麻烦与噪声,而且对成本的降低与可靠度的增强都有极多的好处。

## 2.6 短球脚矮突块之 SI 更好

自从 SMT 板面贴装取代 PTH 孔中插装后,其接脚从双排插脚的 DIP(Dual Inline Package)变成四面伸脚(Gull Wing)或四面勾脚(J-Lead)的 QFP(Quad Flat Package)时,确已使得 I/O 加多与功能增大。然而其等相邻密脚之间,却因电容与电感所造成的额外噪声,对高速与高频讯号而言,此种负面效应仍然有待降低。于是腹底全面格列的球脚式 BGA,就在短、多、方便散热,且电感电容又降低下,成为高功能高功率大型 IC 封装的宠儿。

短球脚 不但对封装体与 PCB 的互连大为有利,且封装体内 短突块(Bump)覆晶(Flip Chip)对载板(Substrate)的短互连,比起打线(Wire Bond)或卷带自动结合(TAB)的长互连而言,在 SI 上当然又要高明多了。

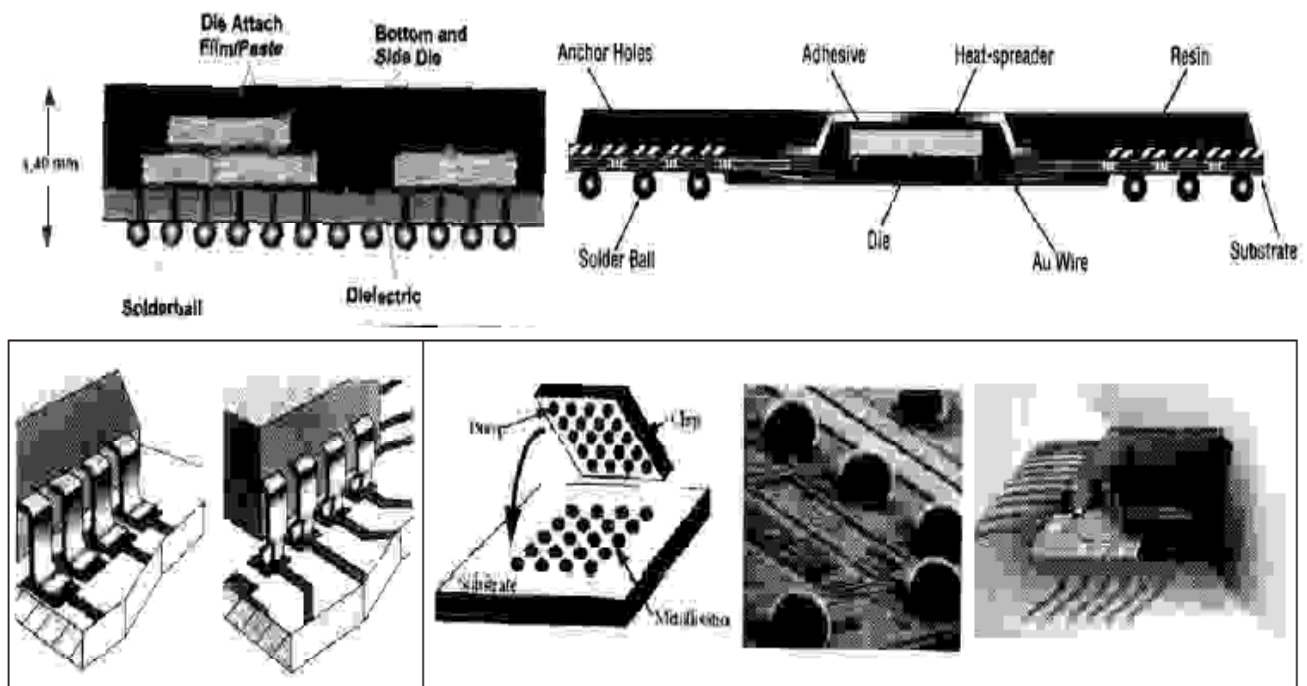


图 9.上左图为 Cavity up 的单晶或叠晶打线封装,上右图为高功能 Cavity Down 的另一种单晶打线封装情形。下左二图为 QFP 之两类引脚在 PCB 板面之组装,下右三图为突块覆晶之封装互连情形。

## 三. 介质层愈薄愈好 The thinner dielectric the better

多层板传输线成员之一的介质层,在高频环境中要愈薄愈好。且为了配合高频传输中的集肤效应(Skin Effect),与减少相邻铜线之平行面积起见,其棱线(profile)高低与铜箔厚度,对密集讯号线而言也都要求愈薄愈好。现分别说明如下:

### 3.1 介质层愈薄, 回路截面积愈小, 讯号完整性愈好

当传输线之介质层愈薄, 讯号线至参考层的距离愈近时, 则讯号线本身的自感(Self-Inductance)也随之降低。此乃因其磁场受到压缩而使得能量进入大铜面所致, 这种为了 SI 更好的基本原理, 是所有设计者与商用软件所必须遵守的规则。

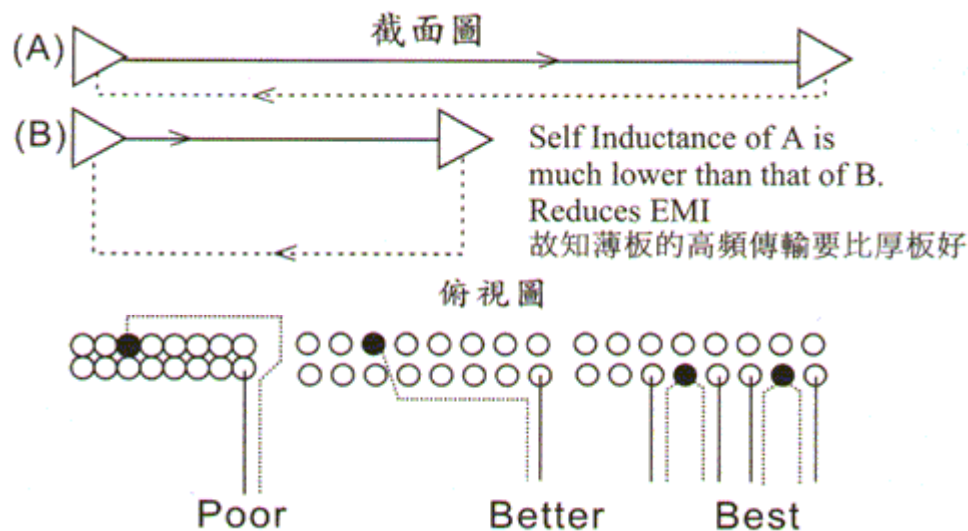


图 10 讯号线及其归途所组成封闭性的回路, 其截面积愈小时, 则所传输的讯号其品质愈好。

通常低频讯号的传输归路, 是由参考层铜面中电阻主宰 (Resistance Domain) 的路程所决定, 也就是选择电阻值最低的路程回家。但高频讯号 (20MHz 以上) 的传输归路, 则是另外选择“特性阻抗” ( $Z_0$ ) 最小处为回家之路。亦即循着讯号线正下方的铜面做为归途, 也就是依照其电容值最大 (由于  $Z_0 = \sqrt{L/C}$ ) 之轨迹奔回。是故介质层愈薄厚度控制愈均匀者, 其 SI 也愈好。

### 3.2 介层变薄串讯减少布线增密

介质层变薄后, 密集并行线间, 高频讯号所带来的电场与磁场均被压缩而导入大铜面的参考层中 (如接地层), 使得彼此间的串讯或耦合, 得以大幅降低。对工作电压不断降低以致噪声容忍范围 (Noise Budget) 一再被挤压之情势, 将会有颇多的正面助益。且由于介质变薄而电容增加的效果下, 对各种高频组件所产生的 EMI, RFI 与 ESD 也都有更好的吸收效果。

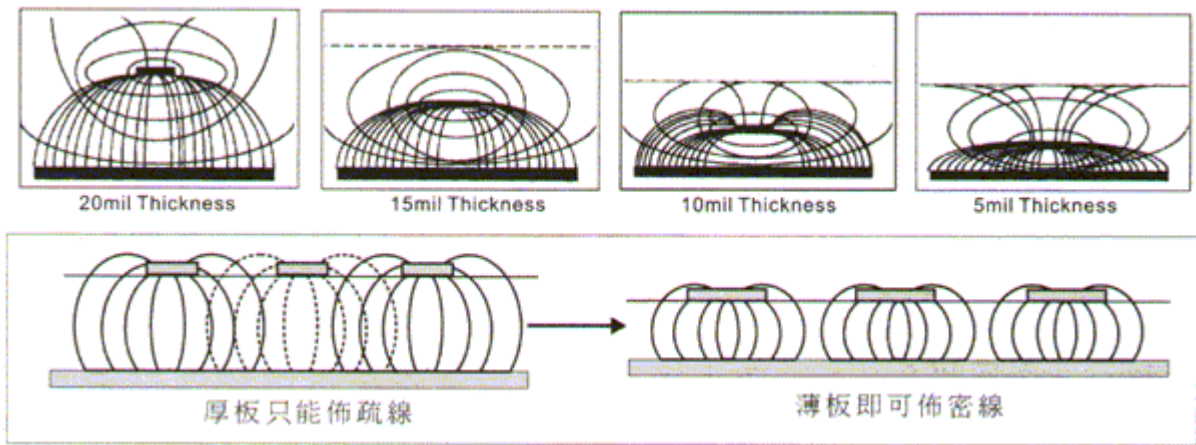
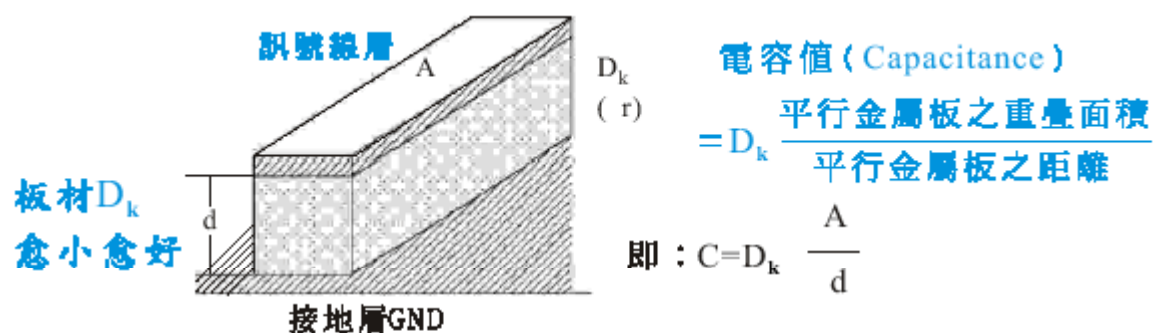


图 12 薄介质层可增加 Microstrip 的布线密度; 且当为薄板之 Stripline 时, 各种噪声 (Crosstalk, EMI, RFI 等) 均将更为减少。

### 3.3 增层变薄且无玻纤, 传输速度变快讯号品质更好

一般 HDI 类的内埋核板(Core), 是由硬挺性(Rigidity)良好的传统 FR-4 板材所生产。而外面的增层则是由无玻纤的 RCC 所贴制。一般玻璃的  $D_k$  为 6, 而纯环氧树脂介质的  $D_k$  仅在 3.0 左右。由 Maxwell's Equation ( $V_p = C / \sqrt{D_k}$ ) 可知, 分配在 RCC 增层中的讯号线, 其之传输速度必将更快。

当介质层之减薄若也使得  $D_k$  同时降低者, 才能使得特性阻抗( $Z_0$ )的变异不大而较易控制。此事实可由微带线(Microstrip)与带线(Stripline)之计算公式中明显得知。 $D_k$  降低的第三个好处是并行线之间的串讯也会跟着变小。



因介質本身所具“極性”之不同, 將出現不同電荷的容存, 科學上以真空或乾燥空氣之介質常數為 1, 現將其理念以圖示如下:

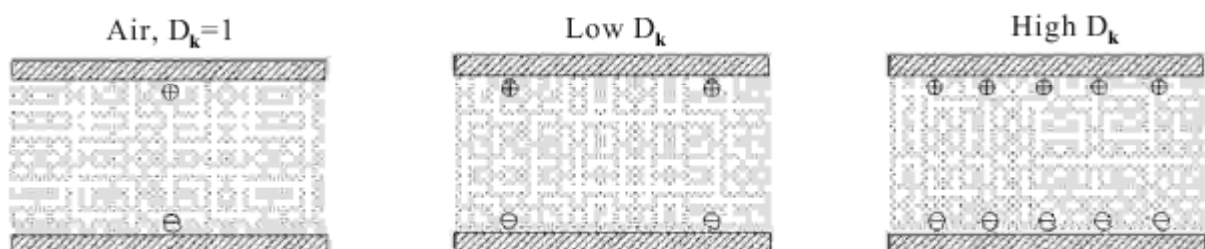


图 13 介质层愈薄介质常数愈小, 则不但噪声愈少而且速度也愈快。

### 3.4 高频传输中会出现集肤效应, 是故讯号线之铜皮棱线也要愈薄愈好

高频传输中的能量大多聚集在讯号线的表皮上, 且频率愈高其集肤情形愈为明显, 称为“集肤效应”(Skin Effect)。因而铜皮之棱线必须要降低, 甚至要改用半加成法(Semi-Additive Process, SAP), 以减轻在粗糙表皮中的讯号损失与发生噪声。即使采用低棱线(Low profile)铜皮制作细线时, 其厚度也要愈薄愈好, 以减少厚线中心无用铜材的浪费。

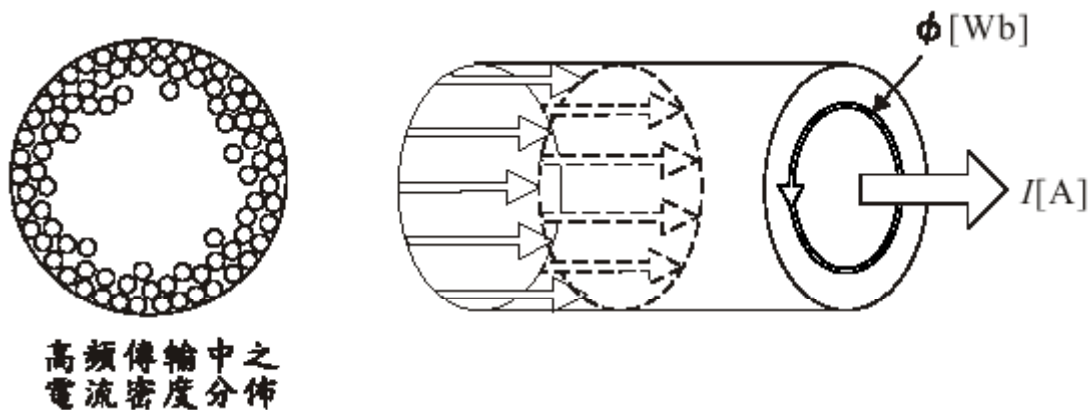


图 14 高频讯号的能量(电流)将趋向分布于线路的表皮, 故铜箔的棱线与蚀刻技术势必将日趋关键。

## 四. 导孔愈浅愈好 The shallower via the better

高频讯号通过 PTH 时, 将会产生颇多的寄生电感与电容(Parasitic Inductance or Capacitance)。早先的设计只为了邻层的互连, 却不得不将其它参考层也莫名其妙的一并刺破, 当然会对讯号电流回归产生不良影响。新式浅通的微盲孔, 系采雷射光所烧打制作, 目前 CO<sub>2</sub> 雷射的成孔速率已达 400 孔/秒, 其成本与品质均已远优于传统的 PTH。现分别以图标方法说明于后:

### 4.1 导孔愈小愈浅则噪声愈少

由下图 15 等效电路中可看出, 做为层间互连用的导孔(Via), 若从传统的 PTH 改为 HDI 式的 Microvia 微盲孔时, 其不良寄生电感与寄生电容值均将大幅降低(平均下降 90%), 进而使得高频之跳换噪声(Switching Noise)也降低很多。且原本只需一、二层间之电性沟通者, 微盲孔的局部层次互连的做法, 当然要远比 PTH 不分青红皂白之一律刺穿, 而在噪声方面改善极多。此外许多不应出现的隔离空环(Clearance, 在高频中会呈现天线的效果)也就随之减少了。



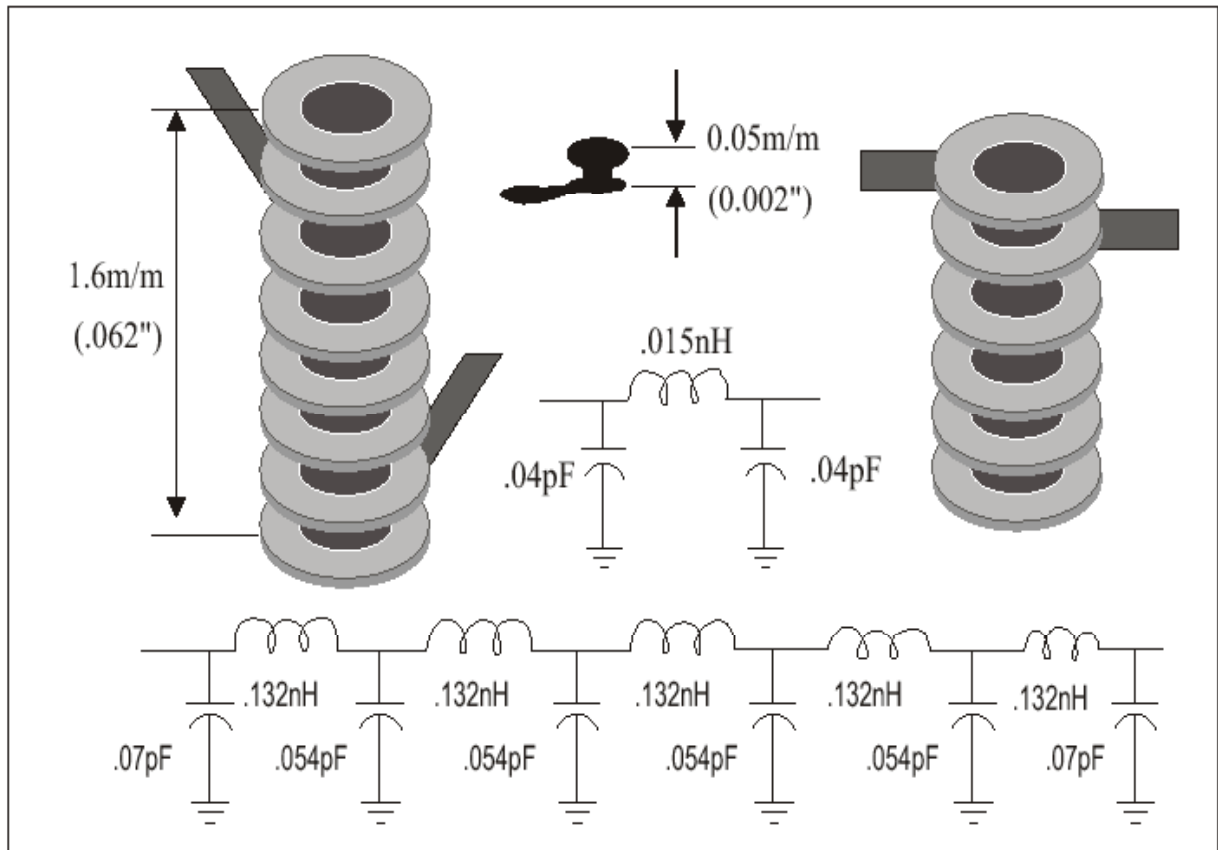


图 15.  $\mu$ -via 噪声少, 对讯号的传输远优于 PTH, 故将来各大小电子产品各重要讯号线, 均将布局在 HDI 的各种 SBU 增层中。

#### 4.2 微盲孔保持参考层完整归路良好

高频讯号的回路是选择讯号线正下方的铜面做为归途, 一旦此参考铜面被 PTH 刺破时, 其回归的电流势必要绕道而行。如此将使得特性阻抗之匹配不良, 而所带来的噪声与讯号不完整, 也就无法避免了。就这方面而言, 微盲孔当然就成了不做第二人想的选择对象了。



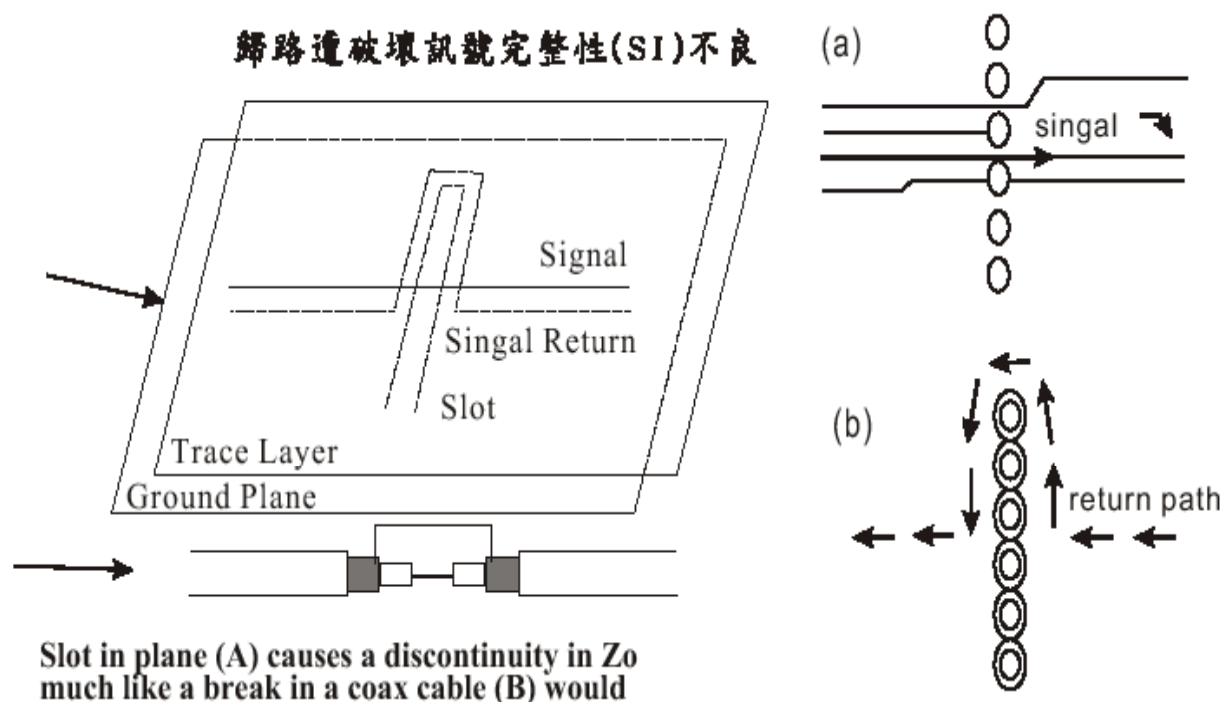


图 16  $\mu$ -via 不会刺破参考层，就 SI 而言也远胜于 PTH。

#### 4.3 垫内设孔，噪声少焊点强

SMD 之板面焊垫(QFP 或 BGA)欲与内层沟通时，当然要制作通孔、孔环、与引线之哑铃型(Dog Bone)互连模式，如此不但浪费板子面积增加品质困难，且讯号完整性(SI)也大打折扣。甚至当焊点面积缩小垫距逼近如 Mini-BGA 或 CSP 者，其下游组装之锡膏印刷、热气熔焊与完工后之焊点强度(Solder Joint Strength)等，哑铃型设计均远逊于 HDI 式的垫内设孔(Via in Pad)。微盲孔所节省下板面以及布线的内埋化，都将使得组件用量增加与产品功能的再增强。

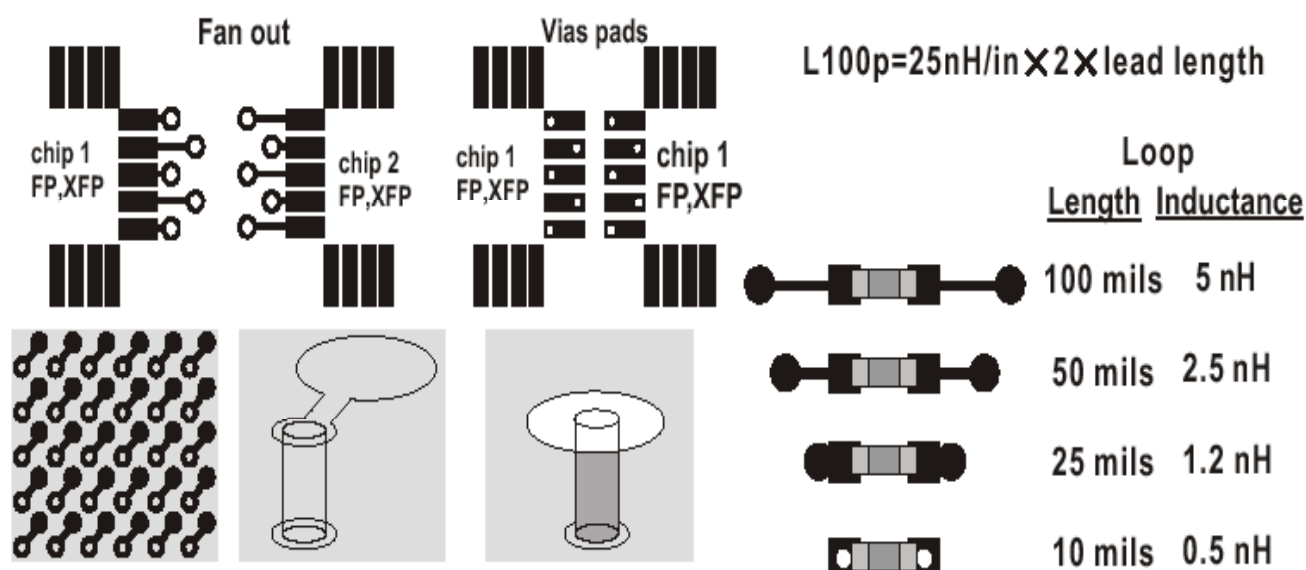


图 17.HDI 的垫内设孔可方便层间互连而有利于 SI, 且节省用地亦更有利于功能的提升与增强。

#### 4.4 浅盲孔填孔容易且 Z 轴膨胀减小

HDI 多层板核板中的各通孔在进行增层之前, 某些高阶封装板已要求其等之塞实填平。甚至削平后孔口树脂的下陷还规定不可超过  $5\ \mu\text{m}$ , 以防高频的讯号的完整性受损。目前此种高难度的做法已逐渐在克服中。但微盲孔的又小又浅, 经由 RCC 中  $60\text{--}80\ \mu\text{m}$  的背胶在真空压合后, 其之完全填平当然比 PTH 容易许多。而另一种电镀铜填平盲孔的做法, 目前也都有不错的成绩。

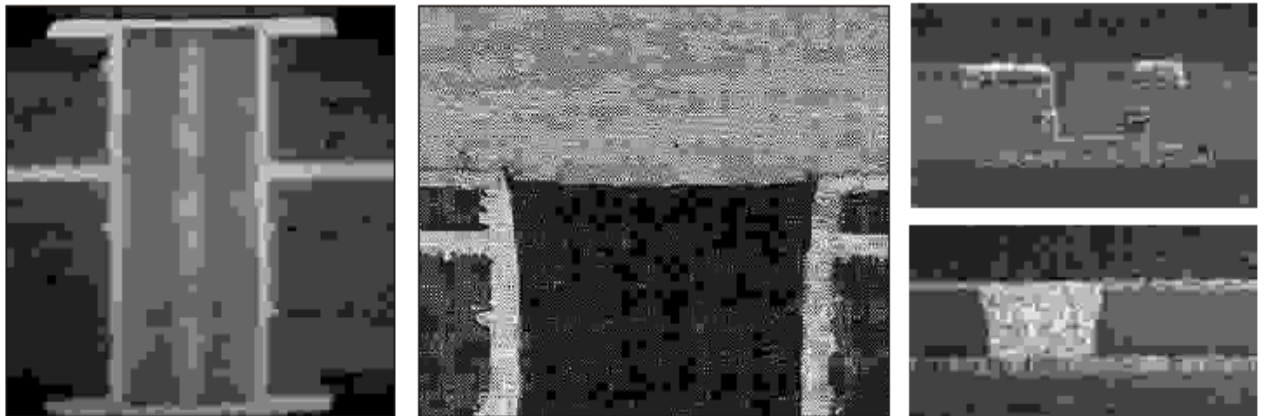
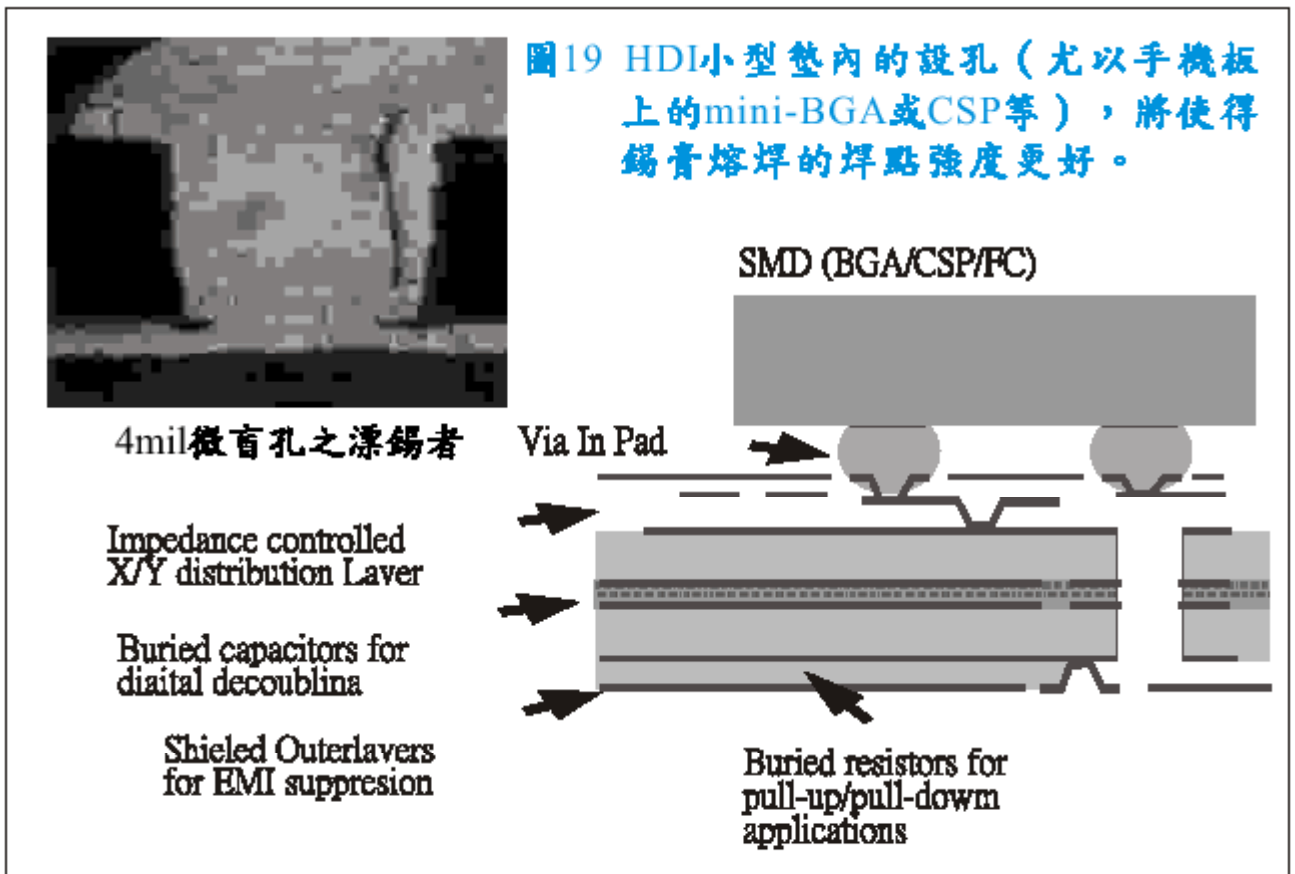


图 18.完善填孔一向技术困难但却日趋重要, 故处于内在的 FR-4 Core 板与外增的 BU 层次, 各种孔类想要填妥当然是愈薄愈小愈好了。

#### 4.5 新式 SMD 垫内微盲孔焊点更好

此等 Via in Pad 由于焊料会向下扎根, 故不但焊锡性较好, 其后续的焊点强度, 也将因抓地性增大而较之平面传统焊垫改善甚多。且由于是浅孔, 其 Z 方向膨胀亦将大幅降低, 故耐温度循环考验之可靠度也大有进步。



## 五. 结论

HDI 逐次增层板的全面开发至今尚不到 5 年，却在封装板与手机板领域中所向披靡，有目共睹。其它如 PDA、数字相机、摄录像机与笔记型计算机，甚至将来的射频板类与厚大主构板等，多多少少都将会引用到 HDI 技术。其中主要原因当然都是为了 SI 的考量，笔者仅以多张简图与数则短文，说明短线、薄板与浅孔在传输线方面的优势，尚盼有助于读者进入情况。谬误之处亦请高明者不吝指正。

