

射頻積體電路設計

Final Project

指導教授：江衍忠

學生：陳文龍

學號：59464302

一、專題名稱

中文專題名稱：變壓器運用於低電壓控制頻率震盪器之研究

英文專題名稱：Low Power CMOS VCO Using Transformer

二、 相關研究發展現況：

在通訊系統中，無論是有線或是無線，都需要穩定可靠的訊號，而這些訊號攸關通訊系統好壞，如射頻端的本地振盪(LO，Local Oscillator)訊號，或是基頻(Baseband)的參考時脈(Clock)。而這些頻率的信號，是由一振盪器所提供，其輸出信號特性要求除了頻率穩定，低相位雜訊(Low Phase Noise)，可調範圍寬外，另是要求低電壓低電流消耗，尤其是目前日益普及的手機，Wireless Lan，Bluetooth 及所有移動式無線通訊系統，此研究目的主要為探討變壓器在VCO電路上之運用，除了達到上述目的外，另研究變壓器運用於VCO設計時之最佳化規則，給予設計依據，以符合低功率消耗，最佳相位雜訊的設計目標。

三、 研究動機：

近年來隨著個人工作、休閒及生活需要，無線通訊市場的迅速成長，各種產品紛紛推出上市，在 ISM Band 運用上有 2.4 GHz (IEEE 802.11b/g)無線區域網路(WLAN)及 Bluetooth 藍芽通訊協定系統，而 IEEE802.11a 則應用於 5.2/5.7 GHz 頻段。另外 GSM 手機頻段為 1.8GHz，不管選擇何種系統規格，都需要利用振盪器產生 RF 信號，以供系統運用。一般而言，壓控振盪器的種類有很多，如環形壓控振盪器(Ring oscillator)、Colpitts oscillator、Hartley oscillator、和 LC-tank 壓控振盪器等。在應用上如超外差式接收機利用振盪器產生 RF 信號並輸入混波器(Mixer)與所欲接收信號產生中頻的 LO 訊號(如圖一)，對於 Near IF 或 Zero IF 接收機架構亦相同，在考量目前系統需求架構下與低相位雜訊之要求所以選擇 LC-tank 壓控振盪器。單對 LC-tank 壓控振盪器來說在不同的規格和整合的要求下也可做適當的選擇，如不同的功率消耗、輸出振幅、面積和相位雜訊在不同架構下其特性呈現出不同的特性，所以架構的選用是很重要的。最近幾年，LC 振盪器在低功率損耗下，有較佳的相位雜訊。然而，其也有一些缺點，如：

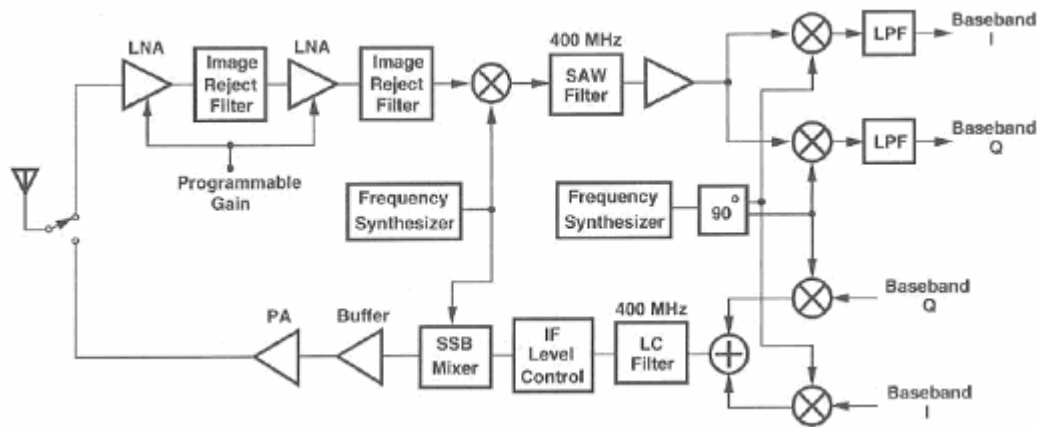
1、和環形振盪器比較，LC 振盪器的可調頻率範圍比較小，再者其輸出頻率可能因為製程變異而偏離所要的範圍。

2、因為電感在晶片中佔據了大面積，因此增加了成本以及良率、品質因素的考量。相反的，環形振盪器只需要較小的面積，可改善良率和成本，而且有偶數的延遲單元，即可產生 90 度和 180 度的相位差輸出。然而其較低的品質因素也使得相位雜訊比較差。

因通訊法規的開放及網路普推波助瀾下，使得世界各國研發設計中心對無線通訊產品的研發更是積極，在傳統的射頻電路都是以 GaAs 或 Bipolar 製程為主，因製程技術及原料成本過高成為限制發展的一大瓶頸，而 CMOS 製程技術卻能將系統整合在單一晶片上與 Baseband 的電路合而為一達成 SOC 之目的。

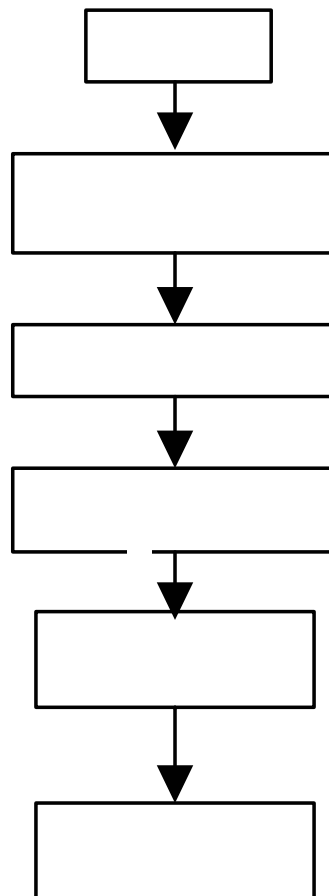
在眾多移動無線通訊系統中，各自有其系統規格要求及基本規定，所以設計者無不運用腦力以提升產品品質及特性，然而對於低電壓低功率要求隨著能源短缺問題，逐漸受到注意，

尤其是在移動無線通訊產品上，所以長待機時間、低功率消耗更是越來越重要。另外對於移動無線通訊產品電壓需求，若能工作於非常低之電壓(低於1V以下)，則可採用單顆電池電壓1.5V，降低成本，所以此LC振盪器採用Transformer取代Inductor，利用Transformer原理，使CMOS工作電壓降低，以達到吾人預期之目的。



圖一 GSM無線接收機系統架構

四、設計流程



圖二 設計流程圖

其細節分述如下：

(1)閱讀資料：包含參考書、paper、standard、論文...來決定電路的架構與規格，並認識電路

中使用的電路技巧。

- (2)電路設計：包含學習 ADS 模擬軟體的使用，了解電路元件的模型以及選取的方法與學習電路測試方法。
- (3)電路佈局：熟悉 layout 軟體如 Cadence 的使用，了解製程相關技術與製程的規定。
- (4)驗證：必備除錯能力，熟悉如何描述 netlist 及熟悉驗證軟體的使用。

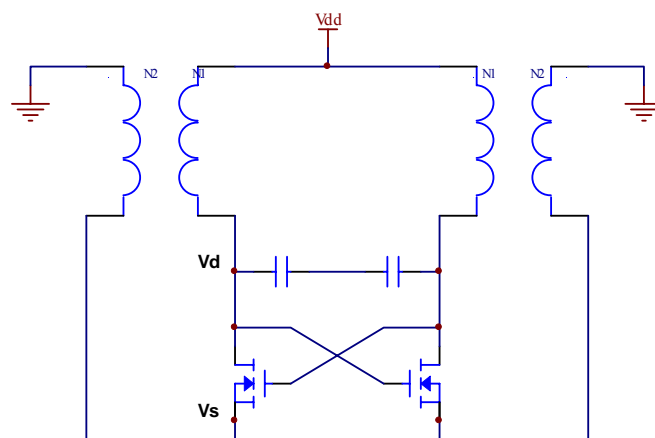
五、設計步驟：

1. 設計注意事項

- 量測時負載為 50Ω ，必須加入輸出緩衝放大器，使用NMOS作緩衝放大器將訊號輸入緩衝放大器。
- 為避免Transformer受到電路干擾影響，所有其他主動元件需與Transformer保持適當距離，且避免走線穿越Transformer。
- Transformer出線須考量與Layout之相關位置,以減少Trace effect.
- Layout上盡量考慮佈局的對稱性。

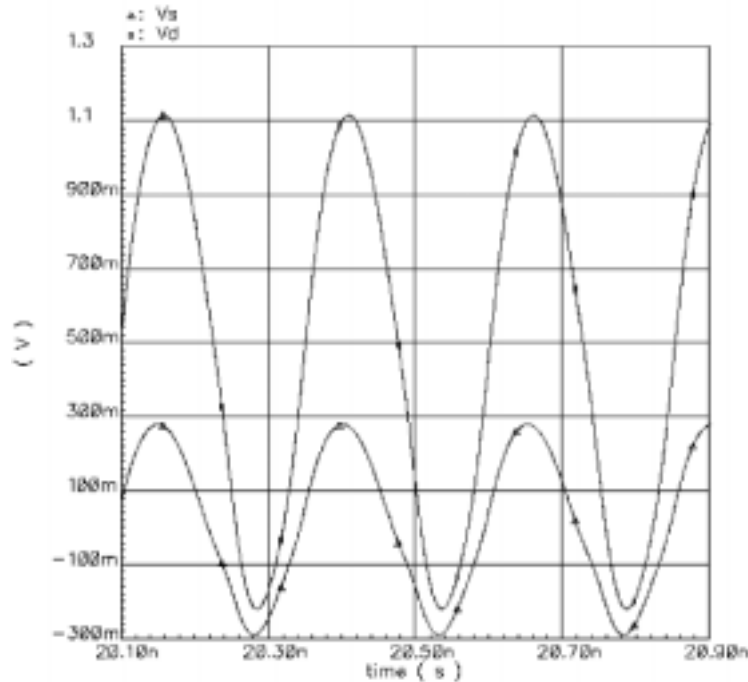
2. 電路基本架構

- 利用兩組Transformer與兩個NMOS組成此VCO電路(如圖三)，Transformer一次測接在NMOS Drain端而二次測接在NMOS Source端。
- Transformer的起始點分別接再NMOS的Drain及Source點。
- 當Transformer產生回授電壓時，Drain點電壓振幅會比供應電壓Vdd更高, 同理Source點電壓振幅也會比GND點更低(如圖四)。
- 這是利用Transformer互相耦合原理，Drain點及Source點的相位相同，所以由Vs產生正相回授電流 $I_s = -g_m V_s$ ，另由Gate端產生之負相回授電流為 $I_g = g_m V_g$ ，所以總和上述兩種電流即為NMOS Drain端之電流。



圖三 VCO 電路圖

- 當輸出振幅增加即表示Phase Noise特性提昇，或所供應之Vdd電壓亦可降低而維持相同之特性規格不變，如此可達到預期之目的。



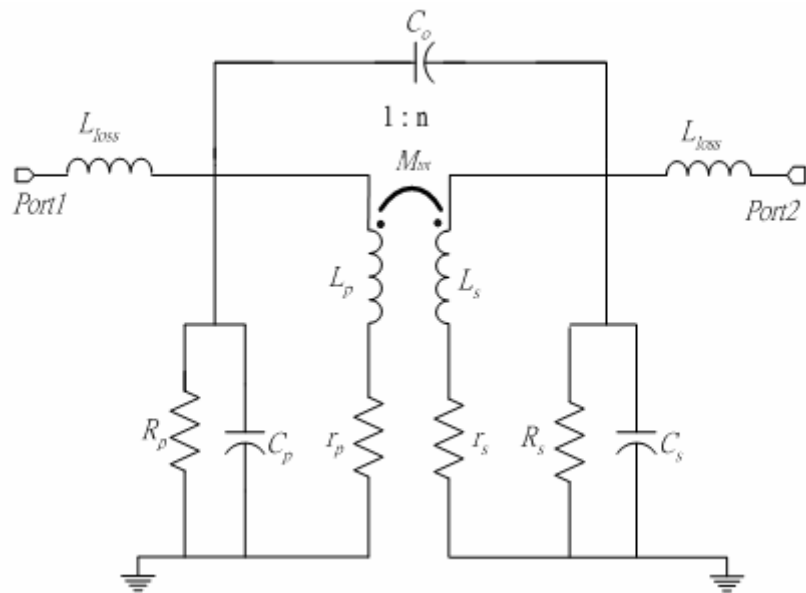
圖四 NMOS 的 Drain 及 Source 端電壓

- 此VCO設計採用Transformer原理，故所供應之電壓可低至NMOS的Vt電壓仍然可以維持動作，而Phase Noise保持原有特性，進而達到低電壓低電流VCO之設計。
- 此VCO振盪頻率選擇設計於2~3GHz，供應電壓Vdd = 0.5V分別供應至Output Buffer。
- Current source串接一電阻，利用外加電源控制偏壓電流。
- 在Transformer二次側負極端接入電流鏡，提供一個穩定的電流源。

3. 變壓器最佳化設計

變壓器在射頻電路設計裡，扮演很重要的腳色，尤其在電壓控制震盪器(VCO)中常用來做為回授亦可用來做共振腔。變壓器的特性幾乎影響整個電路效能。判定變壓器特性有耦合係數(K)值與品質因數(Q)，品質因數又跟線圈繞線電阻相關，電阻越低代表損失越少，以往設計者為了增加高品質因數Q，常使用patterned ground shields[6]、增加內徑，或利用內細外寬的繞線方式[7]，但這些都會使設計上增加難度也增加元件使用面積造成成本增加，變壓器的種類有分為平面型與堆疊型，此次設計採用一般的平面型架構，先利用transformer model找出耦合係數(K)值與初次級圈數比(N)值相對於Phase noise關係，接下來實際設計出我們所想要的變壓器，然後套入電路中模擬來驗證。

依據0.18um CMOS Transformer model[8]，如圖五，其等效參數值如表一，採用1:n Transformer參數，先利用內差法求取在不同耦合係數(K)值及不同初次級圈數比(N)值之所有參數資料，接著用這些資料代入ADS中觀察其相對於不同供應電壓值下之變化情形，如表二至表七。



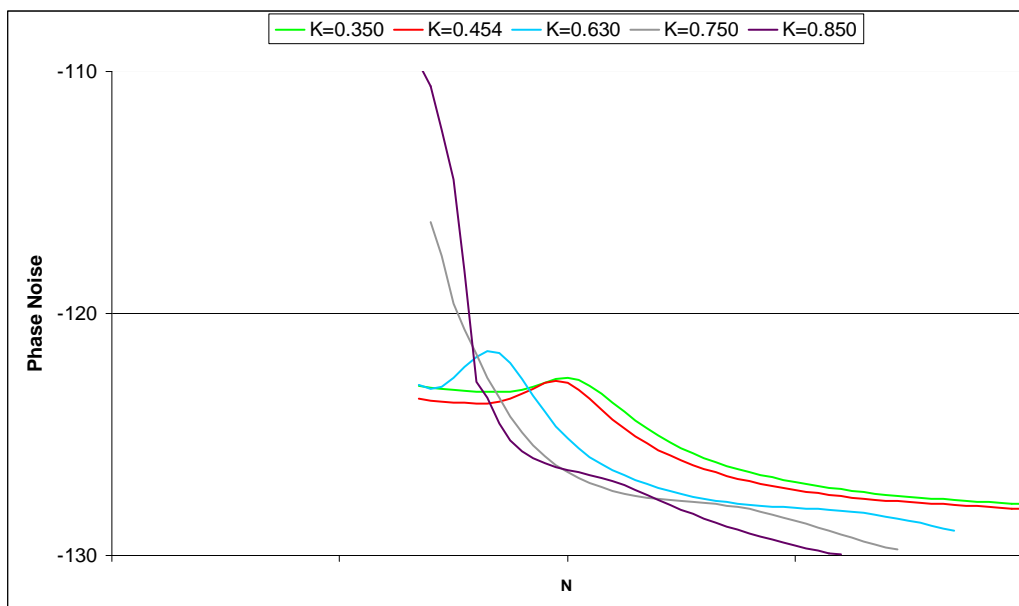
圖五 Transformer model

Type Extracted Parameters	1:1 non- inverting transformer	1:1 inverting transformer	1:n transformer
L_p (nH)	2.346	2.346	2.346
L_s (nH)	2.346	2.346	0.5
M_{xy} (nH)	1.578	-1.578	0.48
K	0.672	-0.672	0.454
N	1	1	2.11
r_p (Ω)	1.94	1.94	1.94
r_s (Ω)	1.94	1.94	0.8
R_p (Ω)	1300	1300	1300
C_p (fF)	36	37	36
R_s (Ω)	1300	1300	158
C_s (fF)	36	36	48
C_o (fF)	497	123	330

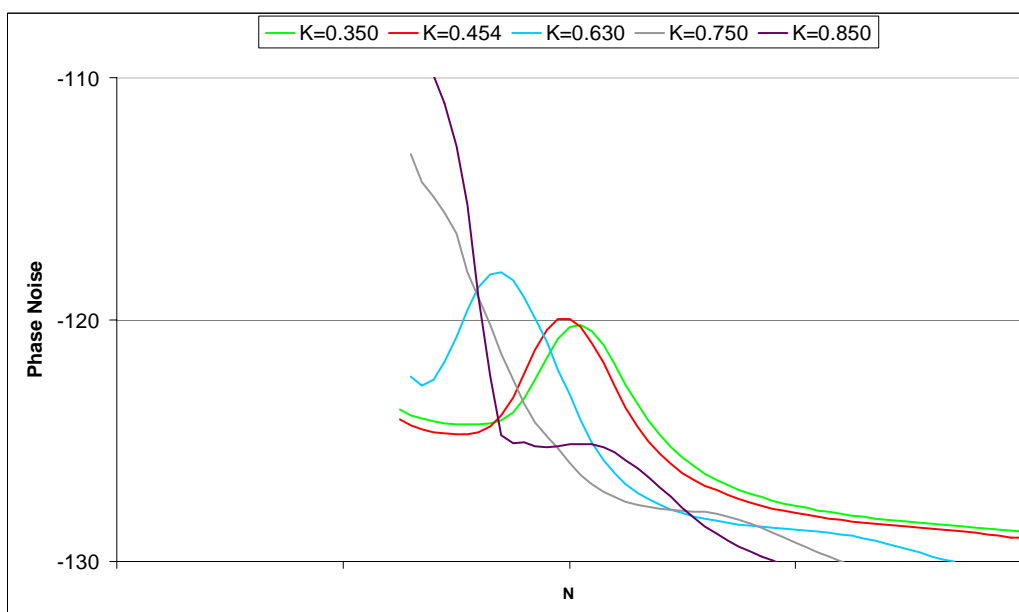
表一 Transformer model 參數表

由下列圖表可歸納幾項重點，

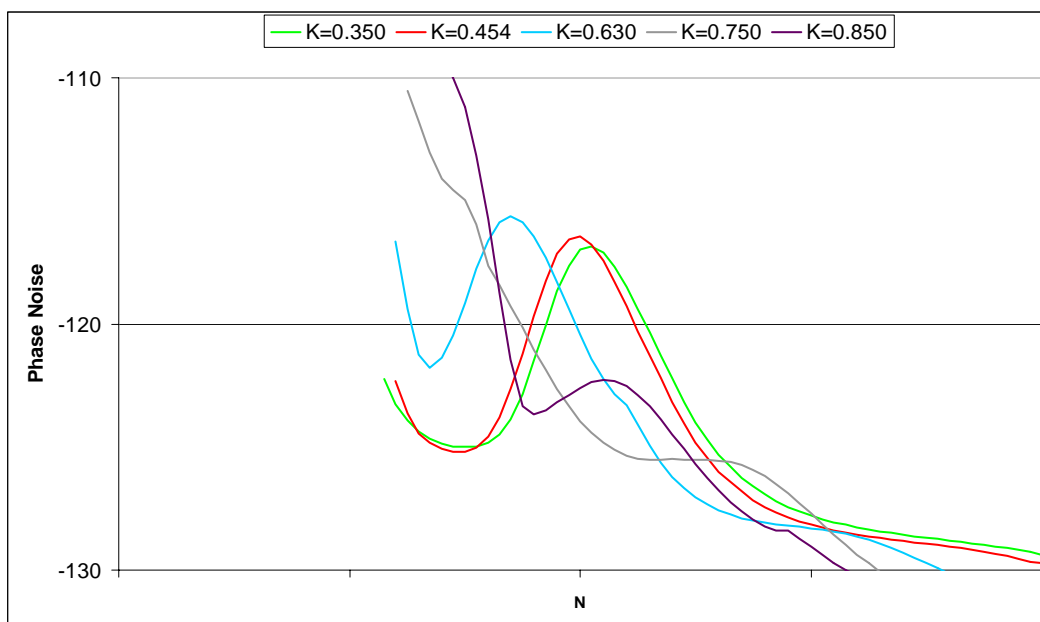
- 變壓器VCO較適合設計於低供應電壓架構。
- 當初次級圈數比小於2時，K值不可太大，反之若N大於2時，K值越大則相位雜訊越好。
- 初次級圈數越大則振盪頻率下降。
- 大供應電壓下其最佳點位於N=1.5或N>4。
- 根據上述選擇變壓器規格為，N>2，K值至少要大於0.6以上。



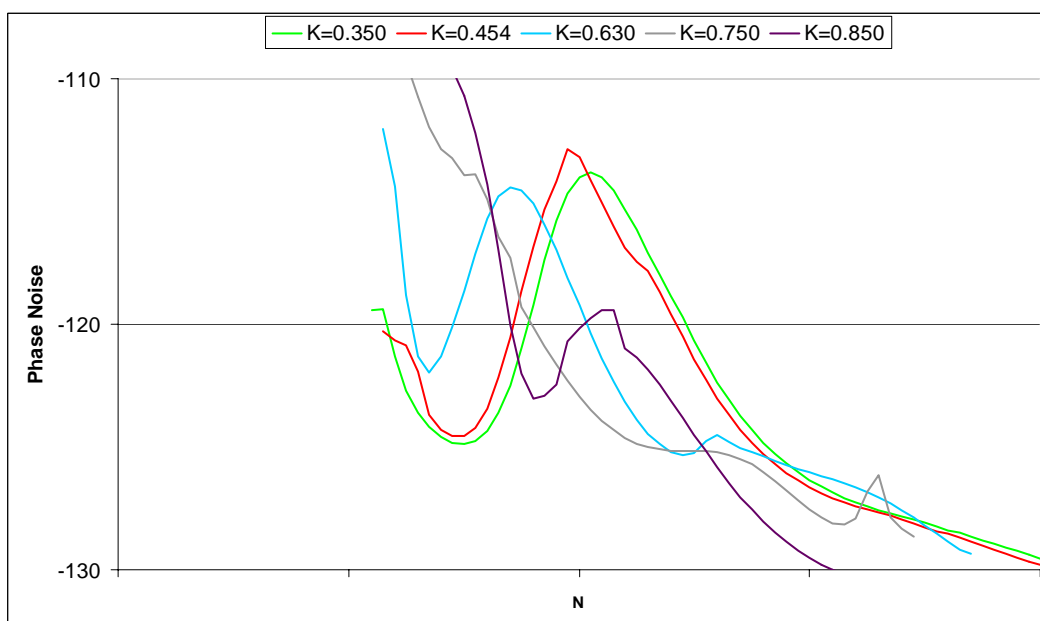
表二 Vdd=0.5V 時之 Phase noise



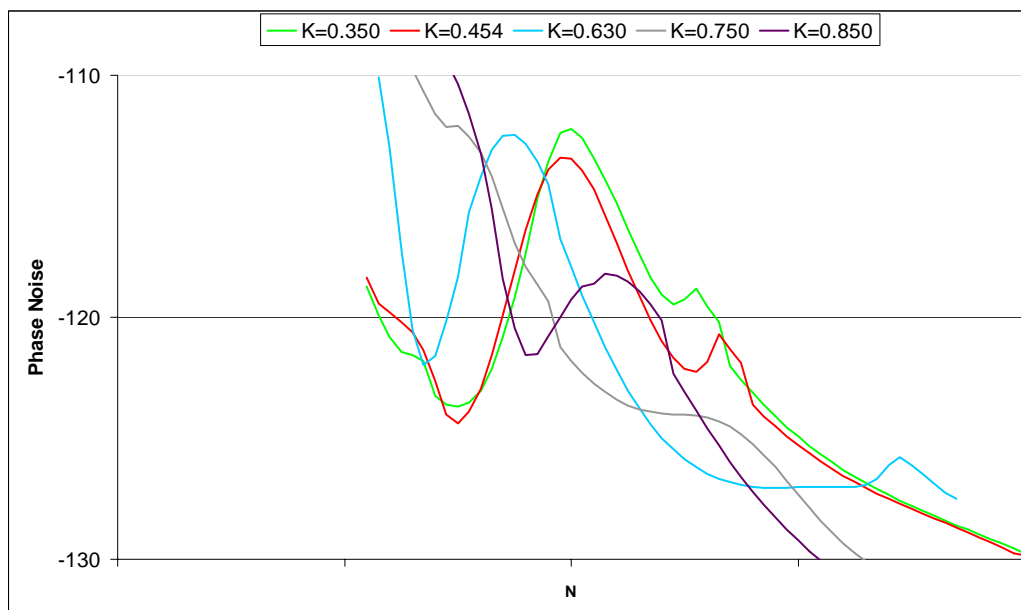
表三 Vdd=0.55V 時之 Phase noise



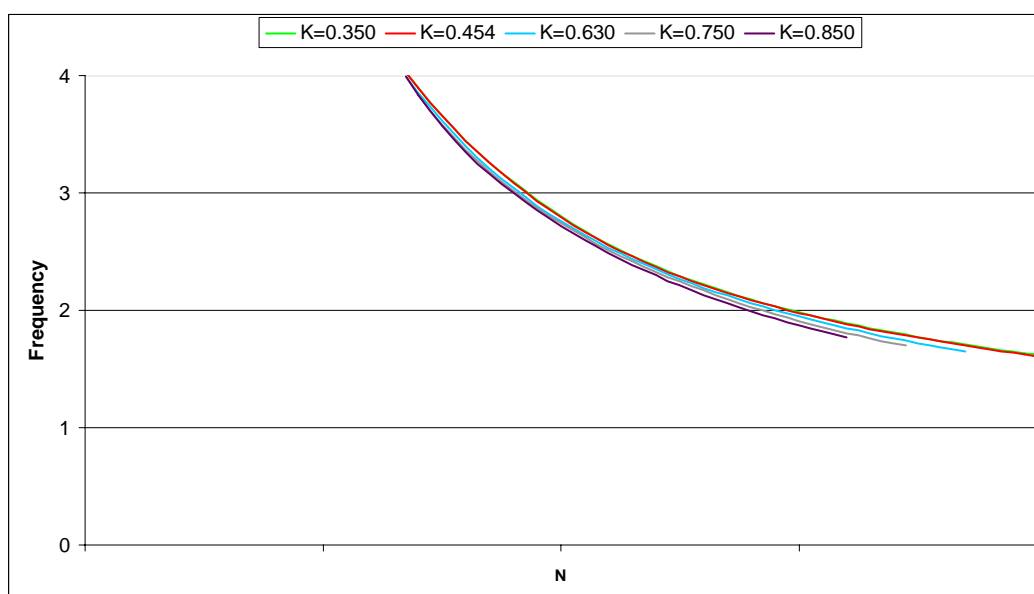
表四 Vdd=0.60V 時之 Phase noise



表五 Vdd=0.65V 時之 Phase noise



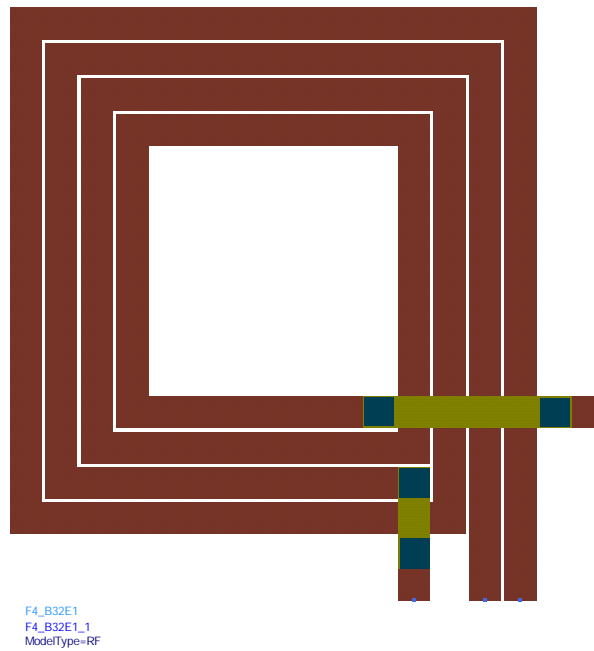
表六 Vdd=0.7V 時之 Phase noise



表七 N 與頻率關係表

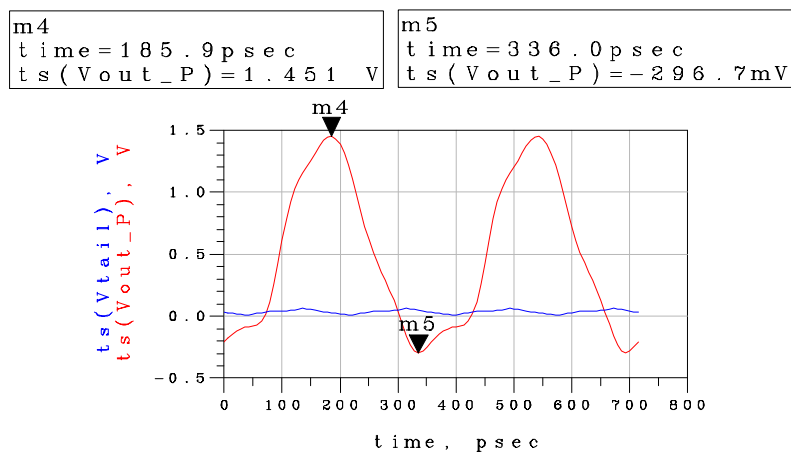
4. 變壓器 Layout

- $K=0.652$ 。
- $N=2.183$

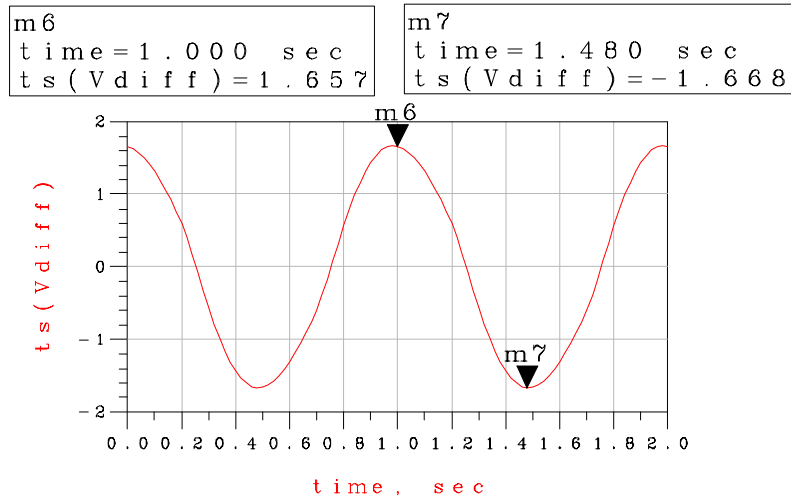


圖六 Transformer Layout

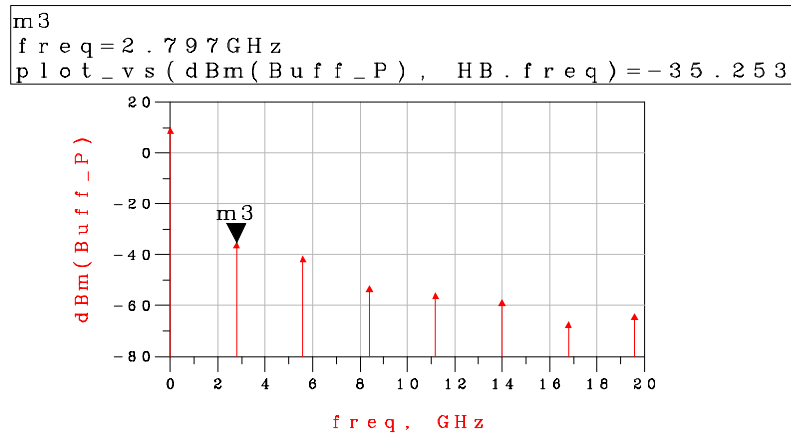
六、 模擬結果：



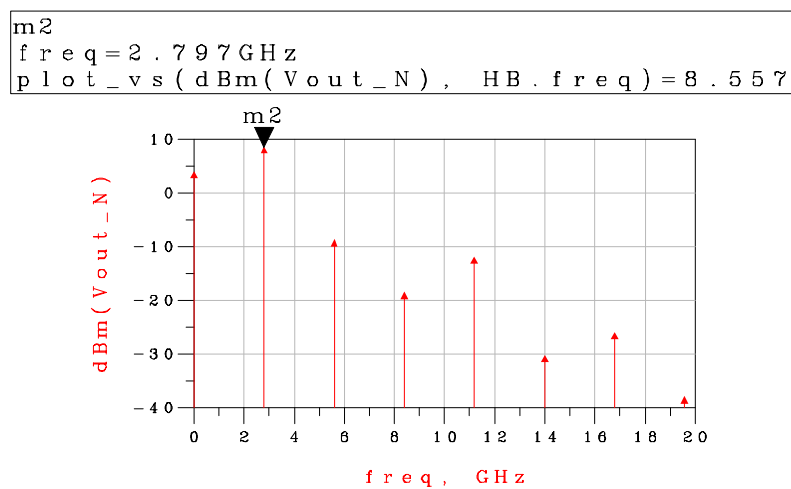
Max. Amplitude = 1.451V @2.797GHz
Min. Amplitude = -296.7mV @2.797GHz



Differential Amplitude = $\pm 1.657\text{V}$ @2.797GHz



Output Power = -35.253dBm @2.797GHz (without buffer)

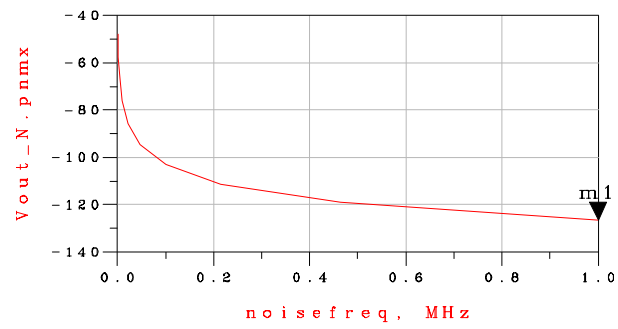


Output Power = 8.557dBm @2.797GHz (with buffer)

```

m1
indep(m1)=1.000E6
plot_vs(Vout_N.pnmx, noisefreq)=-126.401

```

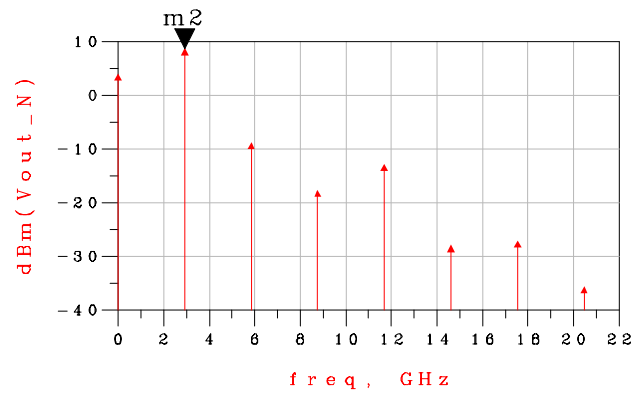


Phase Noise = -126.401 dBc/Hz @2.797GHz

```

m2
freq=2.922GHz
plot_vs(dBm(Vout_N), HB.freq)=8.640

```

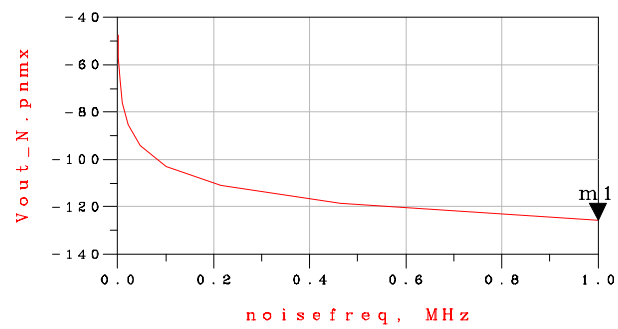


Tuning Range = 2.797GHz ~ 2.922GHz

```

m1
indep(m1)=1.000E6
plot_vs(Vout_N.pnmx, noisefreq)=-125.789

```



Phase Noise = -125.789 dBc/Hz @2.922GHz

- 預計規格列表

2.4GHz Transformer VCO at Vdd=0.5V (TSMC 0.18um)	
Vdd	0.5V
VCO core Bias Current	2.36mA
Power consumption	1.18mW
Tuning range	2.797GHz ~ 2.922GHz
Phase noise	-126.401dBc/Hz@1MHz (Vctrl=0.1V&2.797GHz)
Output power	-35.253dBm(unbuffered), 8.557dBm(buffered) @2.797GHz

表八. 預計規格列表

- 製程變異之模擬特性比較

Process Variation	SS	TT	FF
Vdd	0.5 V		
VCO core Bias Current	0.984mA	2.36mA	5.44mA
Tuning range	2.794GHz ~ 2.929GHz	2.797GHz ~ 2.922GHz	2.796GHz ~ 2.919GHz
Phase noise	-125.297dBc/ Hz@1MHz Vctrl=0.1V & 2.794GHz	-126.401Bc/ Hz@1MHz Vctrl=0.1V &2.797GHz	-125.953Bc/ Hz@1MHz Vctrl=0.1V &2.796GHz
Output power	7.887dBm (buffered)	8.557dBm (buffered)	8.947dBm (buffered)

表九 TT、FF、SS 製程變異之模擬特性比較

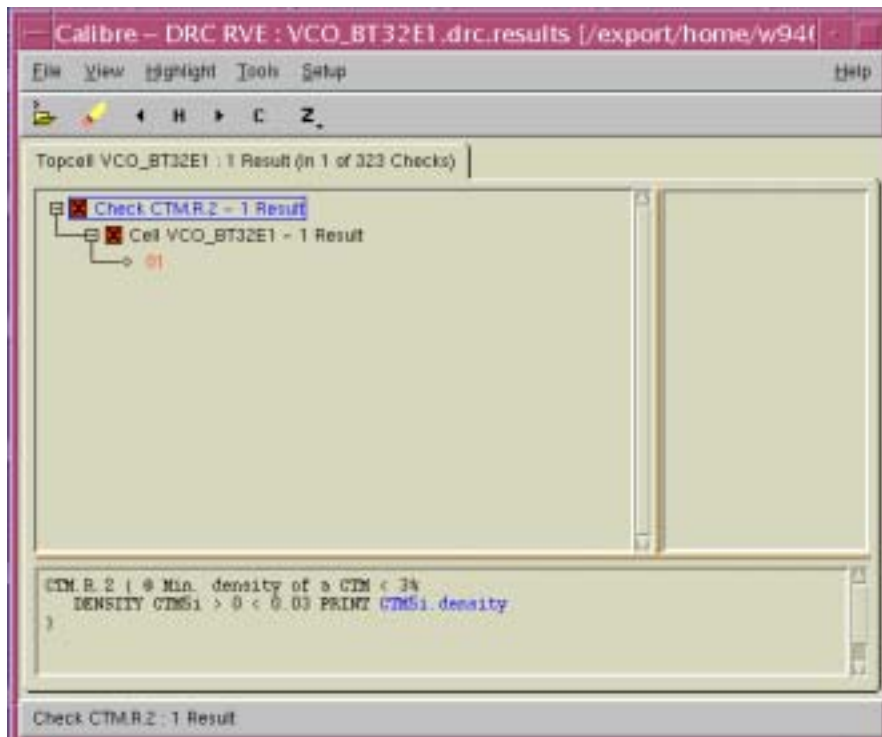
- 模擬與其他篇paper比較

	[1]	[2]	[3]	[4]	This Design
Power Consumption (uW)	230	300	1000	35000	1180
Supply Power (V)	1	1	N/A	2.5	0.5
Oscillation Frequency (GHz)	0.4	1.9	3.6	1.7	2.7
Tuning Range (MHz)	4	0	25.2	110.5	125
Phase Noise @1NHz (dBc/Hz)	-118	-140	-100	-142	-126
Processor	SMD inductor	FBAR resonator	Silicon on anything	BiCMOS	0.18CMOS

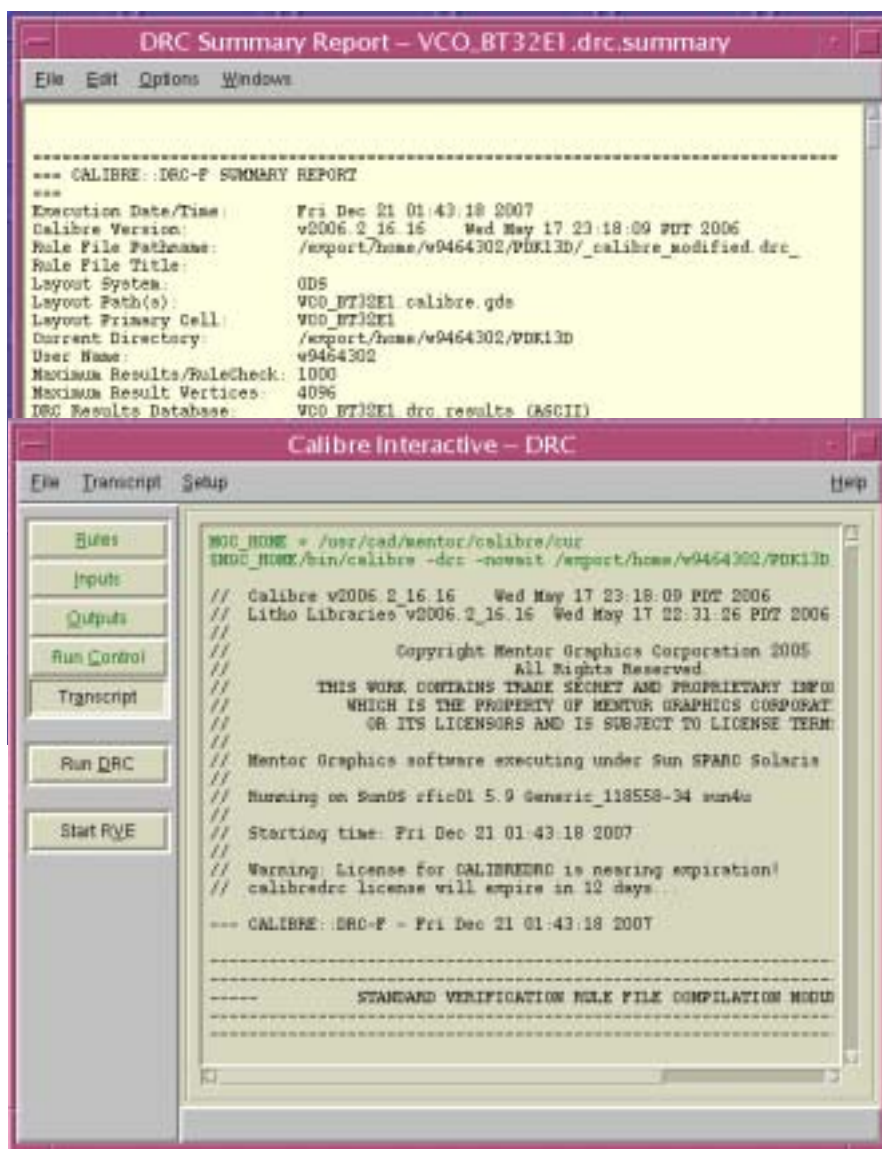
表十 Paper Review

七、佈局驗證結果錯誤說明

1. DRC 驗證結果

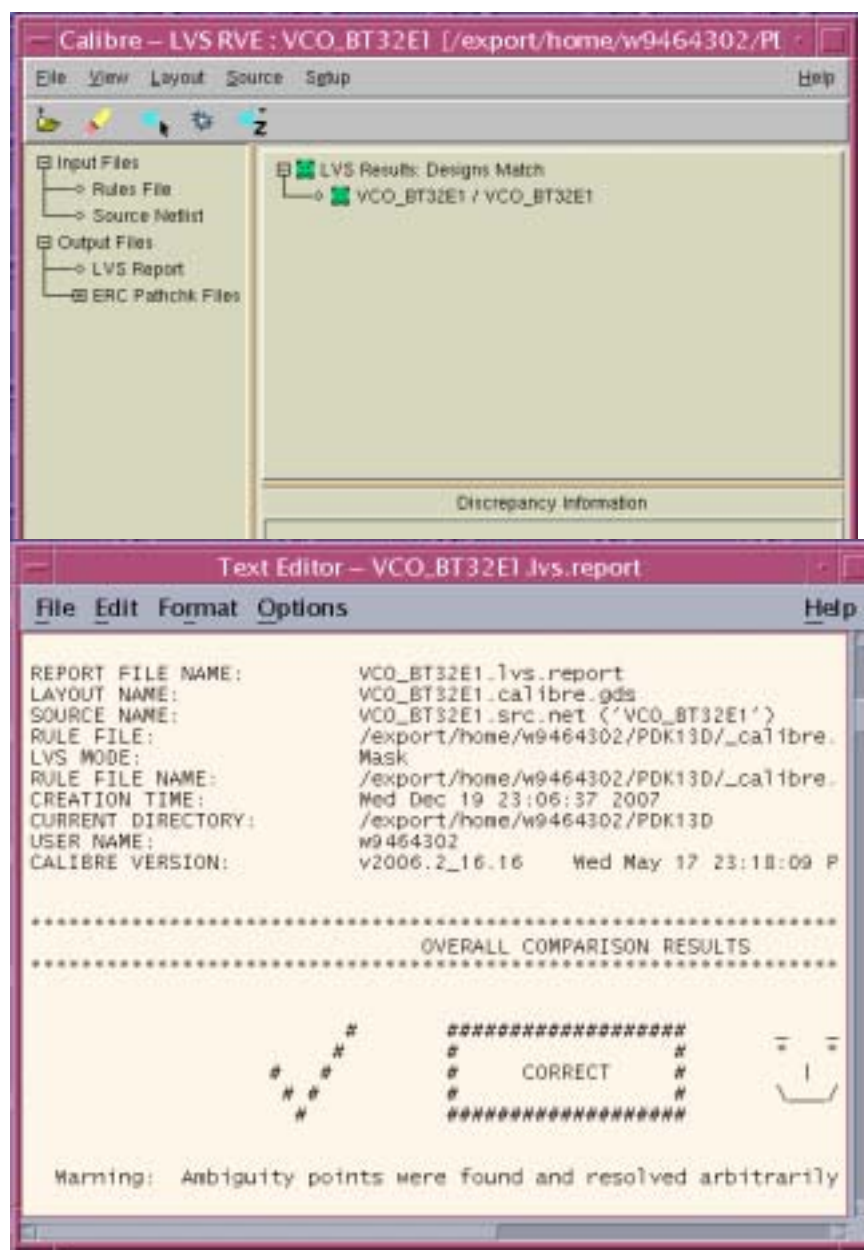


- 此項CTM.R.2錯誤為系統假性錯誤，因在系統中無此層之定義，所以忽略之，其餘DRC items皆正確。



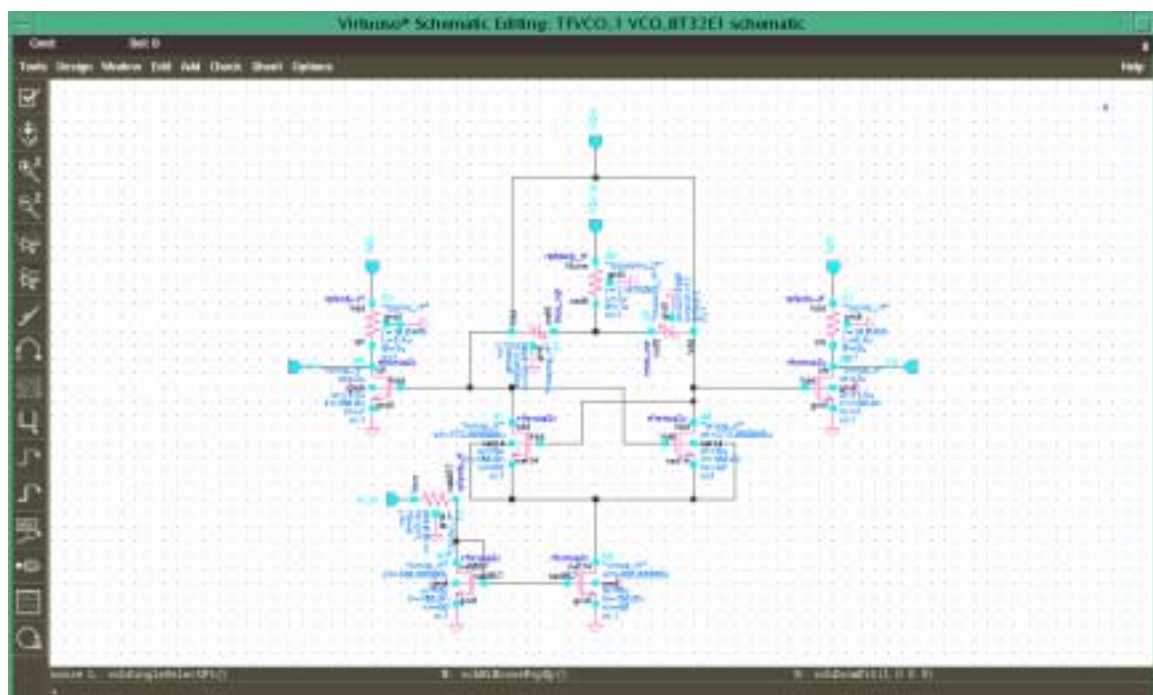
- 驗證結果為驗證無誤。

2. LVS 驗證結果

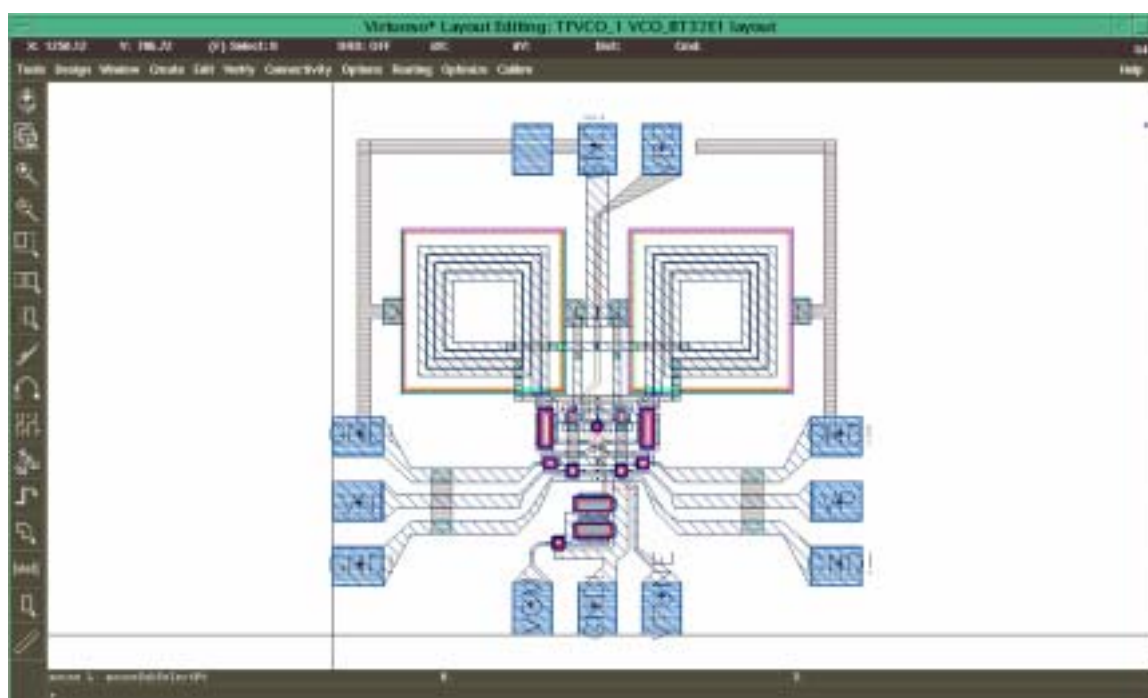


- 由於本電路有使用電感，而netlist檔無法正常的認出電感，所以在比對時將電感拿掉，這樣不影響比對的正確性。
- **驗證結果為驗證無誤。**

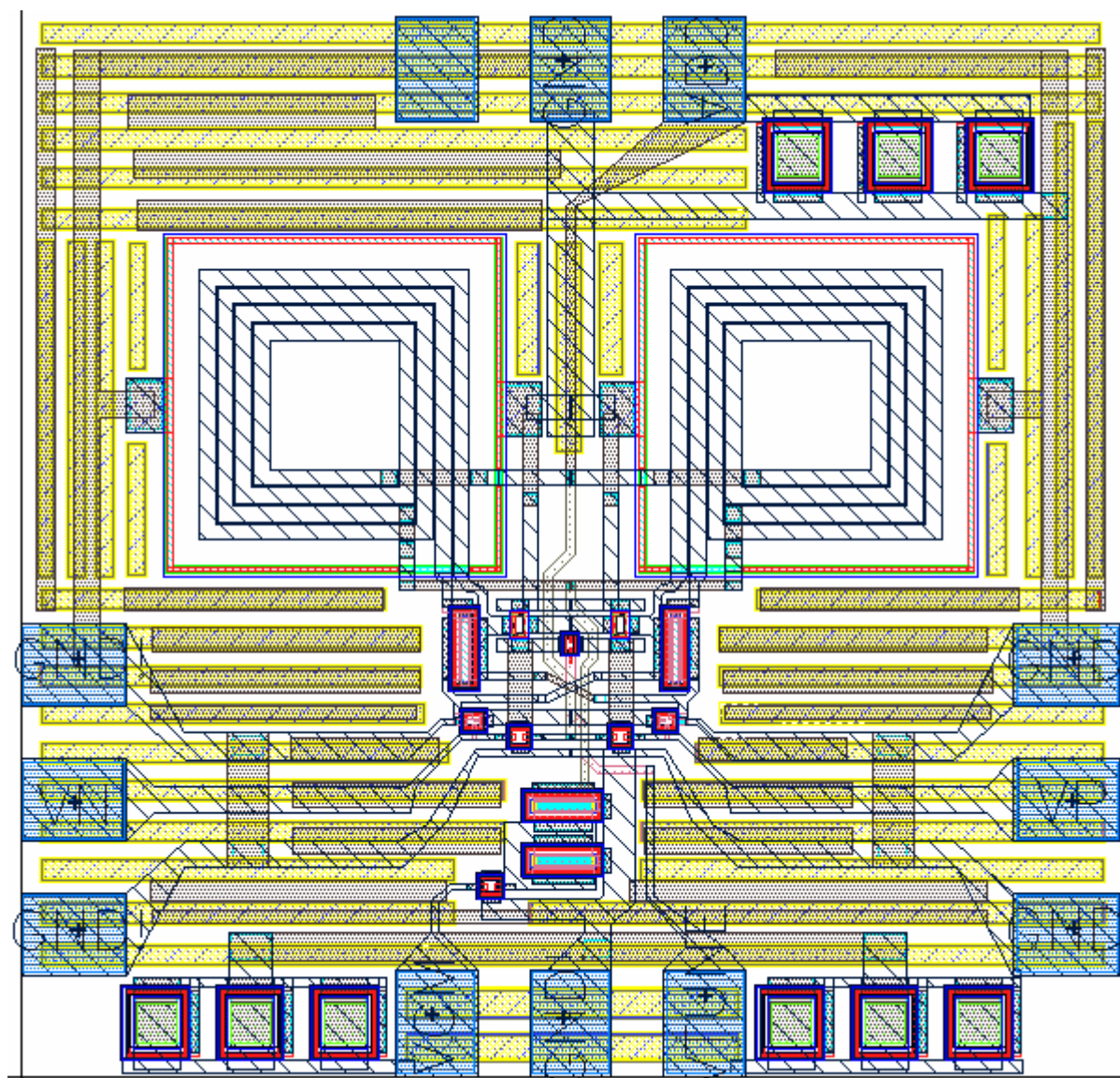
3. 線路圖



5. 佈局圖



6. 整體佈局圖



*** Chip Features***

CKT name : 變壓器運用於低電壓控制頻率震盪器之研究

Technology : TSMC 0.18um 1P6M

Package : 無

Chip Size : 0.8178 mm x 0.7887 mm=0.64499886 mm²

Transistor/Gate Count : 6 顆 NMOS

Power Dissipation : 1.18mW

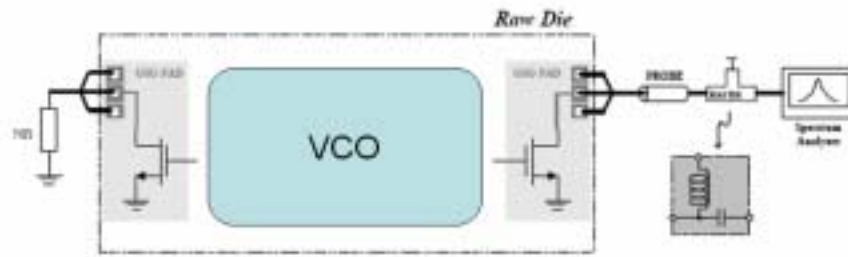
Max.Frequency : 2.9GHz

CAD Tools : ADS

Testing Results ☐function work ☐partial work ☐fail

八、測試考量

在量測方面使用 GSG RF 針做 on wafer 量測，即量 VCO 的一端輸出，而另一端則接上 50Ω Terminal，VCO 輸出 Pad 在左右兩邊。供應電壓源為 0.5V 在上方 Pad，與輸出緩衝級的電壓源相接，另外分別將 Current mirror 及 VCO tuning voltage 電壓分開獨立於下方 Pad。



九. 參考文獻

- [1] A. Porret, T. Melly, D. Python, C. Enz, and E. Vittoz, “An ultra low power UHF transceiver integrated in a standard digital CMOS process: architecture and receiver,” IEEE J. Solid-State Circuits, vol. 36, no. 3, pp. 452–466, Mar. 2001.
- [2] B. Otis and J. Rabaey, “A 300- μ W 1.9-GHz CMOS oscillator utilizing micromachined resonators,” IEEE J. Solid-State Circuits, vol. 38, no. 7, pp. 1271–1274, Jul. 2003.
- [3] P. Baltus et al., “A 3.5-mW, 2.5-GHz diversity receiver and a 1.2-mW, 3.6-GHz VCO in silicon on anything,” IEEE J. Solid-State Circuits, vol. 33, no. 12, pp. 2074–2079, Dec. 1998.
- [4] M. Straayer, J. Cabanillas, and G. Rebeiz, “A low-noise transformerbased 1.7-GHz CMOS VCO,” in IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers, Feb. 2002, pp. 286–287.
- [5] Ka Chun Kwok and Howard C. Luong, “Ultra-Low-Voltage High-Performance CMOS VCOs Using Transformer Feedback,” IEEE Journal of Solid-State Circuits, Vol. 40, NO. 3, March 2005
- [6] H. Jiang, Y. Wang, J. A. Yeh, N. C. Tien, “Fabrication of High-performance On-chip Suspended Spiral Inductors by Micromachining and Electroless Copper Plating” IEEE MTT-S, June 2000.
- [7] S. Yoshitomi, “Analysis and simulation of spiral inductor fabricated on silicon”, IEEE Electronics, Circuits and Systems, 2004.
- [8] 廖顯峰, “CMOS 射頻積體電路變壓器之研究”, 國立中興大學電機工程系碩士論文, 94 年 7 月