

把程序和数据存储在存储器中，是冯·诺依曼型计算机的基本特征，也是计算机能够自动、连续快速工作的基础。

本章安排了两个实验：静态随机存储器实验及 Cache 控制器设计实验。

## 2.1 静态随机存储器实验

### 2.1.1 实验目的

掌握静态随机存储器 RAM 工作特性及数据的读写方法。

### 2.1.2 实验设备

PC 机一台，TD-CMA 实验系统一套。

### 2.1.3 实验原理

实验所用的静态存储器由一片 6116 (2K×8bit) 构成 (位于 MEM 单元)，如图 2-1-1 所示。6116 有三个控制线：CS (片选线)、OE (读线)、WE (写线)，其功能如表 2-1-1 所示，当片选有效 (CS=0) 时，OE=0 时进行读操作，WE=0 时进行写操作，本实验将 CS 常接地。

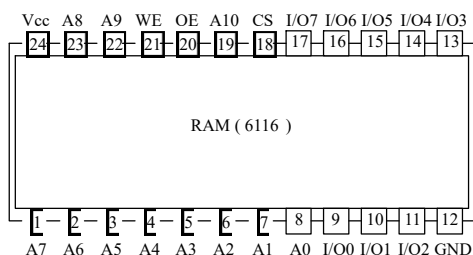


图 2-1-1 SRAM 6116 引脚图

由于存储器 (MEM) 最终是要挂接到 CPU 上，所以其还需要一个读写控制逻辑，使得 CPU 能控制 MEM 的读写，实验中的读写控制逻辑如图 2-1-2 所示，由于 T3 的参与，可以保证 MEM 的写脉宽与 T3 一致，T3 由时序单元的 TS3 给出 (时序单元的介绍见附录 2)。IOM 用来选择是对 I/O 还是对 MEM 进行读写操作，RD=1 时为读，WR=1 时为写。

表 2-1-1 SRAM 6116 功能表

$\overline{\text{CS}}$	$\overline{\text{WE}}$	$\overline{\text{OE}}$	功能
------------------------	------------------------	------------------------	----

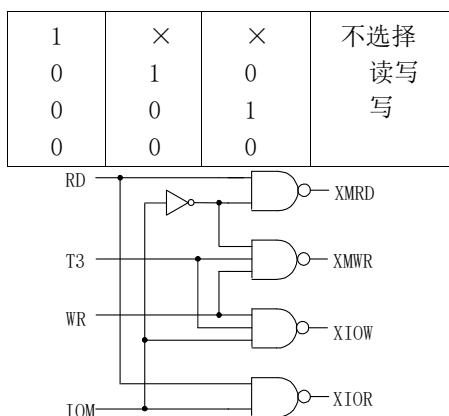


图 2-1-2 读写控制逻辑

实验原理图如图 2-1-3 所示，存储器数据线接至数据总线，数据总线上接有 8 个 LED 灯显示 D7...D0 的内容。地址线接至地址总线，地址总线上接有 8 个 LED 灯显示 A7...A0 的内容，地址由地址锁存器（74LS273，位于 PC&AR 单元）给出。数据开关（位于 IN 单元）经一个三态门（74LS245）连至数据总线，分时给出地址和数据。地址寄存器为 8 位，接入 6116 的地址 A7...A0，6116 的高三位地址 A10...A8 接地，所以其实际容量为 256 字节。

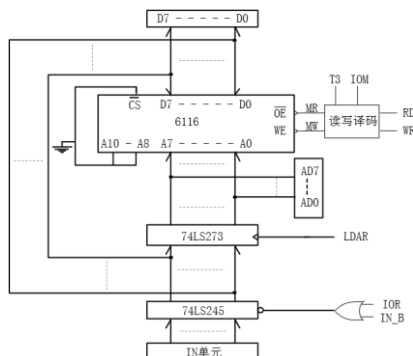


图 2-1-3 存储器实验原理图

实验箱中所有单元的时序都连接至时序与操作台单元，CLR 都连接至 CON 单元的 CLR 按钮。实验时 T3 由时序单元给出，其余信号由 CON 单元的二进制开关模拟给出，其中 IOM 应为低（即 MEM 操作），RD、WR 高有效，MR 和 MW 低有效，LDAR 高有效。

## 2.1.4 实验步骤

(1) 关闭实验系统电源，按图 2-1-4 连接实验电路，并检查无误，图中将用户需要连接的信号用圆圈标明。

(2) 将时序与操作台单元的开关 KK1、KK3 置为运行档、开关 KK2 置为‘单步’档（时序单元的介绍见附录二）。

(3) 将 CON 单元的 IOR 开关置为 1 (使 IN 单元无输出), 打开电源开关, 如果听到有 ‘嘀’ 报警声, 说明有总线竞争现象, 应立即关闭电源, 重新检查接线, 直到错误排除。

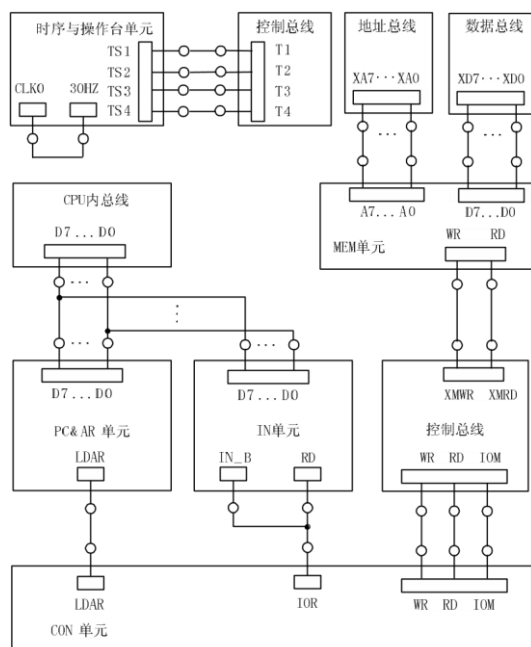


图 2-1-4 实验接线图

(4) 给存储器的 00H、01H、02H、03H、04H 地址单元中分别写入数据 11H、12H、13H、14H、15H。由前面的存储器实验原理图 (图 2-1-3) 可以看出, 由于数据和地址由同一个数据开关给出, 因此数据和地址要分时写入, 先写地址, 具体操作步骤为: 先关掉存储器的读写 ( $WR=0, RD=0$ ), 数据开关输出地址 ( $IOR=0$ ), 然后打开地址寄存器门控信号 ( $LDAR=1$ ), 按动 ST 产生 T3 脉冲, 即将地址打入到 AR 中。再写数据, 具体操作步骤为: 先关掉存储器的读写 ( $WR=0, RD=0$ ) 和地址寄存器门控信号 ( $LDAR=0$ ), 数据开关输出要写入的数据, 打开输入三态门 ( $IOR=0$ ), 然后使存储器处于写状态 ( $WR=1, RD=0, IOM=0$ ), 按动 ST 产生 T3 脉冲, 即将数据打入到存储器中。写存储器的流程如图 2-1-5 所示 (以向 00 地址单元写入 11H 为例):

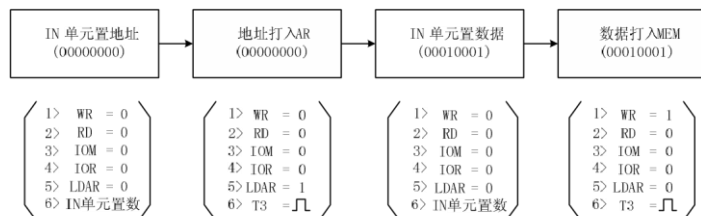


图 2-1-5 写存储器流程图

(5) 依次读出第 00、01、02、03、04 号单元中的内容，观察上述各单元中的内容是否与前面写入的一致。同写操作类似，也要先给出地址，然后进行读，地址的给出和前面一样，而在进行读操作时，应先关闭 IN 单元的输出 (IOR=1)，然后使存储器处于读状态 (WR=0, RD=1, IOM=0)，此时数据总线上的数即为从存储器当前地址中读出的数据内容。读存储器的流程如图 2-1-6 所示 (以从 00 地址单元读出 11H 为例)：

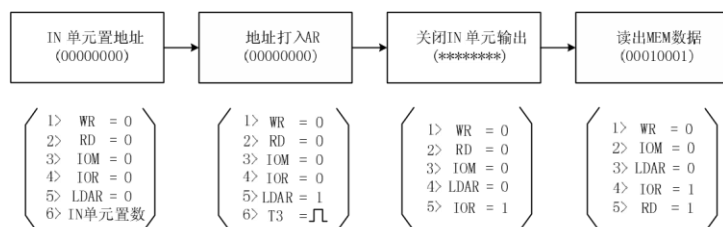
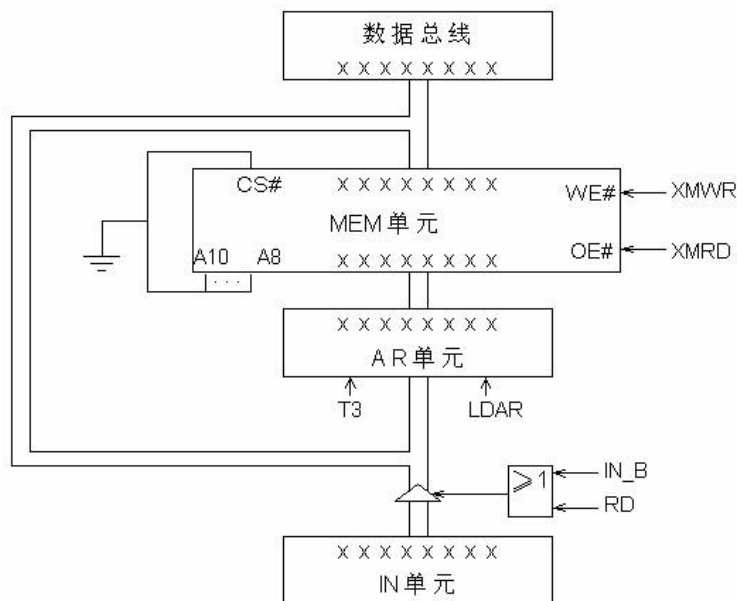


图 2-1-6 读存储器流程图

如果实验箱和 PC 联机操作，则可通过软件中的数据通路图来观测实验结果 (软件使用说明请看附录 1)，方法是：打开软件，选择联机软件的“【实验】—【存储器实验】”，打开存储器实验的数据通路图，如图 2-1-7 所示。

进行上面的手动操作，每按动一次 ST 按钮，数据通路图会有数据的流动，反映当前存储器所做的操作 (即使是对存储器进行读，也应按动一次 ST 按钮，数据通路图才会有数据流动)，或在软件中选择“【调试】—【单周期】”，其作用相当于将时序单元的状态开关置为‘单步’档后按动了一次 ST 按钮，数据通路图也会反映当前存储器所做的操作，借助于数据通路图，仔细分析 SRAM 的读写过程。



图

2-1-7 数据通路图

## 2.2 Cache 控制器设计实验

### 2.2.1 实验目的

- (1) 掌握 Cache 控制器的原理及其设计方法。
- (2) 熟悉 CPLD 应用设计及 EDA 软件的使用。

### 2.2.2 实验设备

PC 机一台，TD-CMA 实验系统一套。

### 2.2.3 实验原理

本实验采用的地址变换是直接映象方式，这种变换方式简单而直接，硬件实现很简单，访问速度也比较快，但是块的冲突率比较高。其主要原则是：主存中一块只能映象到 Cache 的一个特定的块中。

假设主存的块号为  $B$ ，Cache 的块号为  $b$ ，则它们之间的映象关系可以表示为： $b = B \bmod C_b$