

# 基于 FPGA 的 VGA 时序彩条信号实现方法及其应用<sup>\*\*\*</sup>

## The Method to Generate VGA-Timing Color Strip Signals by FPGA and Its Application

东南大学国家专用 集成电路系统工程技术研究中心 (南京 210096)

曹 允

**【摘 要】** 利用现场可编程逻辑器件产生 VGA 时序信号和彩条图像信号,并将其作为信号源,应用于彩色等离子显示器的电路开发,方便彩色等离子显示器驱动控制电路的调试。

**关键词:** 视频图形阵列, 等离子显示, 现场可编程逻辑器件, 状态机

**【Abstract】** VGA-timing signals and color strip image were obtained by using FPGA. The signals were used as sources when developing the circuits of color plasma display panel, and it took great convenience to the debugging of the driving and controlling circuits of color plasma display panel.

**Keywords:** VGA, PDP, FPGA, state machine

### 1 引 言

彩色等离子体显示器(Plasma Display Panel,简称 PDP)是利用气体放电产生真空紫外线激发荧光粉进行发光显示的一种平板显示器件,它具有重量轻、厚度小、视角大、响应快、图像无畸变、不受磁场影响等许多优点。自从 1964 年美国 Illinois 大学教授 Bitze 和 Slottow 发现了放电气体的记忆效应,1966 年 Bitzer 教授利用交流气体放电现象发明等离子显示屏以来,等离子显示技术已获得了很大的发展,等离子显示器成为人们期望用以实现大屏幕显示的新型显示器件之一。特别是 1992 年日本富士通公司开始 21 英寸 AC 型彩色 PDP 的批量生产并投放市场以来,等离子显示技术更是获得了长足的发展,42 英寸级和 60 英寸级的大尺寸、全彩色的显示屏也已经投放市场。目前,PDP 业界正集中精力于提高图像质量、降低功耗、降低成本的研究过程中。

### 2 PDP 显示信号的数据流程

PDP 是一种矩阵式平面显示器件,它的输入图像必须是数字式的,如果输入的图像信号是模拟视频信号,必须先进行模/数转换,才可以在 PDP 上进行显

示。模拟图像的转换如图 1 所示。A/D 转换电路将输入的计算机显示信号、电视信号等进行数字化后,得到 8bit 的红、绿、蓝三色信号,以及行、场同步信号、时钟信号和复合消隐信号等,再送到彩色 PDP 的存储控制电路进行处理,最后送到显示屏进行显示。

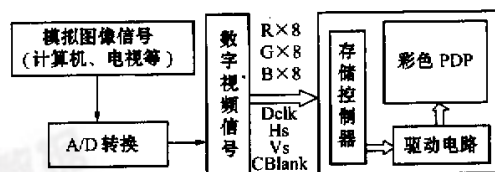


图 1

### 3 VGA 信号时序

图 2 所示是计算机 VGA (640×480, 60Hz) 图像格式的信号时序图,其点时钟 DCLK 为 25.175MHz,场频为 59.94Hz。图中, Vsync 为场同步信号,场周期 T<sub>vsync</sub> 为 16.683ms,每场有 525 行,其中 480 行为有效显示行,45 行为场消隐期。场同步信号 V<sub>s</sub> 每场有一个脉冲,该脉冲的低电平宽度 t<sub>wv</sub> 为 63μs (2 行)。场消隐期包括场同步时间 t<sub>wv</sub>、场消隐前肩 t<sub>hV</sub> (13 行)、场消隐后肩 t<sub>vH</sub> (30 行),共 45 行。行周期 T<sub>HSYNC</sub> 为 31.78μs,每显示行包括 800 点,其中 640 点为有效显示

区,160 点为行消隐期(非显示区)。行同步信号  $H_s$  每行有一个脉冲,该脉冲的低电平宽度  $t_{WH}$  为  $3.81\mu s$ (即 96 个 DCLK);行消隐期包括行同步时间  $t_{WH}$ ,行消隐前肩  $t_{HC}$ (19 个 DCLK)和行消隐后肩  $t_{CH}$ (45 个 DCLK),共 160 个点时钟。复合消隐信号是行消隐信号和场消隐信号的逻辑与,在有效显示期复合消隐信号为高电平,在非显示区域它是低电平<sup>①</sup>。

4 VGA 时序信号及彩条信号的产生

在设计彩色 PDP 的存储和控制电路时,使用了 Altera 公司的 FPGA 来对图像进行存储和整理,并产生驱动电路需要的各种控制波形。为了方便调试电路,开始调试时,不是使用接口电路板,而是使用 FPGA 中的剩余逻辑来产生 VGA、SVGA 等格式的时序信号和彩条信号,所产生的信号稳定可靠。同时,还可以通过彩条模式选择按键的控制来改变彩条模式,产生竖彩条、横彩条、棋盘格等各种彩条模式,极大地方便了电路调试。下面仅以 VGA 格式为例作简单的介绍。

4.1 VGA 时序信号产生模块

VGA 时序信号产生模块包括行点数计数器  $h\_cnt$ 、场行数计数器  $v\_cnt$ 、行同步产生状态机  $h\_state$  和场同步产生状态机  $v\_state$  等。其中,行点数计数器是 800 进制计数器,场行数计数器是 525 进制计数器。行同步状态机  $h\_state$  有  $h\_video$ 、 $h\_front$ 、 $h\_sync$ 、 $h\_back$  四种状态,它根据行点数计数器的计数值来进行状态转换;场同步状态机  $v\_state$  有  $v\_video$ 、 $v\_front$ 、 $v\_sync$ 、 $v\_back$  四种状态,它根据场行数计数器的计数值来进行状态翻转。这两个状态机的状态转移图分别如图 3 和图 4 所示。

当行状态机  $h\_state$  复位时,即进入  $h\_video$  状态,它对应每行的有效显示区域。行计数器  $h\_cnt$  对 25MHz 的点时钟进行计数,当行计数器  $h\_cnt$  的计数值到达 639 时,行同步状态机即进入行消隐前肩  $h\_front$  状态;当  $h\_cnt$  的计数值为 663 时,行同步状态机进入行同步状态  $h\_sync$ ,此时,行同步信号  $H_s$  输出低电平,当  $h\_cnt$  的计数值为 759 时,状态机

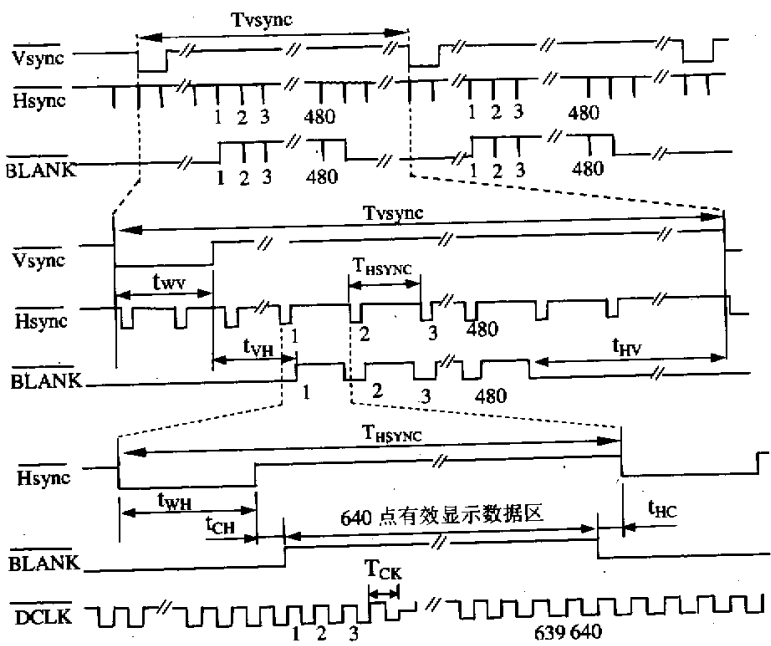


图 2

即进入行消隐后肩  $h\_back$  状态;在行状态机为  $h\_front$ 、 $h\_sync$ 、 $h\_back$  状态时,行消隐信号输出低电平。当  $h\_cnt$  的计数值为 799 时,行同步状态机进入  $h\_video$  状态,同时,行计数器的同步复位信号为高电平,使行计数器复位。

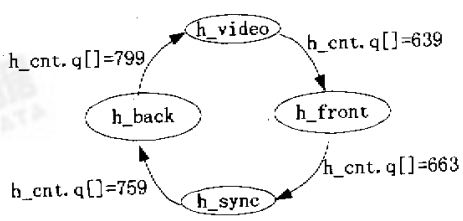


图 3

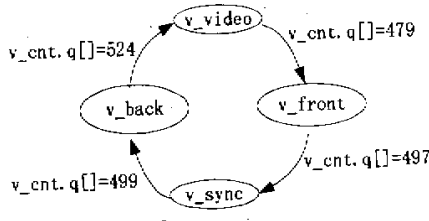


图 4

场状态机  $v\_state$  开始时进入  $v\_video$  状态,对应了每场的有效显示行,场计数器  $v\_cnt$  的计数

值每行加 1。当场计数器的计数值到达 479 时,场状态机翻转,进入场消隐前肩  $v\_ront$  状态;当  $v\_cnt$  的值为 497 时,状态机  $v\_state$  进入场同步状态  $v\_sync$ ,场同步信号  $Vs$  此时输出低电平;当  $v\_cnt$  的值为 499 时,状态机  $v\_state$  进入场消隐后肩  $v\_back$  状态;当  $v\_cnt$  的值为 524 时,状态机  $v\_state$  又翻转进入  $v\_video$  状态,同时输出高电平到场计数器  $v\_cnt$  的同步清零端使其清零。当场状态机  $v\_state$  的状态为  $v\_Front$ 、 $v\_sync$ 、 $v\_Back$  三种状态时,场消隐信号输出低电平,其余时刻为高电平。行、场消隐信号的逻辑与即为复合消隐信号。

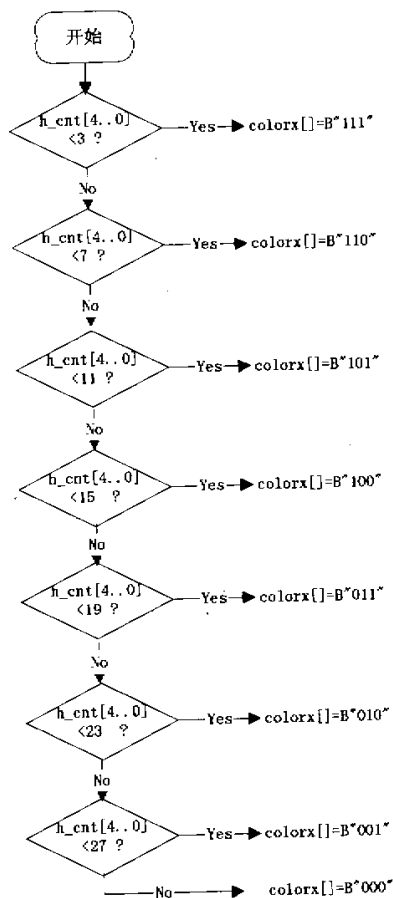


图 5

#### 4.2 彩条信号产生模块

彩条信号产生模块包括了彩条模式控制、竖彩条发生和横彩条发生等三个模块。竖彩条发生模块根据行点数器  $h\_cnt$  的计数值来产生彩条,其流程图如图 5 所示。它对行点数计数器的末五位数进行判断,每四条竖线生成一种竖彩条,共八种竖彩条,  $colorx$  的二

进制值为“1”表示像素应发光,为“0”表示像素应熄灭。横彩条发生模块与竖彩条发生模块相似,它根据场行数计数器  $v\_cnt$  的计数值来产生横彩条,流程图如图 6 所示。每四条扫描线为一个彩条宽度,共八种横彩条模式,  $colory$  的二进制值为“1”表示该行的像素应发光。

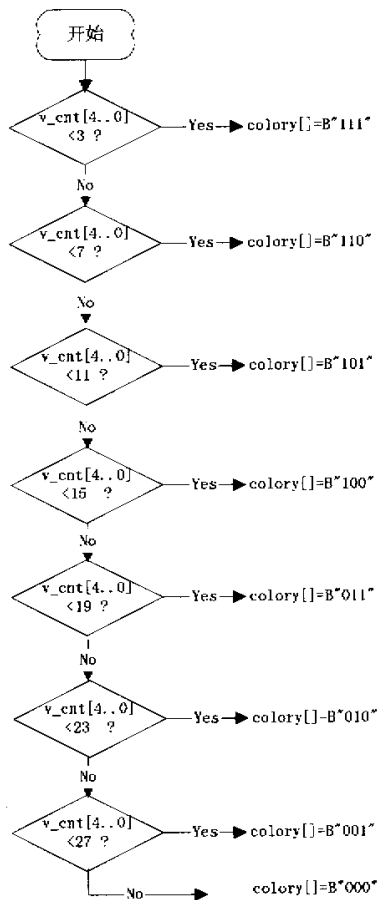


图 6

彩条模式控制模块有一个控制输入端子,它通过下拉电阻接地,一个常开按钮接电源。通过一个三进制计数器  $mode$  对该输入进行计数,每当按钮被按下一次,计数器  $mode$  的值就加 1。而计数器  $mode$  的值又决定着输出的彩条信号的类型,当  $mode$  为 0 时,输出的彩条为竖彩条  $colorx[]$ ;当  $mode$  为 1 时,输出横彩条  $colory[]$ ;当  $mode$  为 2 时,输出棋盘格彩条  $colorx[]$  与  $colory[]$  的逻辑或。当然,在复合消隐信号为低电平时应该屏蔽彩条信号输出。

#### 4.3 仿真结果及其说明

以上各功能模块在 MAX+PLUS II 软件中的仿

真结果如图 7、图 8 所示。图中, SysClk 信号是 25.175MHz 点时钟信号, mode 是彩条模式控制输入信号, hs、vs 分别是行、场同步信号输出, cBlank 是复合

消隐信号输入, r[7..0]、g[7..0]、b[7..0] 是八位的色彩输出信号。

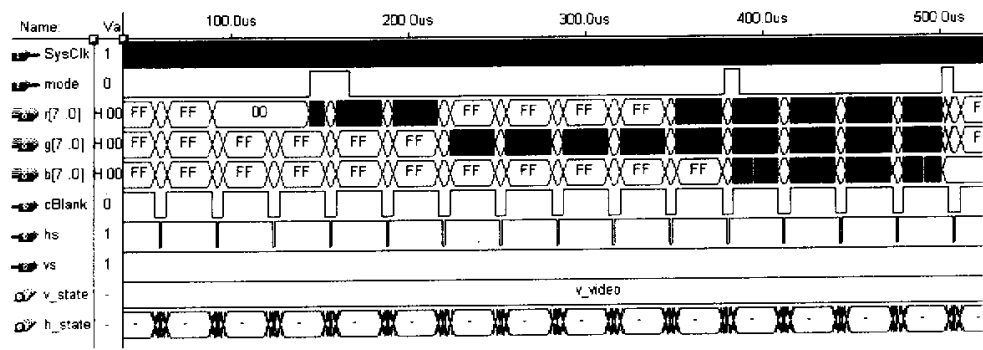


图 7

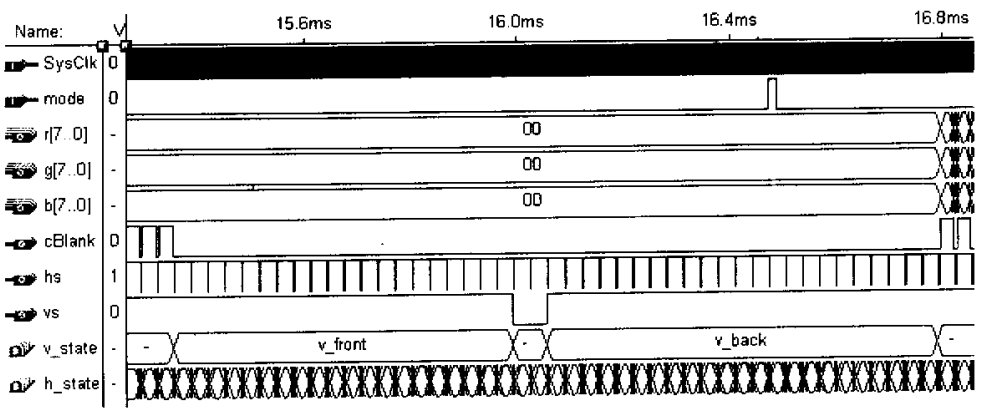


图 8

从图 7 中可以看到, 当彩条模式控制信号 mode 出现了高电平脉冲之后, 色彩信号 r[7..0]、g[7..0]、b[7..0] 的值立即发生了变化。从图 7 和图 8 中还可以看出, 复合消隐信号 cBlank 的行消隐期比行同步信号 hs 的低电平脉冲宽度要宽。从图 8 中可以看到场同步状态机的场消隐前肩 v\_\_front 和消隐后肩 v\_\_back 以及场消隐脉冲所占用的行数。

5 结束语

在设计彩色 PDP 样机电路时, 使用了美国 Altera 公司的 FPGA 来进行图像数据存储和整理, 以及产生驱动电路所需要的各种控制波形。而在调试电路时, 使用 FPGA 中多余的逻辑来产生 VGA 信号和彩条信号, 所产生的信号稳定可靠, 为电路调试带来了很多方便。

在实际应用中, 还可以对彩条信号产生模块方便地进行修改。比如, 可以修改行、场计数器的判断值来调整彩条的大小, 增加控制信号的位数, 以及增加延时跳变的功能, 使输出的彩条信号产生各种变化。这样, 既可以用于调试彩色 PDP 电路, 也可以用来作为 PDP 显示器的检测信号源。

此外, 与 VGA 信号类似, 改变行、场状态机的转换值和行、场计数器的设置, 还可以产生其他各种模式的图像信号, 以适应不同分辨率图像显示的需要。

希望这些方法能为国内的彩色 PDP 业界在电路研制方面起到一点抛砖引玉的作用。

参 考 文 献

1 董士海, 张倪, 肖磊等. EGA/VGA 程序员手册. 北京: 北京大学出版社, 1999: 389~394