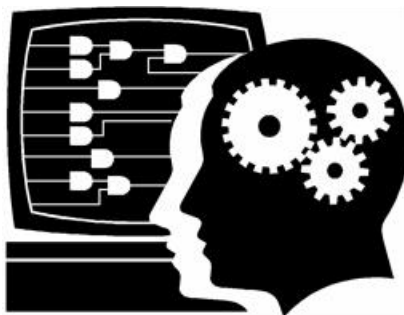


# 数字系统设计与Verilog HDL

(第6版)



# 第5章 Verilog语法与要素

## 5.1 Verilog语言要素

## 5.2 常量

## 5.3 数据类型

## 5.4 参数

## 5.5 向量

## 5.6 运算符

## 5.1 Verilog语言要素

**Verilog** 程序由符号流构成，符号包括

- 空白符 (**White space**)
- 注释 (**Comments**)
- 操作符 (**Operators**)
- 数字 (**Numbers**)
- 字符串 (**Strings**)
- 标识符 (**Identifiers**)
- 关键字 (**Keywords**) 等

# 空白符和注释

## 空白符（**White space**）

空白符包括：空格、**tab**、换行和换页。空白符使代码错落有致，阅读起来更方便。在综合时空白符被忽略。

## 注释（**Comment**）

- ◆ 单行注释：以“//”开始到本行结束
- ◆ 多行注释：多行注释以“/\*”开始，到“\*/”结束

# 标识符（Identifiers）

## 标识符（Identifiers）

**Verilog**中的标识符可以是任意一组字母、数字以及符号“\$”和“\_”（下划线）的组合，但标识符的第一个字符必须是字母或者下划线。另外，标识符是区分大小写的。

*count*

*COUNT*          //*COUNT*与*count*是不同的

*\_A1\_d2*          //以下划线开头

*R56\_68*

*FIVE*

# 关键字 (Keywords)

**Verilog**语言内部已经使用的词称为关键字或保留字，这些保留字用户不能作为变量或节点名字使用。

关键字都是小写的。

## 5.2 常量

程序运行中，值不能被改变的量称为常（**constants**）。

Verilog中的常量主要有如下3种类型：

- 整数
- 实数
- 字符串

# 整数 (integer)

整数按如下方式书写：

**`+/-<size> '<base><value>`**

即 **`+/-<位宽>'<进制><数字>`**

**size** 为对应二进制数的宽度； **base**为进制； **value**是基于进制的数字序列。

进制有如下4种表示形式：

- 二进制 (**b**或**B**)
- 十进制 (**d**或**D**或缺省)
- 十六进制 (**h**或**H**)
- 八进制 (**o**或**O**)



# 整数 (integer)

**8'b11000101** //位宽为八位的二进制数11000101

**8'hd5** //位宽为八位的十六进制数d5;

**5'O27** //5位八进制数

**4'D2** //4位十进制数2

**4'B1x\_01** //4位二进制数1x01

**5'Hx** //5位x（扩展的x），即xxxxx

**4'hZ** //4位z，即zzzz

**8'h2A** /\*在位宽和'之间，以及进制和数值之间允许出现空格，但'和进制之间，数值间是不允许出现空格的，比如8'h2A、8'h2 A等形式都是不合法的写法 \*/

# 实数 (Real)

实数 (Real) 有下面两种表示法。

◆ 十进制表示法。例如：

2.0

0.1           //以上2例是合法的实数表示形式

2.            //非法：小数点两侧都必须有数字

◆ 科学计数法。例如：

43\_5.1e2       //其值为43510.0

9.6E2          //960.0 (e与E相同)

5E-4           //0.0005

# 字符串（Strings）

字符串是双引号内的字符序列。

字符串不能分成多行书写。例如：

**"INTERNAL ERROR"**

字符串的作用主要是用于仿真时，显示一些相关的信息，或者指定显示的格式。

## 5.3 数据类型

数据类型（**Data Type**）是用来表示数字电路中的物理连线、数据存储和传输单元等物理量的。

Verilog有下面四种基本的逻辑状态。

- **0**：低电平、逻辑0或逻辑非
- **1**：高电平、逻辑1或“真”
- **x或X**：不确定或未知的逻辑状态
- **z或Z**：高阻态

Verilog中的所有数据类型都在上述4类逻辑状态中取值，其中x和z都不区分大小写，也就是说，值0x1z与值0X1Z是等同的。

# 数据类型

Verilog中的变量分为如下两种数据类型：

➤ **net**型

➤ **variable**型

**net**型中常用的有**wire**、**tri**；

**variable**型包括**reg**、**integer**等。

注意：在Verilog-1995标准中，**variable**型变量称为**register**型；在Verilog-2001标准中将**register**一词改为了**variable**，以避免初学者将**register**和硬件中的寄存器概念混淆起来。

## 5.3.1 net型

**Net**型数据相当于硬件电路中的各种物理连接，其特点是输出的值紧跟输入值的变化而变化。对连线型有两种驱动方式，一种方式是在结构描述中将其连接到一个门元件或模块的输出端；另一种方式是用持续赋值语句**assign**对其进行赋值。

**wire**是最常用的**Net**型变量。

**wire**型变量的定义格式如下：

**wire** 数据名1，数据名2，.....数据名n；

例如： **wire a,b;**           //定义了两个**wire**型变量**a**和**b**



## 5.3.2 Variable型

**variable**型变量必须放在过程语句（如**initial**、**always**）中，通过过程赋值语句赋值；在**always**、**initial**等过程块内被赋值的信号也必须定义成**variable**型。

注意：**variable**型变量并不意味着一定对应着硬件上的一个触发器或寄存器等存储元件，在综合器进行综合时，**variable**型变量会根据具体情况来确定是映射成连线还是映射为触发器或寄存器。

**reg**型变量是最常用的一种**variable**型变量。

**reg** 数据名1，数据名2，.....数据名n；

例如：**reg a,b;      //**定义了两个**reg**型变量**a**，**b**

## 5.4 参数(parameter)

在Verilog语言中，用参数parameter来定义符号常量，即用parameter来定义一个标志符代表一个常量。参数常用来定义时延和变量的宽度。

其定义格式如下：

**parameter 参数名1=表达式1， 参数名2=表达式2， 参数名3=表达式3， .....；**

例如：

**parameter SEL=8, CODE=8'ha3;**



**【例5.2】** 采用参数定义的数据比较器

```
module compare_w(a,b,larger,equal,less);  
parameter SIZE=6;           //参数定义  
input[SIZE-1:0] a,b;  
output larger,equal,less;  
wire larger,equal,less;  
assign larger=(a>b);  
assign equal=(a==b);  
assign less=(a<b);  
endmodule
```

**【例5.3】** 采用参数定义加法器

```
module add_w(a,b,sum);  
parameter MSB=15;          //参数定义  
input[MSB:0] a,b;  
output[MSB+1:0] sum;  
assign sum=a+b;  
endmodule
```

**【例5.4】** 采用参数定义的二进制计数器

```
module count_w(en,clk,reset,out);  
input clk,reset,en;  
parameter WIDTH=8;           //参数定义  
output[WIDTH-1:0] out;  
reg[WIDTH-1:0] out;  
always @(posedge clk or negedge reset)  
if(!reset)    out=0;  
else if(en)   out=out+1;  
endmodule
```

## 5.5 向量

### 1. 标量与向量

宽度为1位的变量称为标量，如果在变量声明中没有指定位宽，则默认为标量（1位）。举例如下：

**wire a;**                   **//a为标量**

**reg clk;**               **//clk为标量reg型变量**

线宽大于1位的变量（包括**net**型和**variable**型）称为向量（**vector**）。向量的宽度用下面的形式定义：

**[msb : lsb]**

比如：

**wire[3:0] bus;** **//4位的总线**

## 2. 位选择和域选择

在表达式中可任意选中向量中的一位或相邻几位，分别称为位选择和域选择，例如：

**A=mybyte[6];**       //位选择

**B=mybyte[5:2];**     //域选择

再比如：

**reg[7:0] a,b; reg[3:0] c; reg d;**

**d=a[7]&b[7];**                   //位选择

**c=a[7:4]+b[3:0];**               //域选择

## 5.6 运算符（Operators）

### 1. 算术运算符（Arithmetic operators）

常用的算术运算符包括：

+	加
-	减
*	乘
/	

## 2. 逻辑运算符 (Logical operators)

**&&**            逻辑与

**||**            逻辑或

**!**            逻辑非

### 3. 位运算符 (Bitwise operators)

位运算，即将两个操作数按对应位分别进行逻辑运算。

~            按位取反

&            按位与

|            按位或

^            按位异或

$\wedge \sim, \sim \wedge$  按位同或 (符号  $\wedge \sim$  与  $\sim \wedge$  是等价的)



#### 4. 关系运算符 (Relational operators)

<            小于

<=          小于或等于

>            大于

>=          大于或等于

## 5. 等式运算符 (Equality Operators)

$==$             等于

$!=$             不等于

$===$           全等

$!==$           不全等

## 6. 缩位运算符 (Reduction operators)

&                  与

~&                与非

|                  或

~|                或非

^                  异或

^~,~^            同或

## 7. 移位运算符 (shift operators)

>>            右移

<<            左移

## 8. 条件运算符 (conditional operators)

?:

三目运算符，其定义方式如下：

**signal=condition>true\_expression:false\_expression;**

即：信号=条件?表达式1:表达式2;

当条件成立时，信号取表达式1的值，反之取表达式2的值。

## 9. 位拼接运算符 (concatenation operators)

{ }

该运算符将两个或多个信号的某些位拼接起来。

{信号1的某几位, 信号2的某几位, ....., 信号n的某几位}

# 运算符的优先级

运算符	优先级
! ~	<div>高优先级</div> <div>↓</div> <div>低优先级</div>
* / %	
+ -	
<< >>	
< <= > >=	
= != == !=	
& ~&	
^ ~^	
~	
&&	
?:	

## 习 题 5

5.1 下列标识符哪些是合法的，哪些是错误的？

**Cout, 8sum, \a\*b, \_data, \wait, initial, \$latch**

5.2 下列数字的表示是否正确？

**6'd18, 'Bx0, 5'b0x110, 'da30, 10'd2, 'hzF**

5.3 **reg**型和**wire**型变量有什么本质的区别？

5.4 如果**wire**型变量没有被驱动，其值为多少？

5.5 **reg**型变量的初始值一般是什么？



# 习 题 5

## 5.6 定义如下的变量和常量：

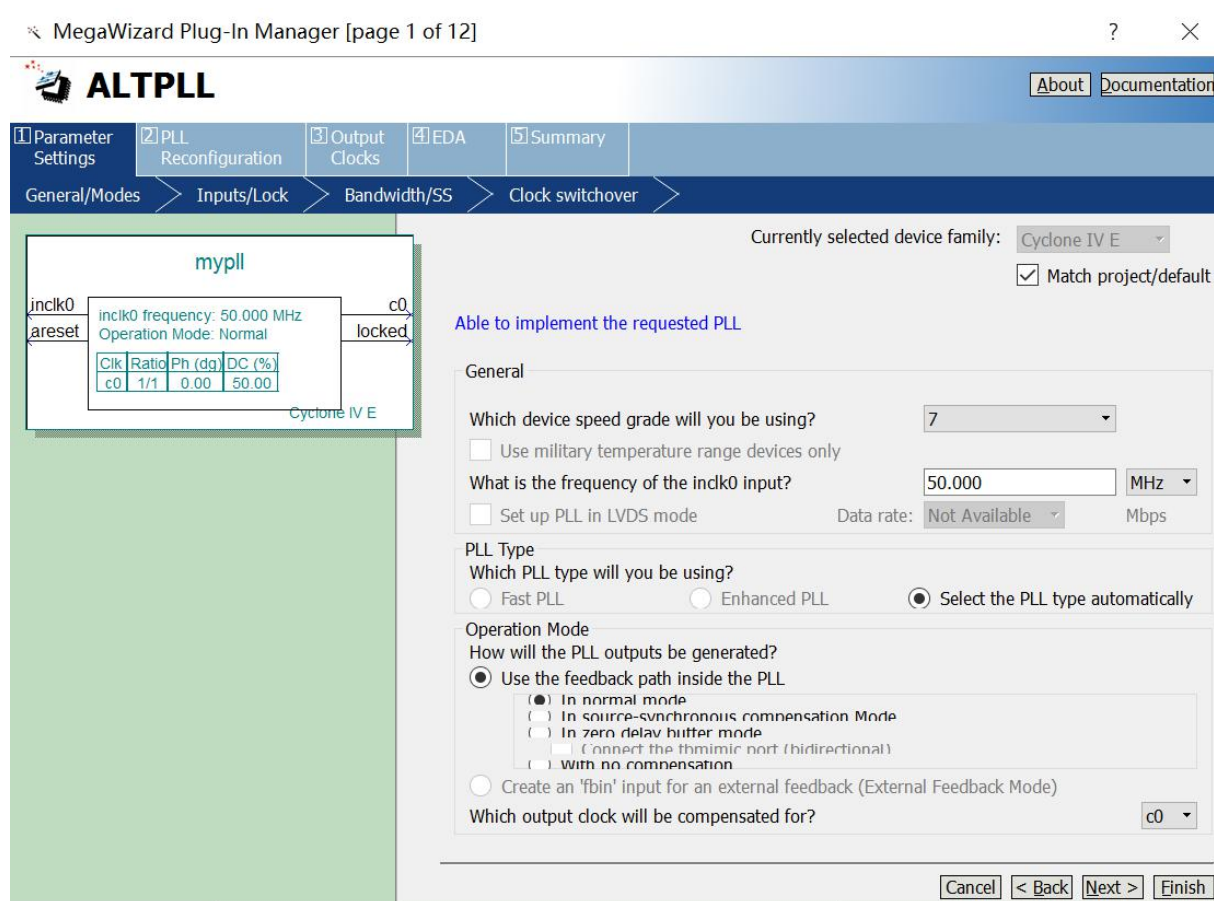
- (1) 定义一个名为**count**的整数；
- (2) 定义一个名为**ABUS**的8位**wire**总线；
- (3) 定义一个名为**address**的16位**reg**型变量，并将该变量的值赋为十进制数**128**；
- (4) 定义参数**Delay\_time**, 参数值为**8**；
- (5) 定义一个名为**DELAY**的时间变量；
- (6) 定义一个32位的寄存器**MYREG**；
- (7) 定义一个容量为**128**，字长为32位的存储器**MYMEM**；

# 实验与设计

## 5-1 用altpll锁相环宏模块实现倍频和分频

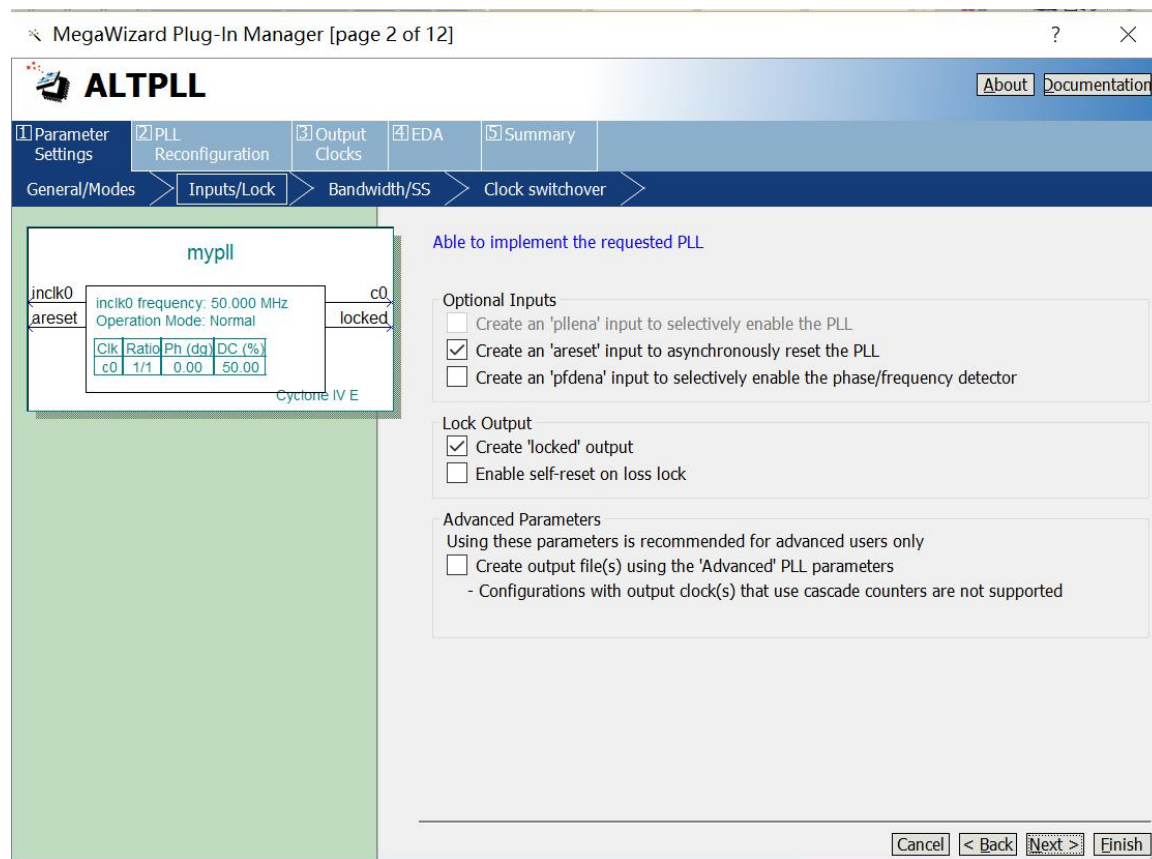
**实验要求：**基于Quartus Prime软件，用altpll锁相环模块实现倍频和分频，将输入的50 MHz参考时钟信号经过锁相环，输出一路9 MHz（占空比为50%）的分频信号，一路有5 ns相移的100 MHz（占空比为40%）倍频信号，并进行仿真验证。

# 用altpll锁相环宏模块实现倍频和分频



选择芯片和设置参考时钟

# 用altpll锁相环宏模块实现倍频和分频



## 锁相环端口设置

# 用altpll锁相环宏模块实现倍频和分频

MegaWizard Plug-In Manager [page 6 of 12]

**ALTPLL** [About](#) [Documentation](#)

1 Parameter Settings 2 PLL Reconfiguration 3 **Output Clocks** 4 EDA 5 Summary

clk c0 > clk c1 > clk c2 > clk c3 > clk c4

**c0 - Core/External Output Clock**  
Able to implement the requested PLL

☒ Use this clock

Clock Tap Settings

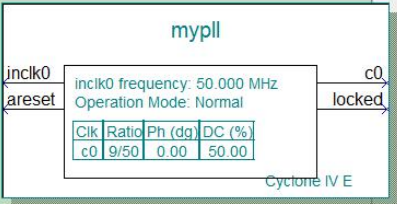
	Requested Settings	Actual Setting
<input checked="" type="radio"/> Enter output clock frequency	9.00000000 MHz	9.000000
<input type="radio"/> Enter output clock parameters:		
Clock multiplication factor	9	9
Clock division factor	50 << Copy	50
Clock phase shift	0.00 deg	0.00
Clock duty cycle (%)	50.00	50.00

Note: The displayed internal settings of the PLL is recommended for use by advanced users only

Description  
Primary clock VCO frequenc... 4

Per Clock Feasibility Indicato  
c0 c1 c2 c3 c4

Cancel < Back Next > Finish



## 输出时钟c0设置

# 用altpll锁相环宏模块实现倍频和分频

MegaWizard Plug-In Manager [page 7 of 12]

**ALTPLL** [About](#) [Documentation](#)

1 Parameter Settings 2 PLL Reconfiguration 3 Output Clocks 4 EDA 5 Summary

clk c0 > **clk c1** > clk c2 > clk c3 > clk c4

**mypll**

inclk0: inclk0 frequency: 50.000 MHz  
areset: Operation Mode: Normal

Clk	Ratio	Ph (deg)	DC (%)
c0	9/50	0.00	50.00
c1	2/1	5.00	40.00

Cyclone IV E

**c1 - Core/External Output Clock**  
[Able to implement the requested PLL](#)

☒ Use this clock

Clock Tap Settings

☐ Enter output clock frequency: 0.00000000 MHz Actual Setting: 0.000000

☒ Enter output clock parameters:

Clock multiplication factor: 2 Actual Setting: 2

Clock division factor: 1 Actual Setting: 1

Clock phase shift: 5.00 deg Actual Setting: 5.00

Clock duty cycle (%): 40.00 Actual Setting: 39.00

Note: The displayed internal settings of the PLL is recommended for use by advanced users only

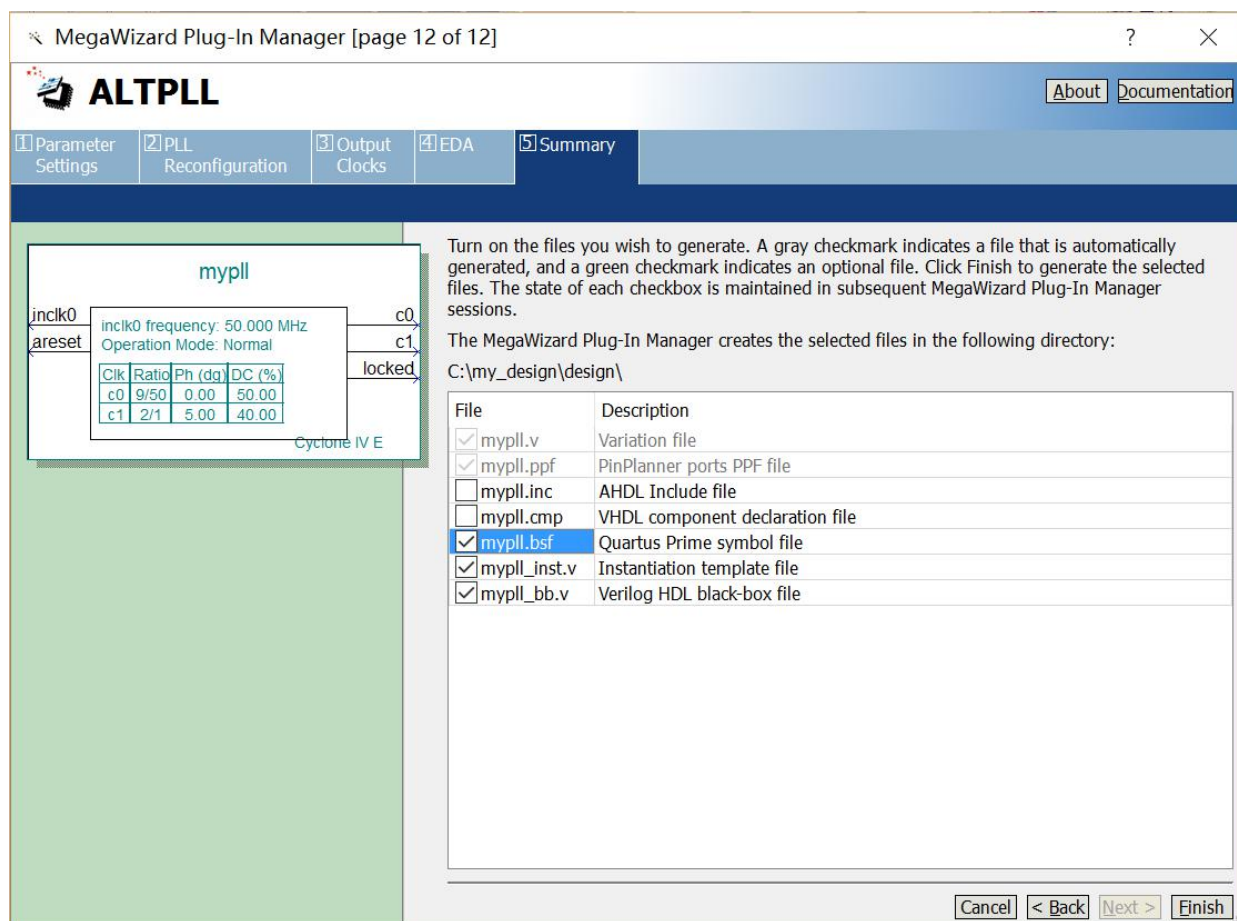
Description: Primary clock VCO frequenc... 9

Per Clock Feasibility Indicators: c0 c1 c2 c3 c4

Cancel < Back Next > Finish

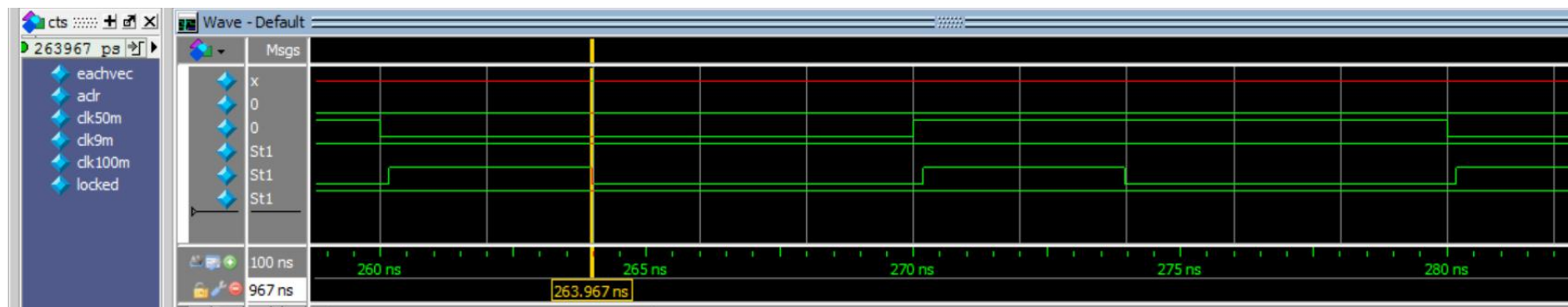
输出时钟c1设置

# 用altpll锁相环宏模块实现倍频和分频



选择需要的输出文件格式

# 用altpll锁相环宏模块实现倍频和分频



锁相环电路仿真波形（Modelsim）