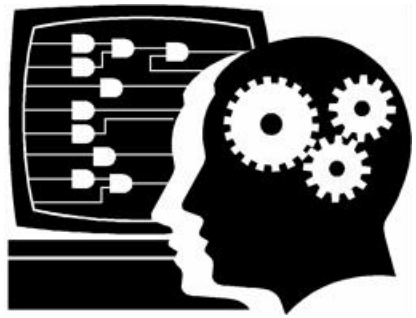
数字系统设计与Verilog HDL

（第6版）



第3章 Quartus Prime使用指南

3.1 Quartus Prime原理图设计

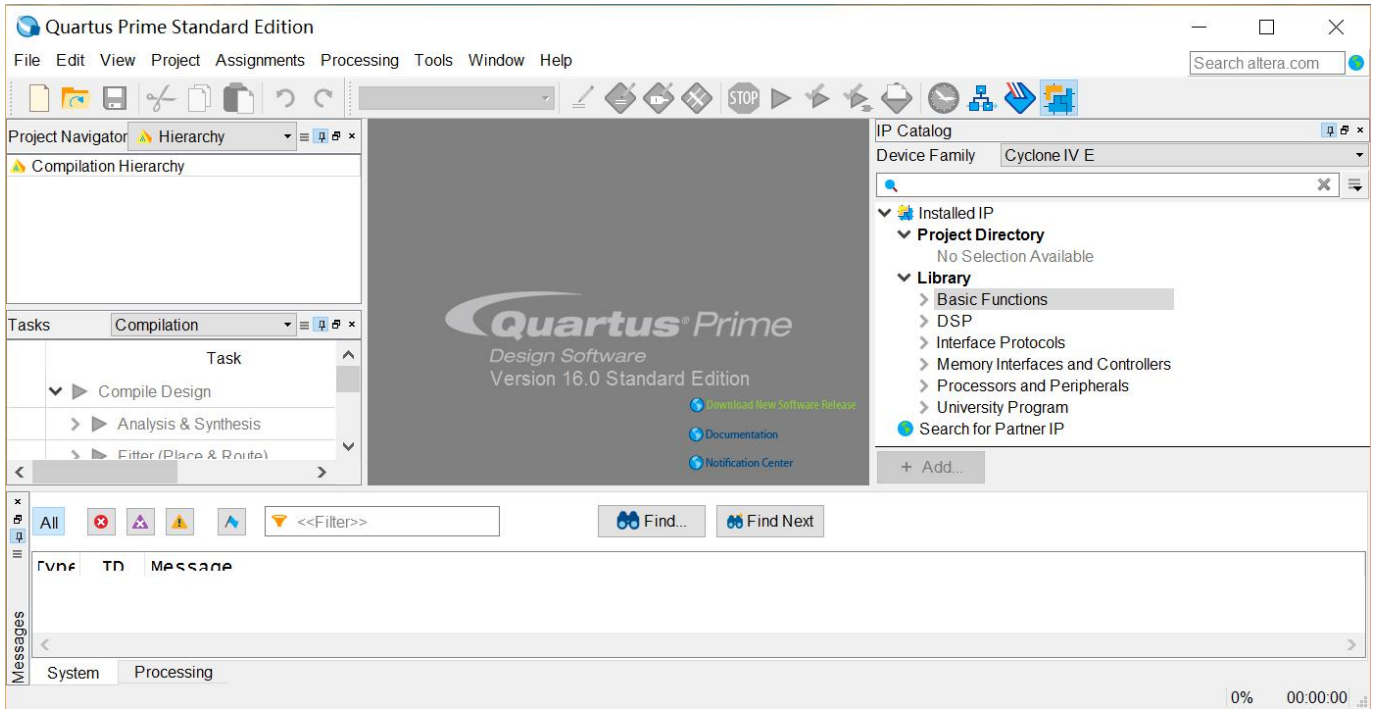
3.2 基于IP核的设计

3.3 SignalTap II的使用方法

3.4 Quartus Prime的优化设置与时序分析

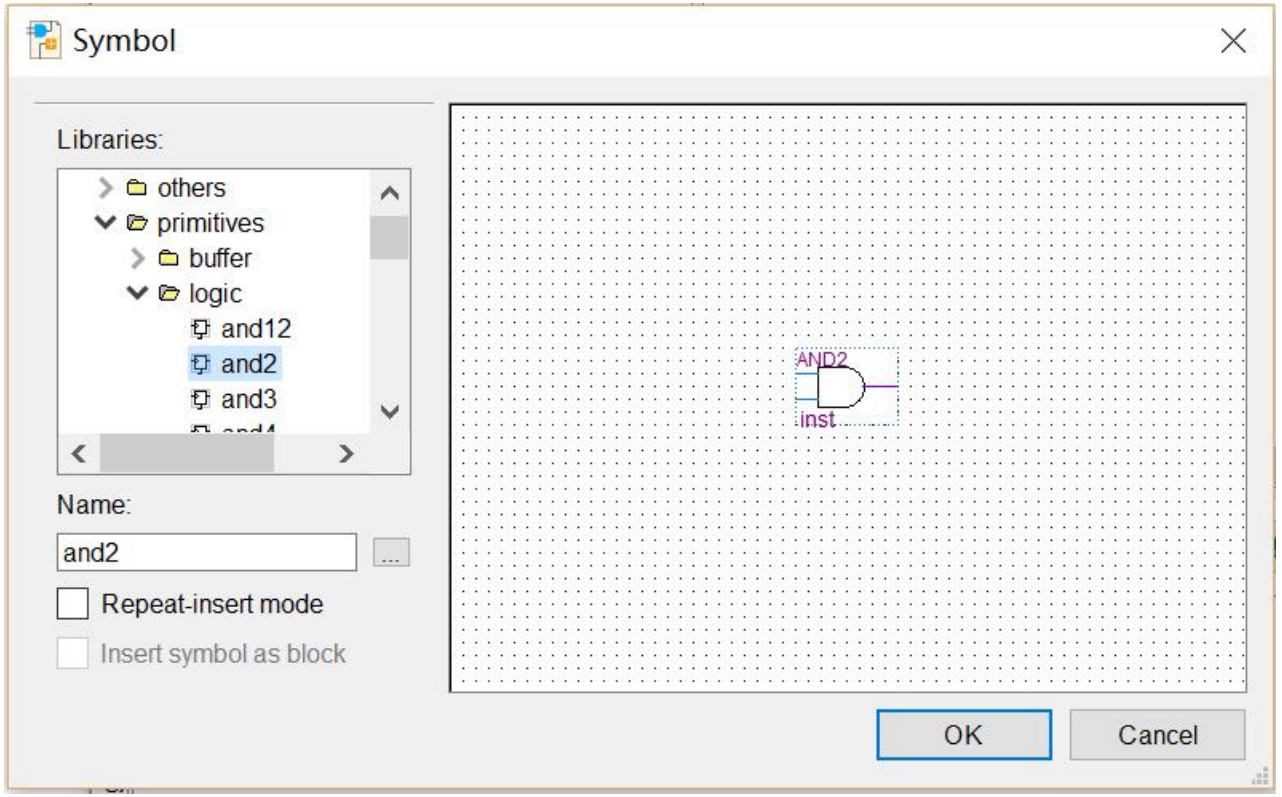
3.1 Quartus Prime原理图设计

3.1.1 半加器原理图设计输入



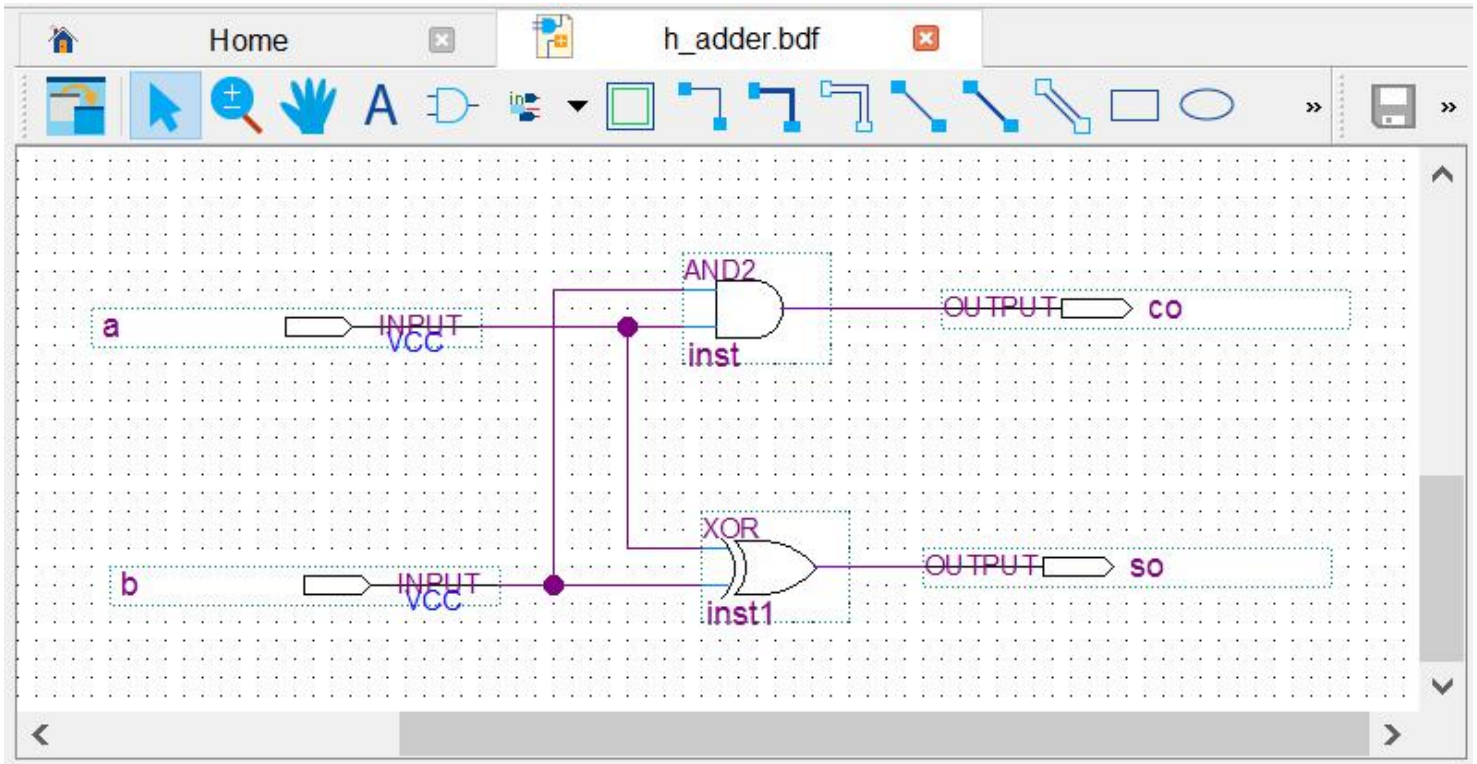
Quartus Prime的主界面

3.1.1 半加器原理图设计输入



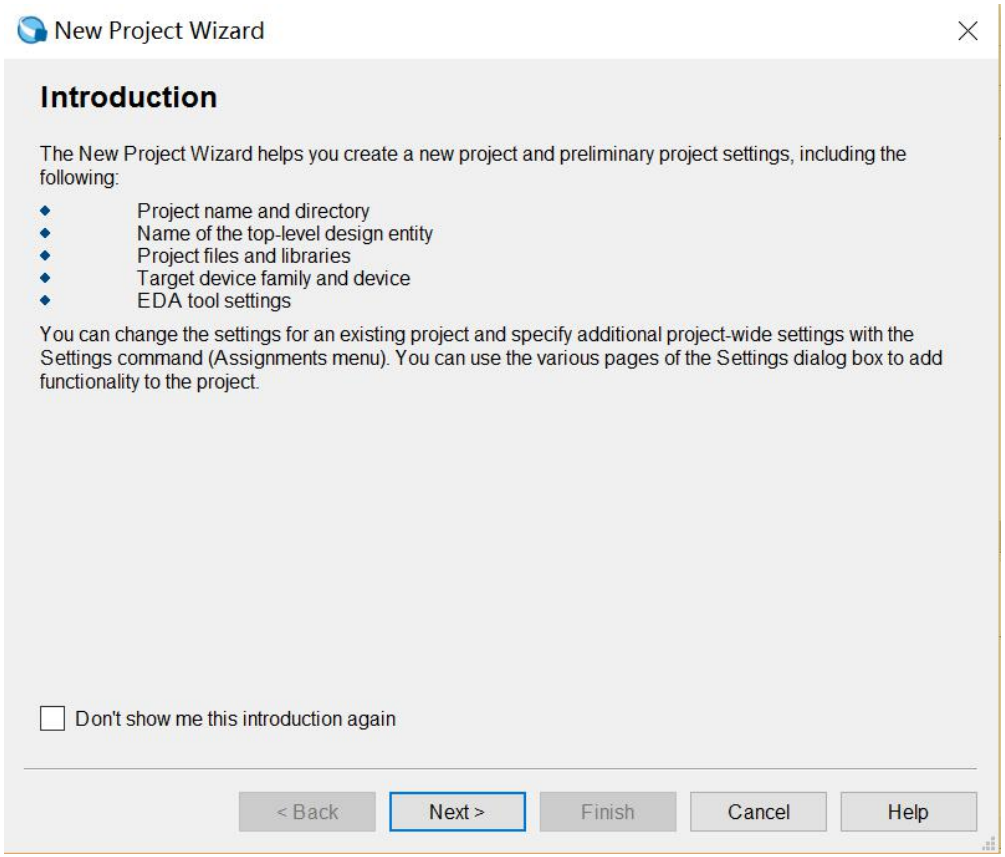
输入元件

3.1.1 半加器原理图设计输入



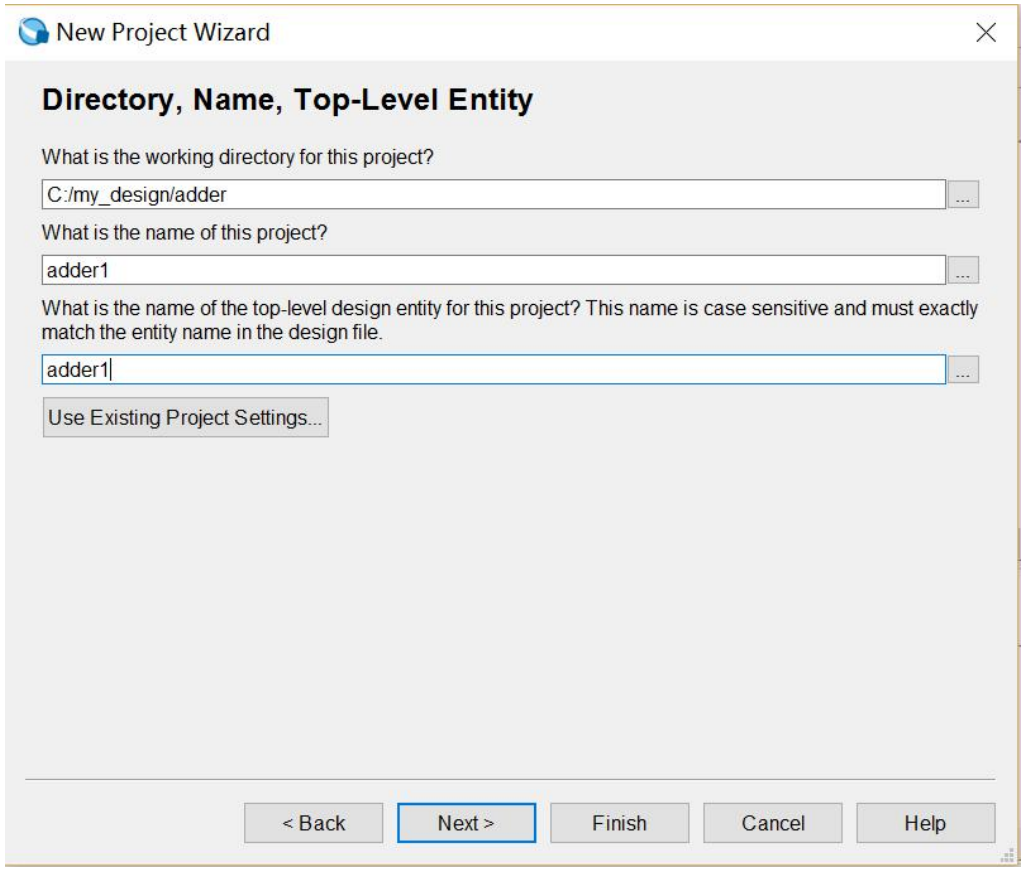
半加器电路图

3.1.1 半加器原理图设计输入



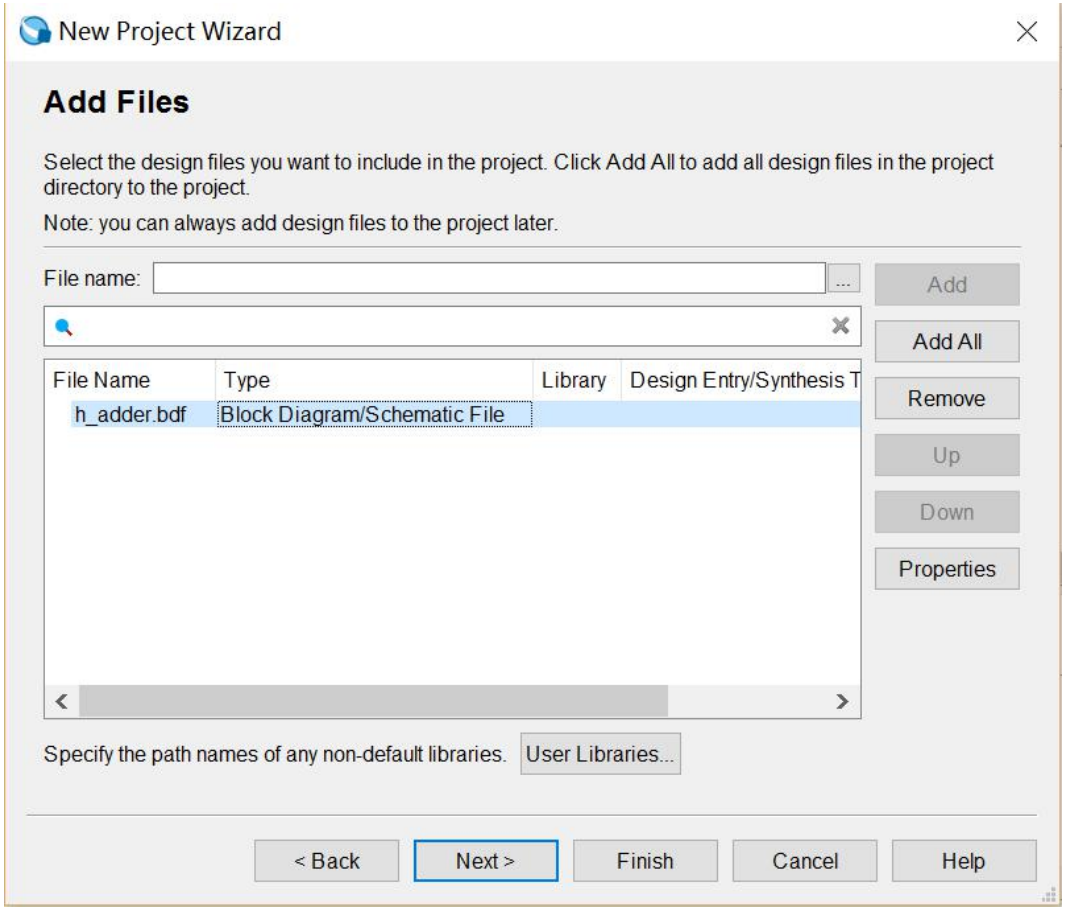
使用New Project Wizard创建工程

3.1.1 半加器原理图设计输入



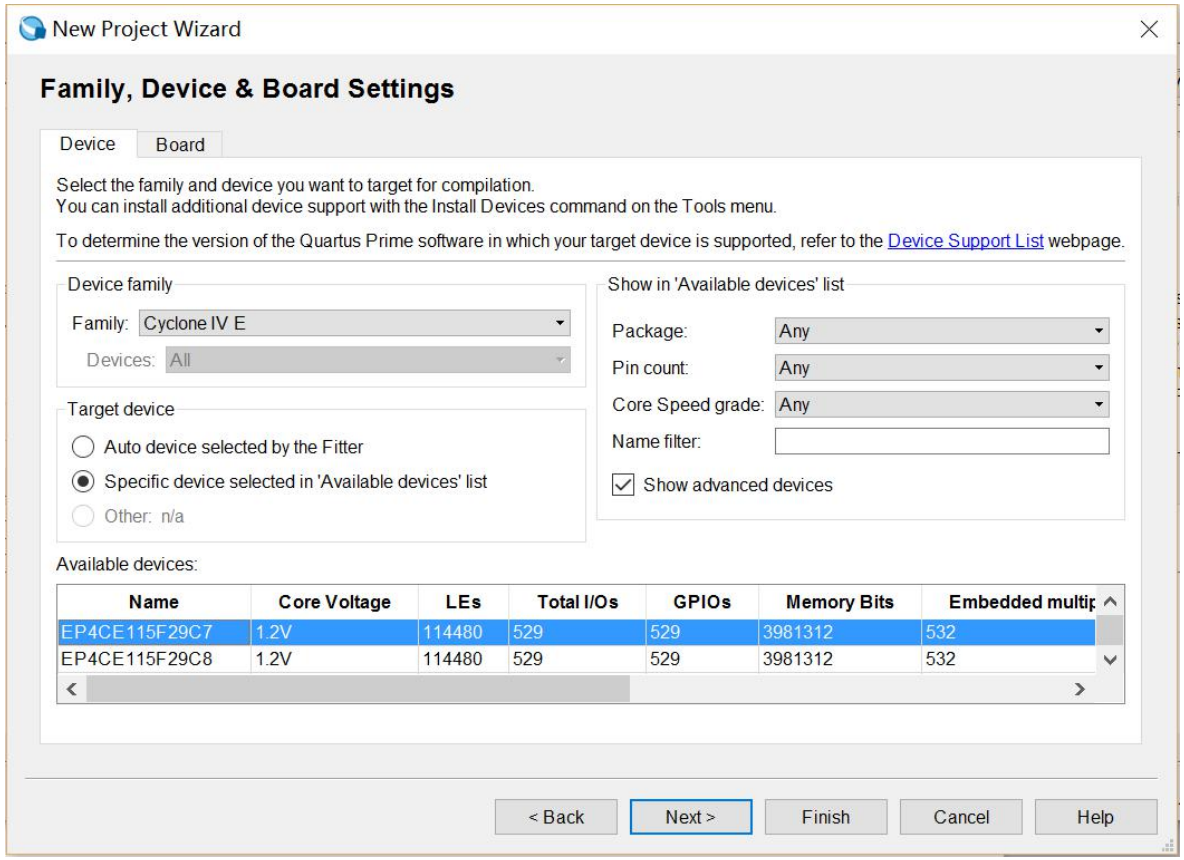
设置Directory，Name，Top-Level Entity对话框

3.1.1 半加器原理图设计输入



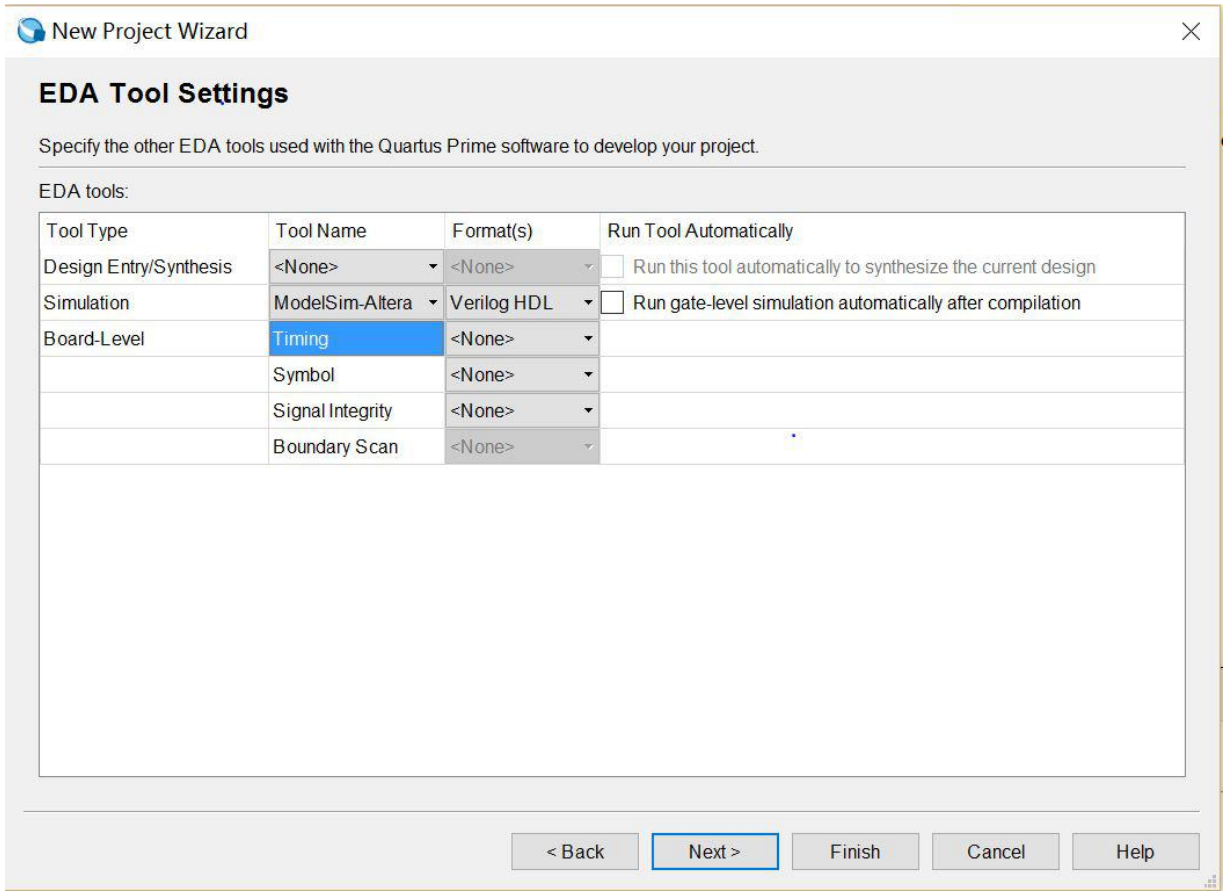
将设计文件加入当前工程中

3.1.1 半加器原理图设计输入



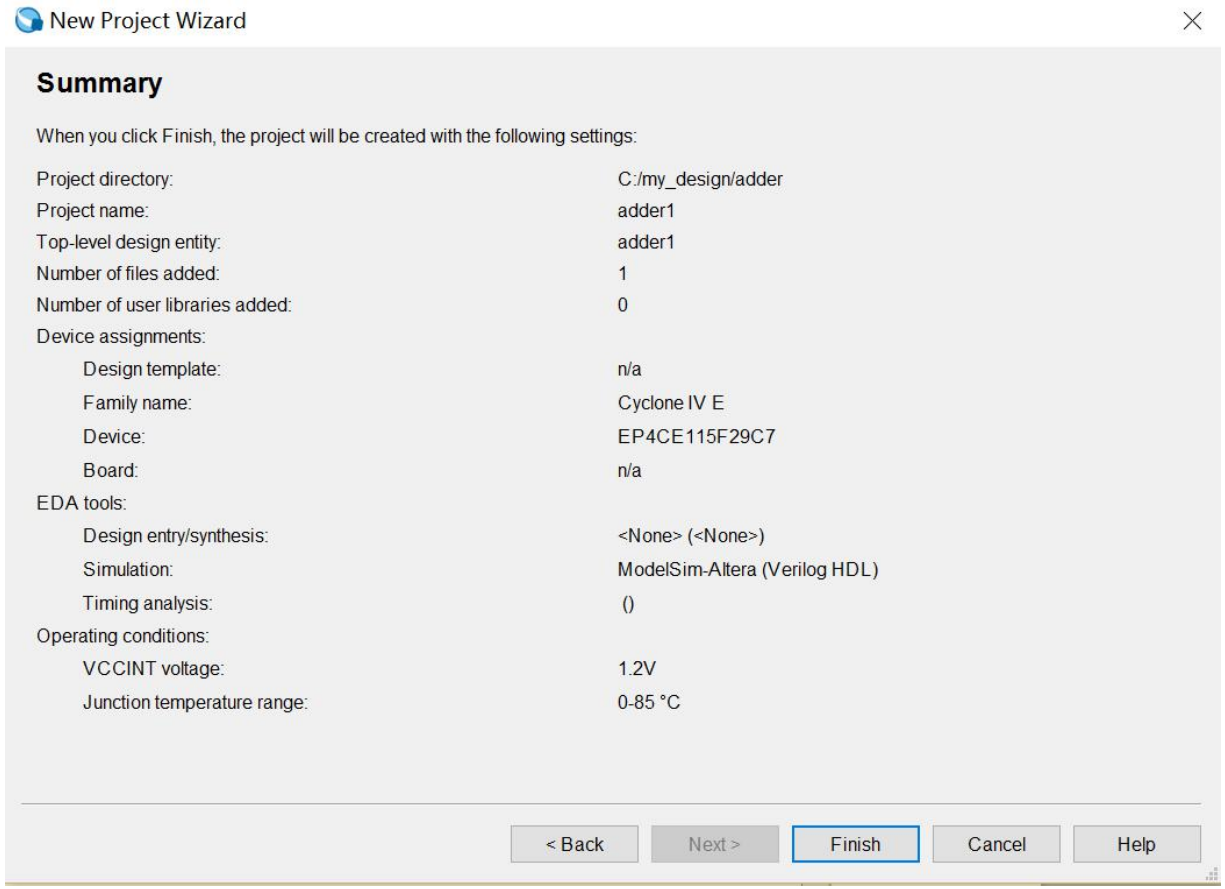
选择目标器件

3.1.1 半加器原理图设计输入



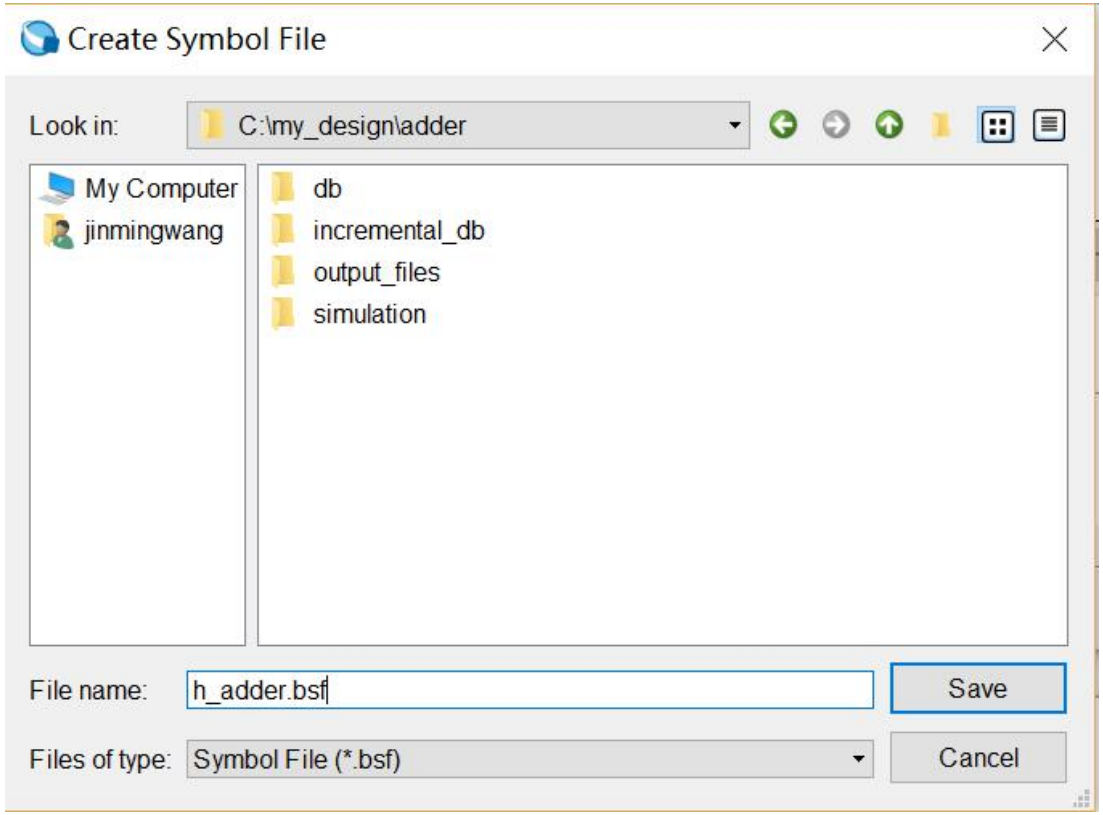
选择综合器、仿真器

3.1.1 半加器原理图设计输入



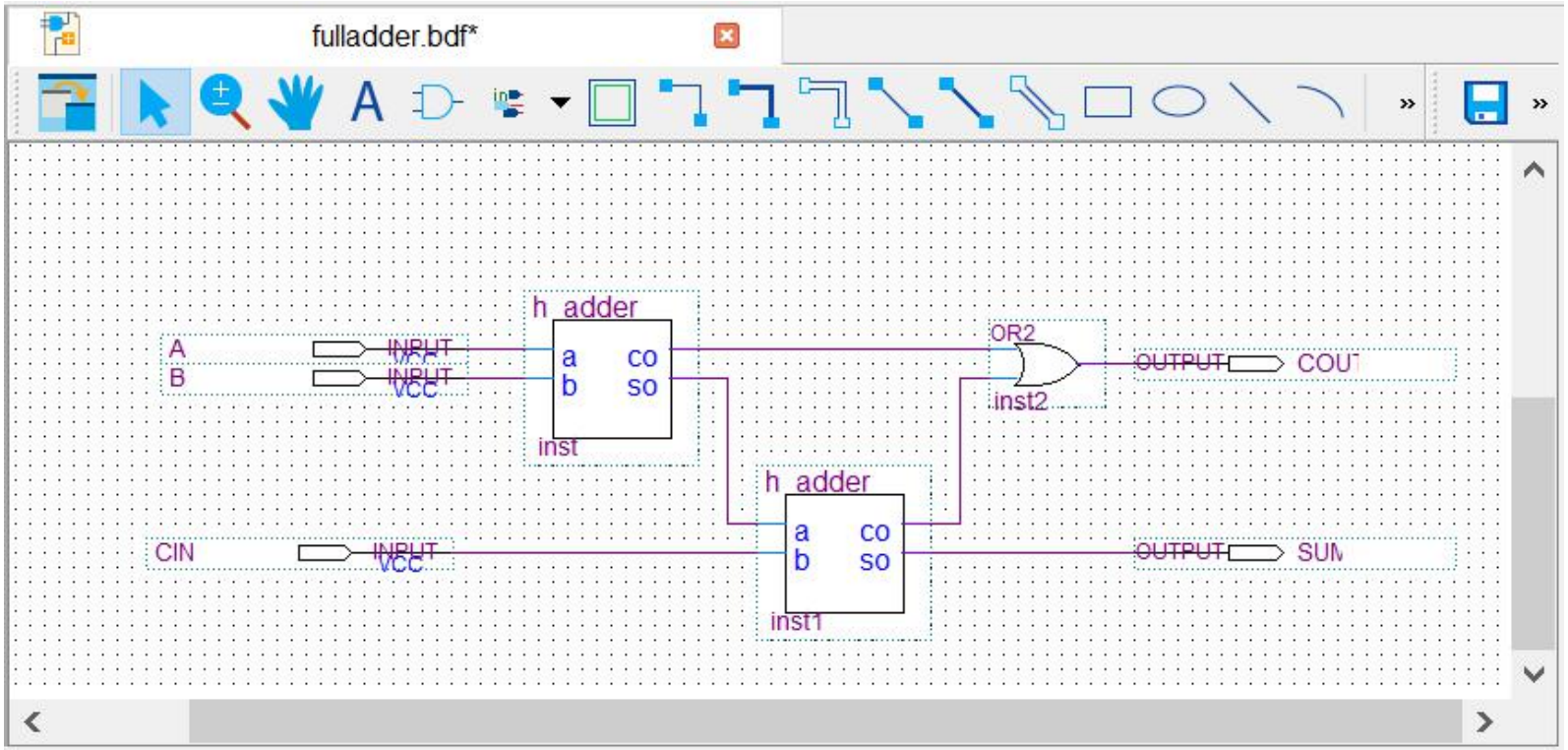
工程信息汇总显示

3.1.2 1位全加器设计输入



创建元件符号对话框

3.1.2 1位全加器设计输入



1 位全加器原理图

3.1.3 1位全加器的编译

选择菜单Processing→Start Compilation，或者单击按钮，即启动了完全编译，完全编译包括如下5个过程：

分析与综合（Analysis & Synthesis）；

适配（Fitter）；

装配（Assembler）；

定时分析（TimeQuest Timing Analysis）；

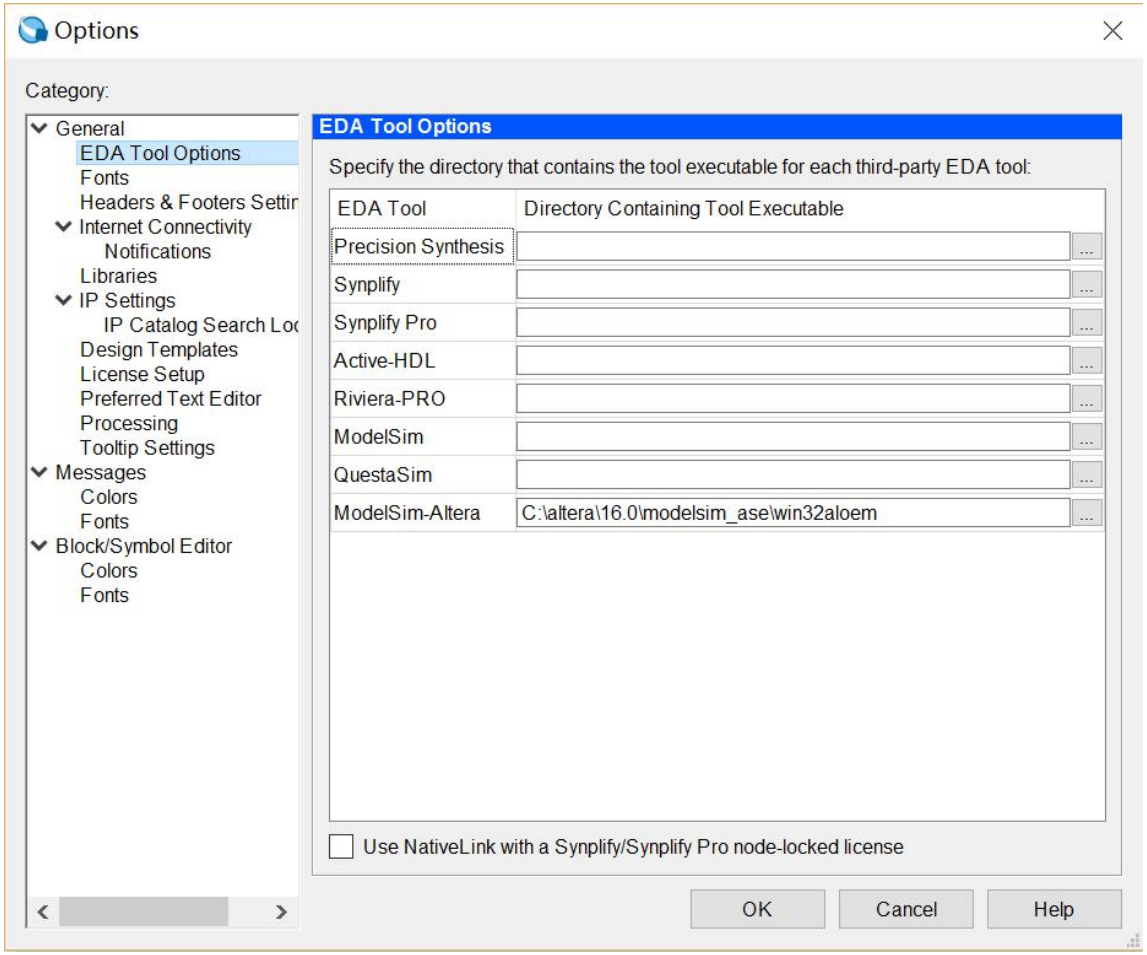
网表文件提取（EDA Netlist Writer）。

3.1.3 1位全加器的编译

Flow Summary	
Flow Status	Successful - Tue Jun 28 23:27:48 2016
Quartus Prime Version	16.0.1 Build 218 06/01/2016 SJ Standard Edition
Revision Name	adder1
Top-level Entity Name	fulladder
Family	Cyclone IV E
Device	EP4CE115F29C7
Timing Models	Final
Total logic elements	2 / 114,480 (< 1 %)
Total combinational functions	2 / 114,480 (< 1 %)
Dedicated logic registers	0 / 114,480 (0 %)
Total registers	0
Total pins	5 / 529 (< 1 %)
Total virtual pins	0
Total memory bits	0 / 3,981,312 (0 %)
Embedded Multiplier 9-bit elements	0 / 532 (0 %)
Total PLLs	0 / 4 (0 %)

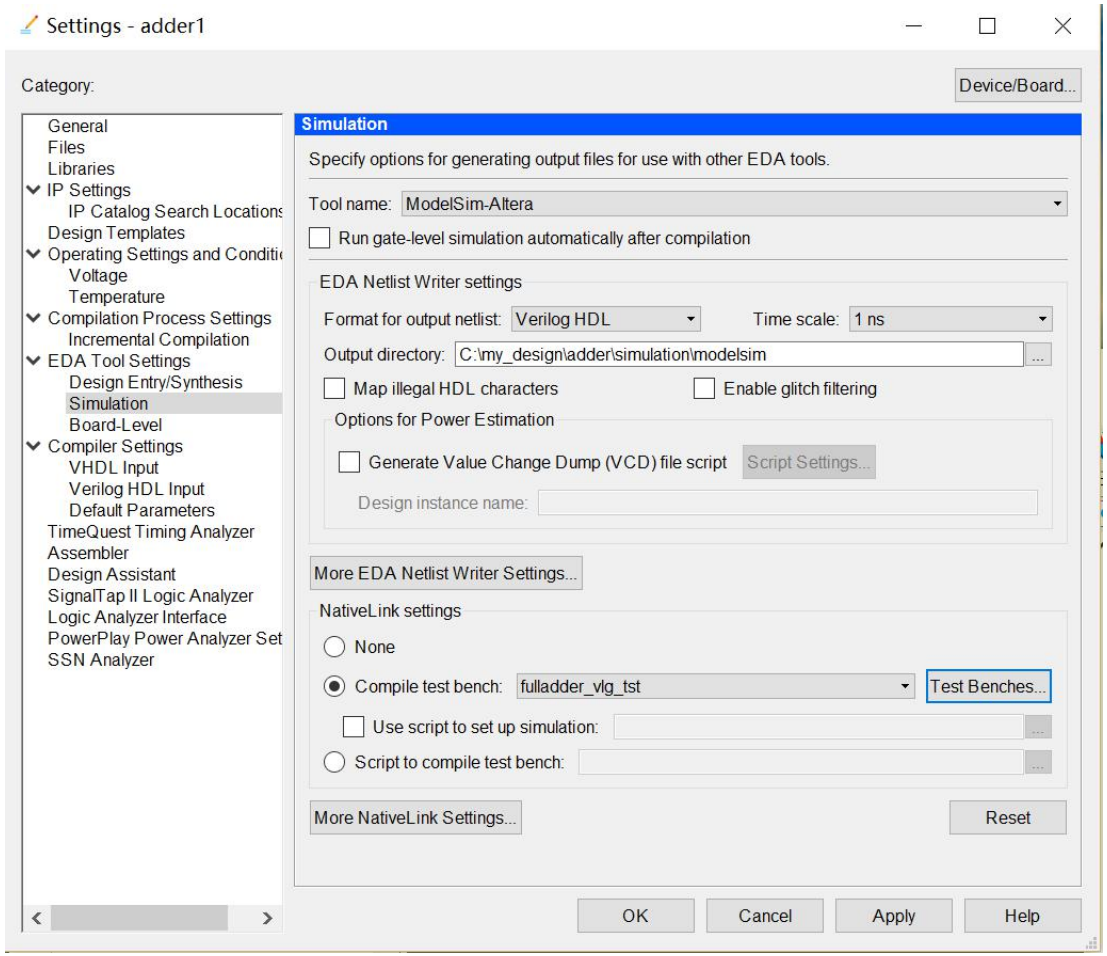
编译信息汇总

3.1.4 1位全加器的仿真



建立Quartus Prime和Modelsim的链接

3.1.4 1位全加器的仿真



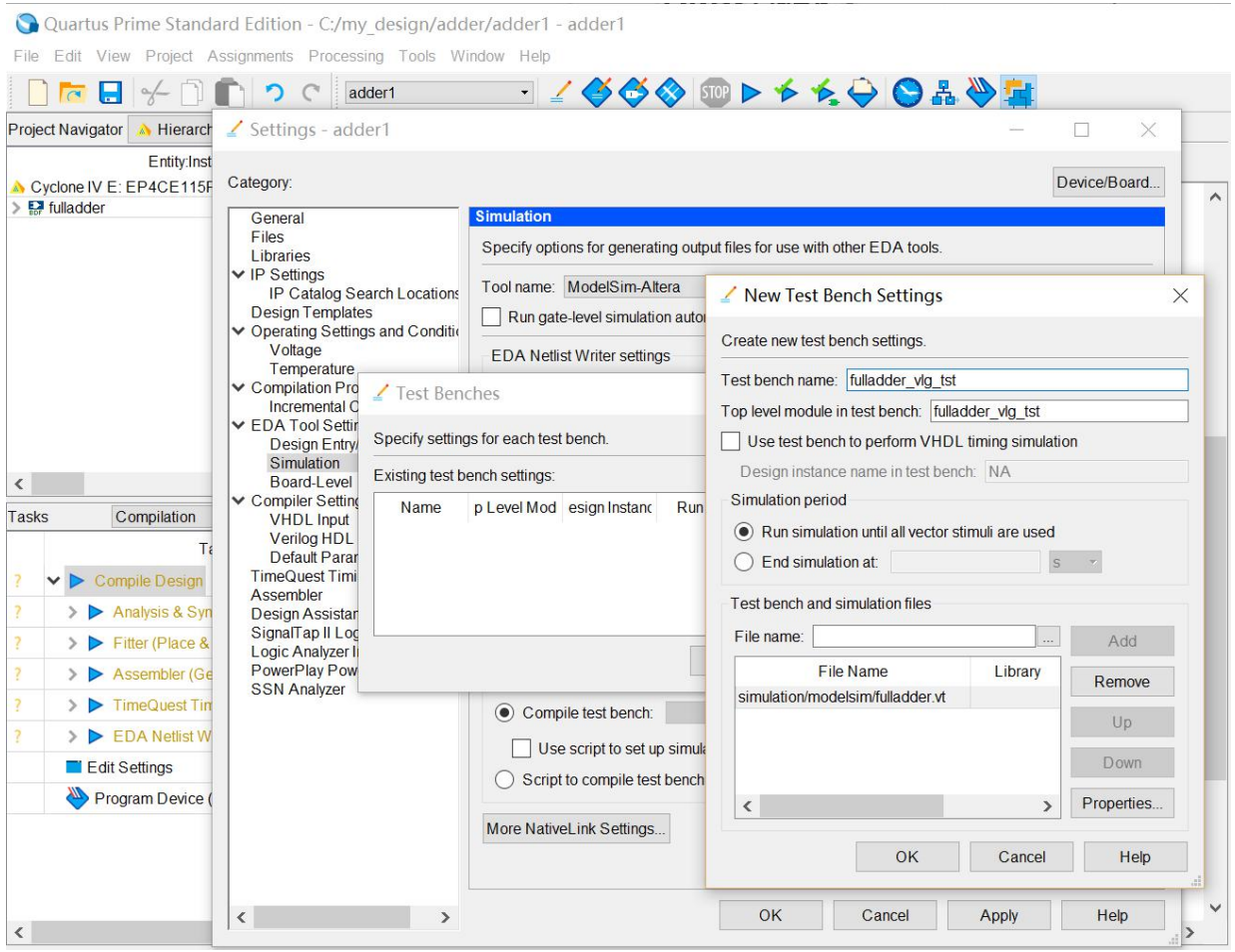
设置仿真文件的格式和目录

3.1.4 1位全加器的仿真

```
27
28  `timescale 1 ps/ 1 ps
29  module fulladder_vlg_tst();
30  // constants
31  // general purpose registers
32  reg eachvec;
33  // test vector input registers
34  reg A;
35  reg B;
36  reg CIN;
37  // wires
38  wire COUT;
39  wire SUM;
40
41  // assign statements (if any)
42  fulladder i1 (
43  // port map - connection between master ports and signals/registers
44      .A(A),
45      .B(B),
46      .CIN(CIN),
47      .COUT(COUT),
48      .SUM(SUM)
49  );
50  initial
51  begin
52  // code that executes only once
53  // insert code here --> begin
54
55  // --> end
56  $display("Running testbench");
57  end
58  always
59  // optional sensitivity list
60  // @(event1 or event2 or .... eventn)
61  begin
62  // code executes for every event on sensitivity list
63  // insert code here --> begin
64
65  @eachvec;
66  // --> end
67  end
68  endmodule
69
```

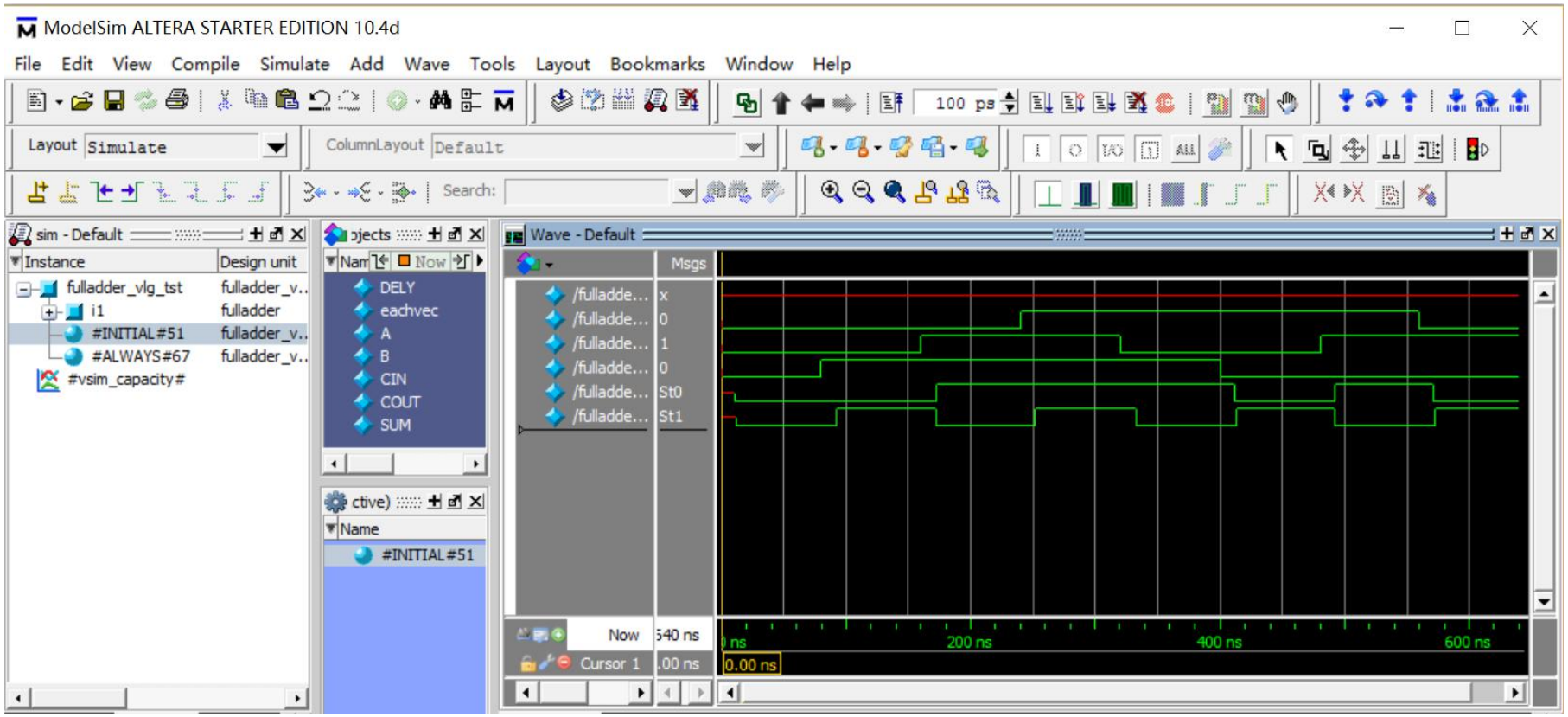
自动生成的Test Bench模板文件

3.1.4 1位全加器的仿真



对Test Bench进一步设置

3.1.4 1位全加器的仿真



1位全加器时序仿真波形图

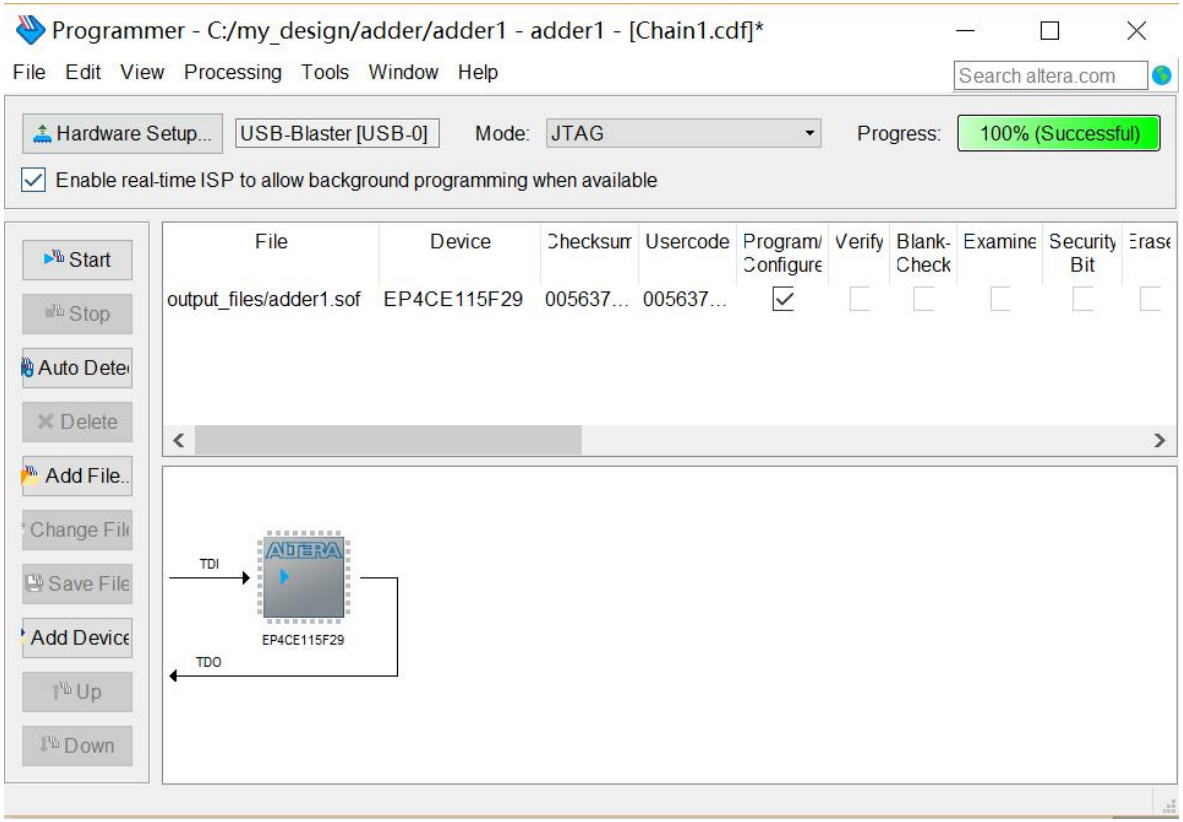
3.1.5 1位全加器的下载

本例针对的下载板为DE2-115，故目标器件应为：EP4CE115F29C7。

选择菜单Assignments→Pin Planner，在Pin Planner对话框中，进行引脚的锁定。

A	→PIN_AB28	SW0（拨动开关）
B	→PIN_AC28	SW1（拨动开关）
CIN	→PIN_AC27	SW2（拨动开关）
SUM	→PIN_E21	LEDG0（LED灯）
COUT	→PIN_AB28	LEDG1（LED灯）

3.1.5 1位全加器的下载



编程下载窗口

第3章 Quartus Prime使用指南

3.1 Quartus Prime原理图设计

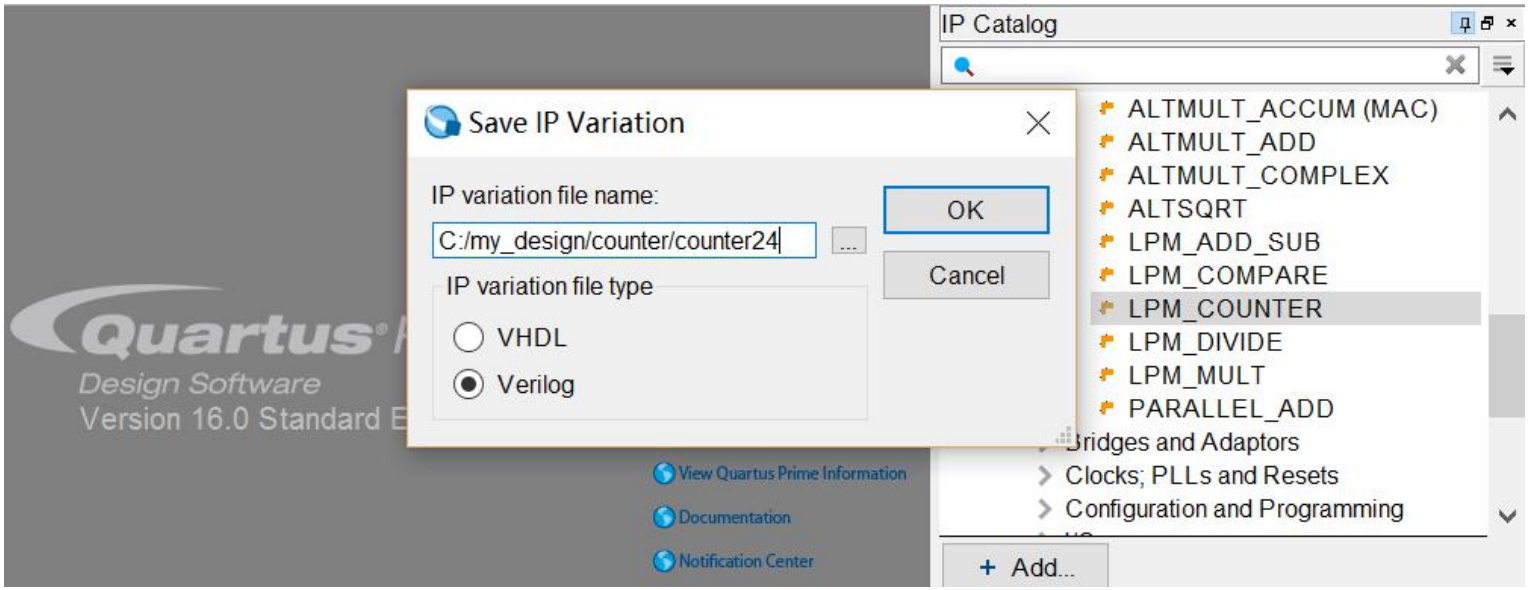
3.2 基于IP核的设计

3.3 SignalTap II的使用方法

3.4 Quartus Prime的优化设置与时序分析

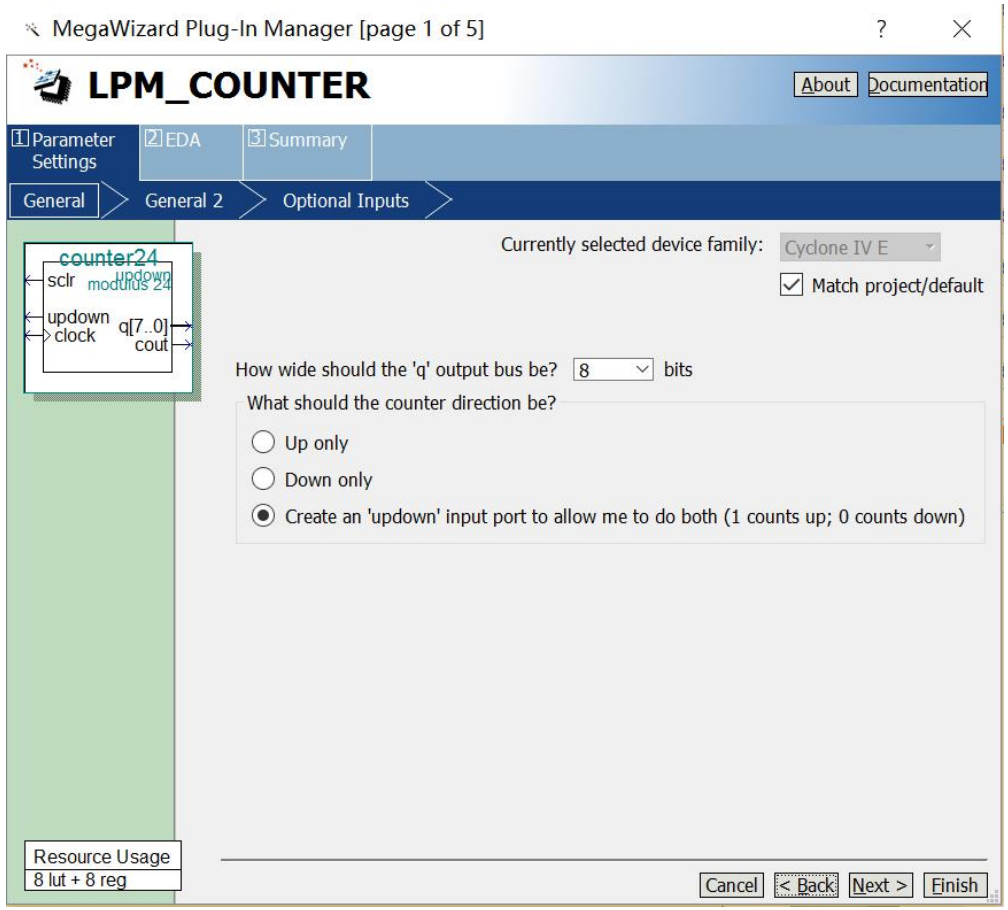
3.2 基于IP核的设计

3.2.1 用LPM_COUNTER设计模24方向可控计数器



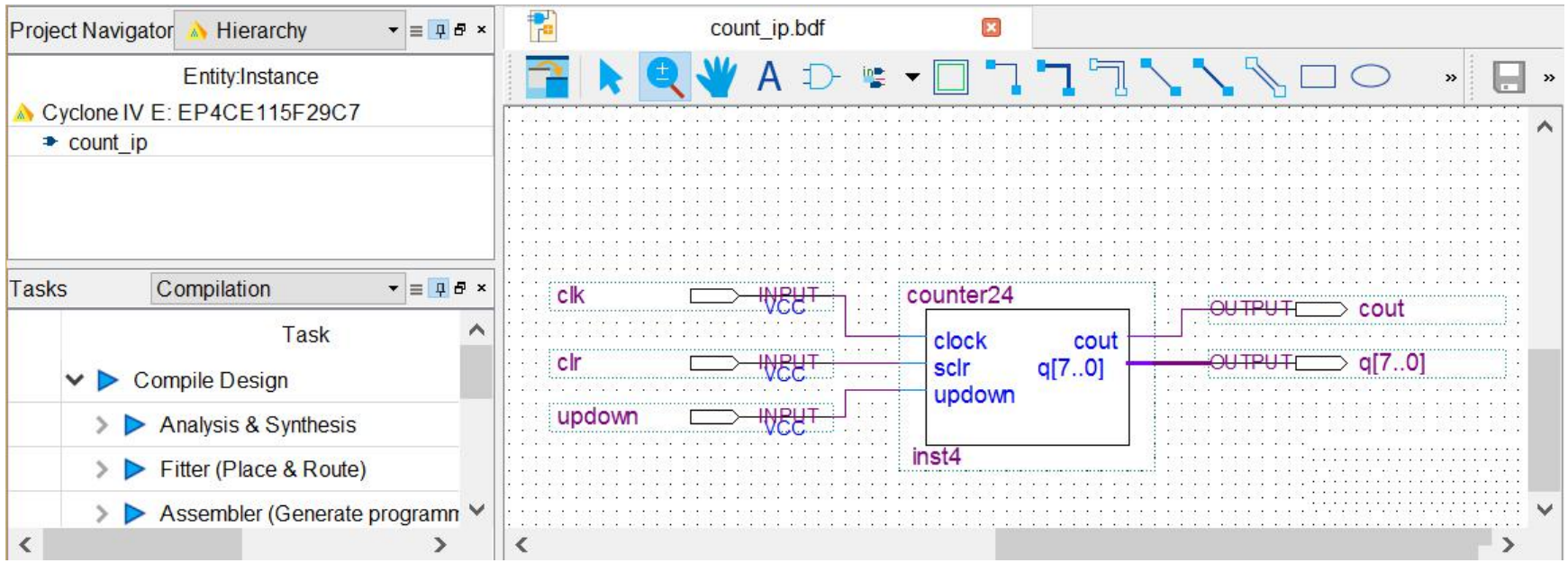
LPM_COUNTER模块命名

3.2.1 用LPM_COUNTER设计模24方向可控计数器



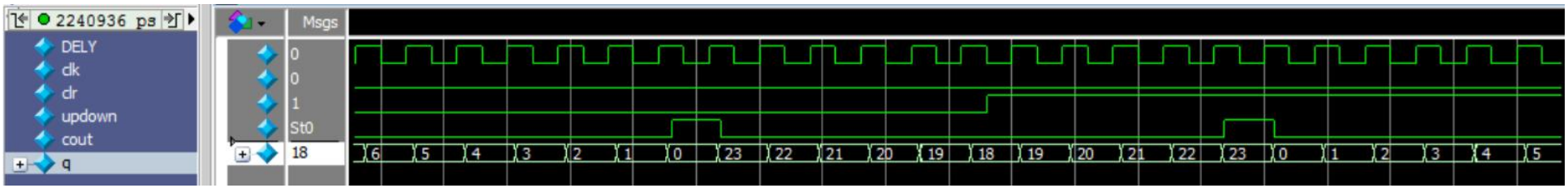
启动MegaWizard Plug-In Manager，对LPM_COUNTER模块进行参数设置

3.2.1 用LPM_COUNTER设计模24方向可控计数器



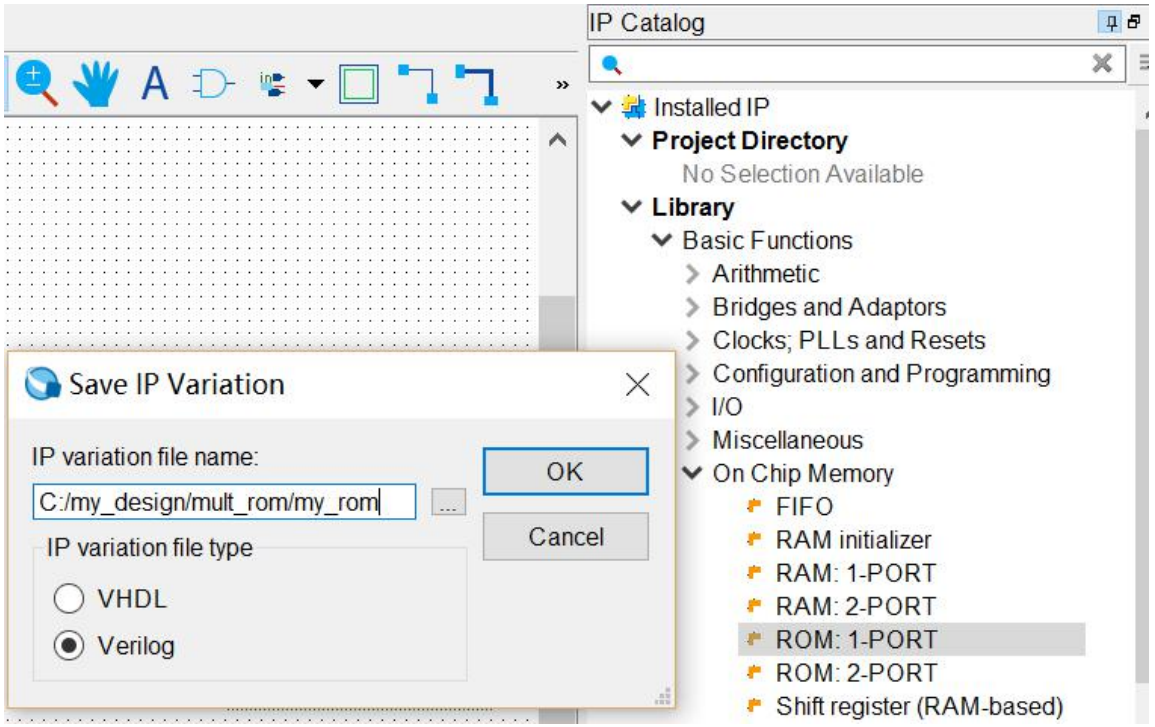
模24方向可控计数器原理图

3.2.1 用LPM_COUNTER设计模24方向可控计数器



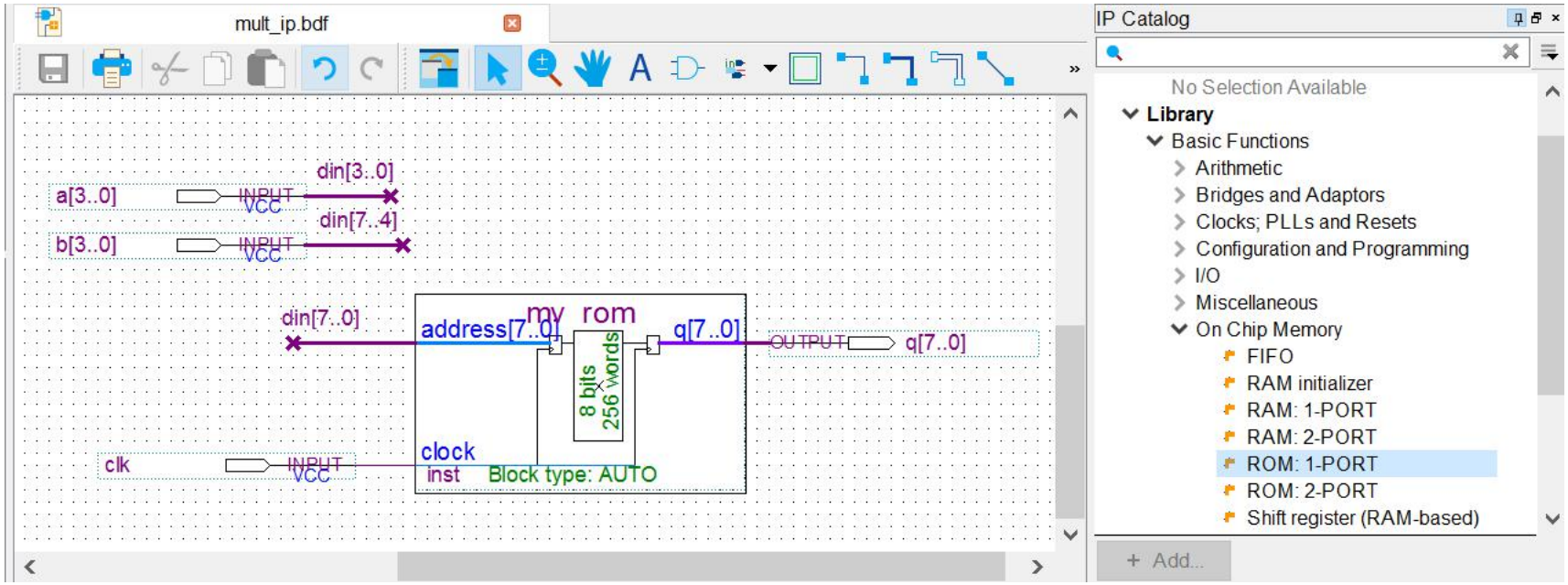
模24方向可控计数器门级仿真波形图

3.2.2 用LPM_ROM模块实现4×4无符号数乘法器



Save IP Variation对话框

3.2.2 用LPM_ROM模块实现4×4无符号数乘法器



基于lpm_rom实现的4×4无符号数乘法器原理图

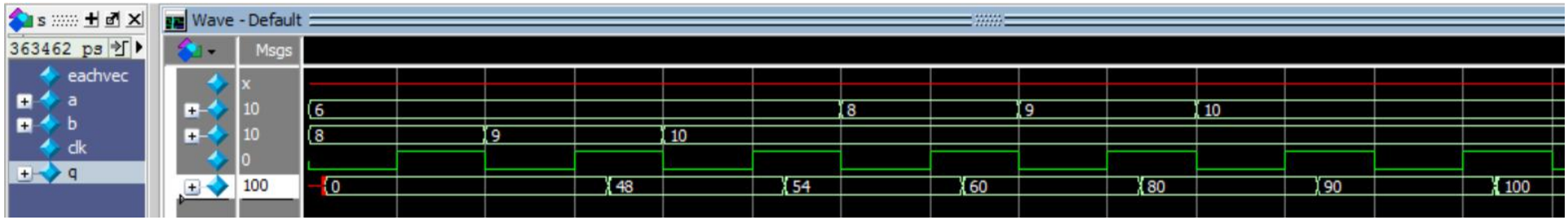
3.2.2 用LPM_ROM模块实现4×4无符号数乘法器

mult_rom.mif*

Add	+0	+1	+2	+3	+4	+5	+6	+7
0	0	0	0	0	0	0	0	0
8	0	0	0	0	0	0	0	0
16	0	1	2	3	4	5	6	7
24	8	9	10	0	0	0	0	0
32	0	0	0	0	0	0	0	0
40	0	0	0	0	0	0	0	0

ROM存储器的内容存储在*.mif文件中

3.2.2 用LPM_ROM模块实现4×4无符号数乘法器



4×4无符号数乘法器波形仿真结果

第3章 Quartus Prime使用指南

3.1 Quartus Prime原理图设计

3.2 基于IP核的设计

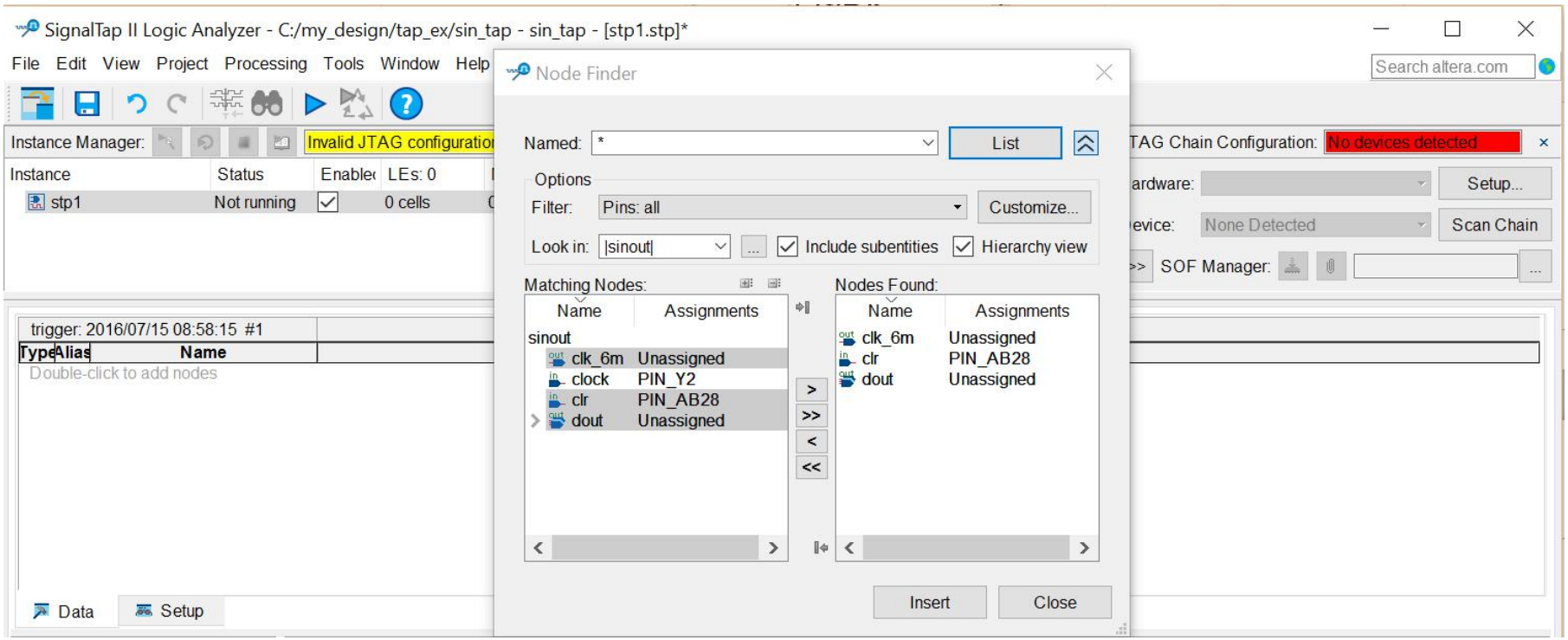
3.3 SignalTap II的使用方法

3.4 Quartus Prime的优化设置与时序分析

3.3 SignalTap II的使用方法

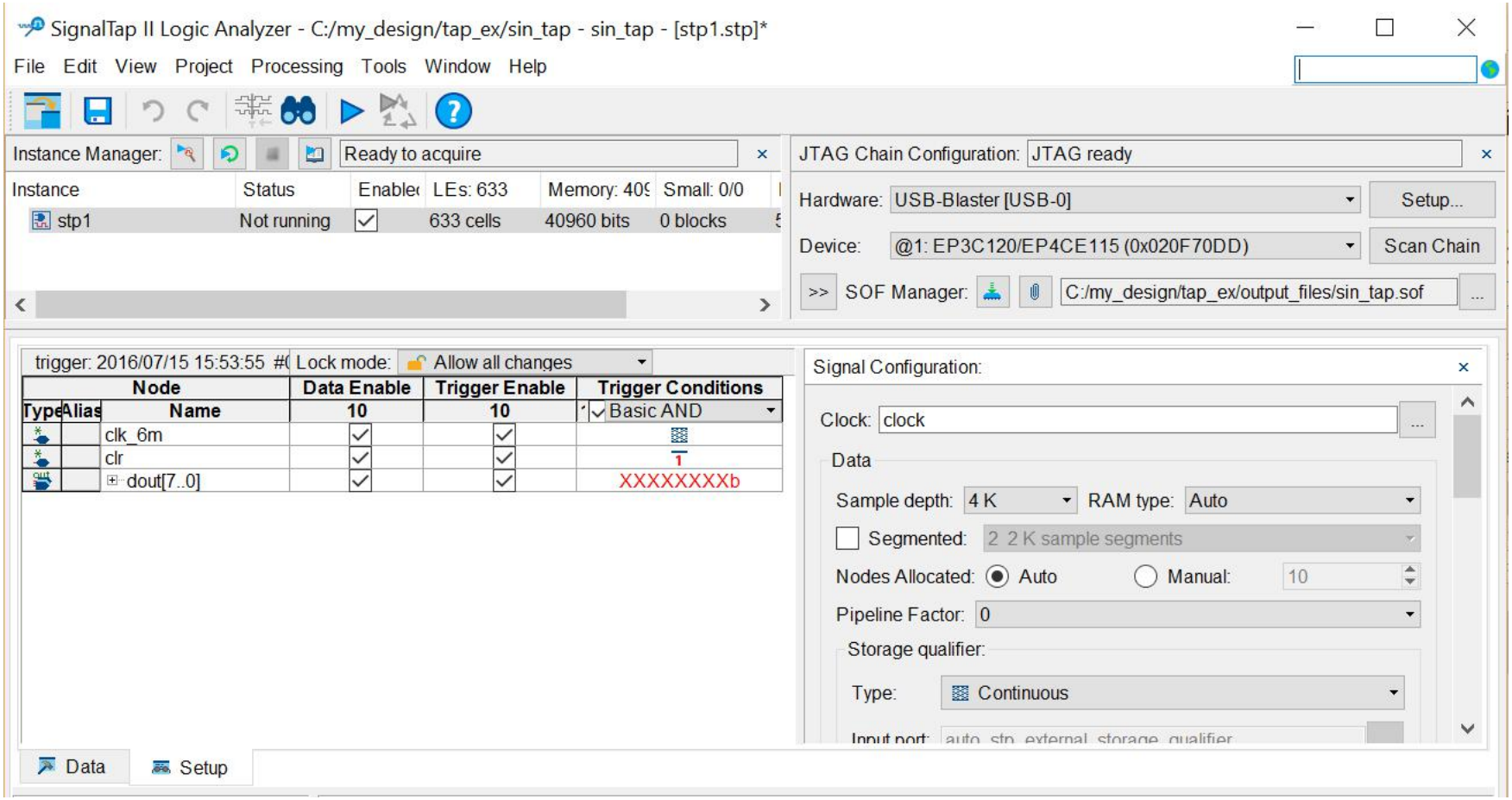
Quartus Prime的嵌入式逻辑分析仪SignalTap II为设计者提供了一种方便高效的硬件测试手段，它可以随设计文件一起下载到目标芯片中，捕捉目标芯片内信号节点或总线上的数据，将这些数据暂存于目标芯片的嵌入式RAM中，然后通过器件的JTAG端口将采到的信息和数据送到计算机进行显示，供用户分析。

3.3 SignalTap II的使用方法



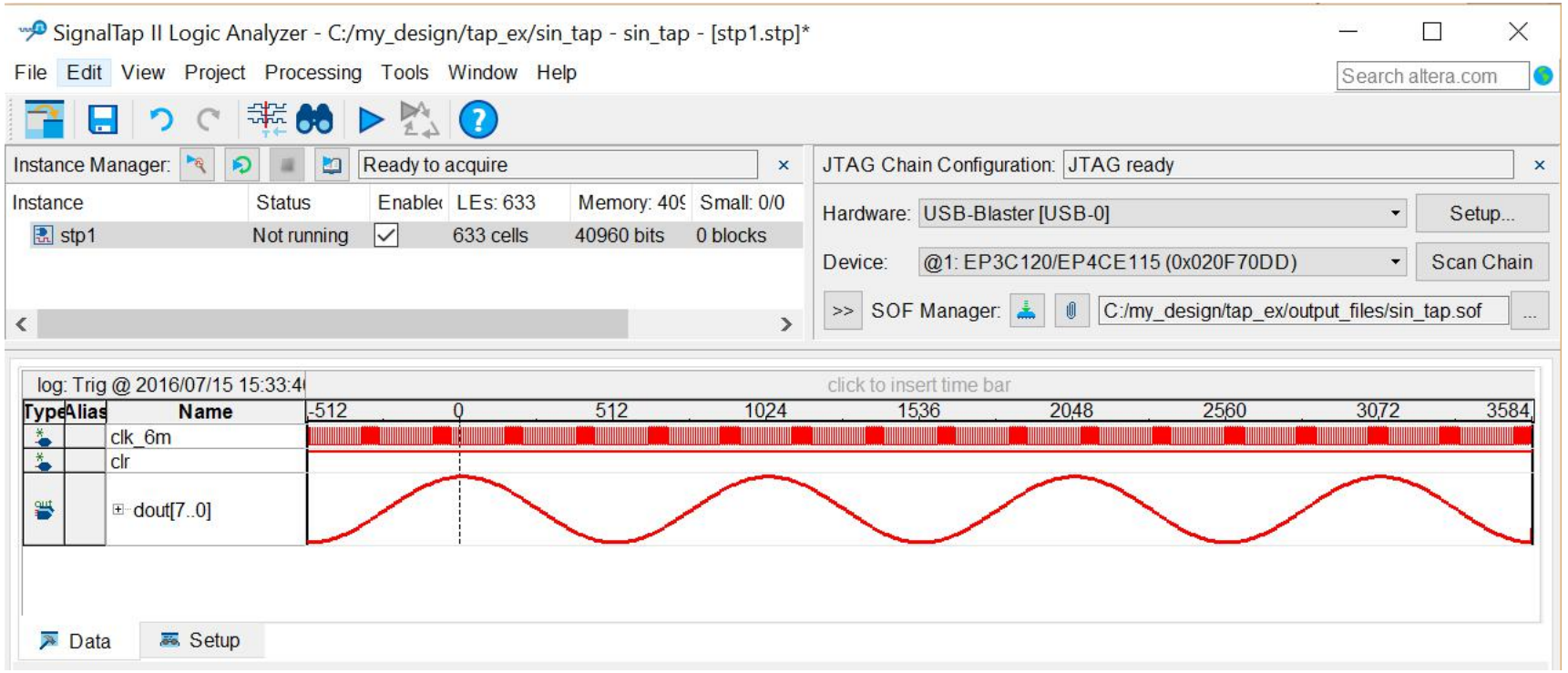
调入待测信号

3.3 SignalTap II的使用方法



SignalTap II参数设置窗口

3.3 SignalTap II的使用方法



SignalTap II数据窗口显示的实时采样的信号波形

第3章 Quartus Prime使用指南

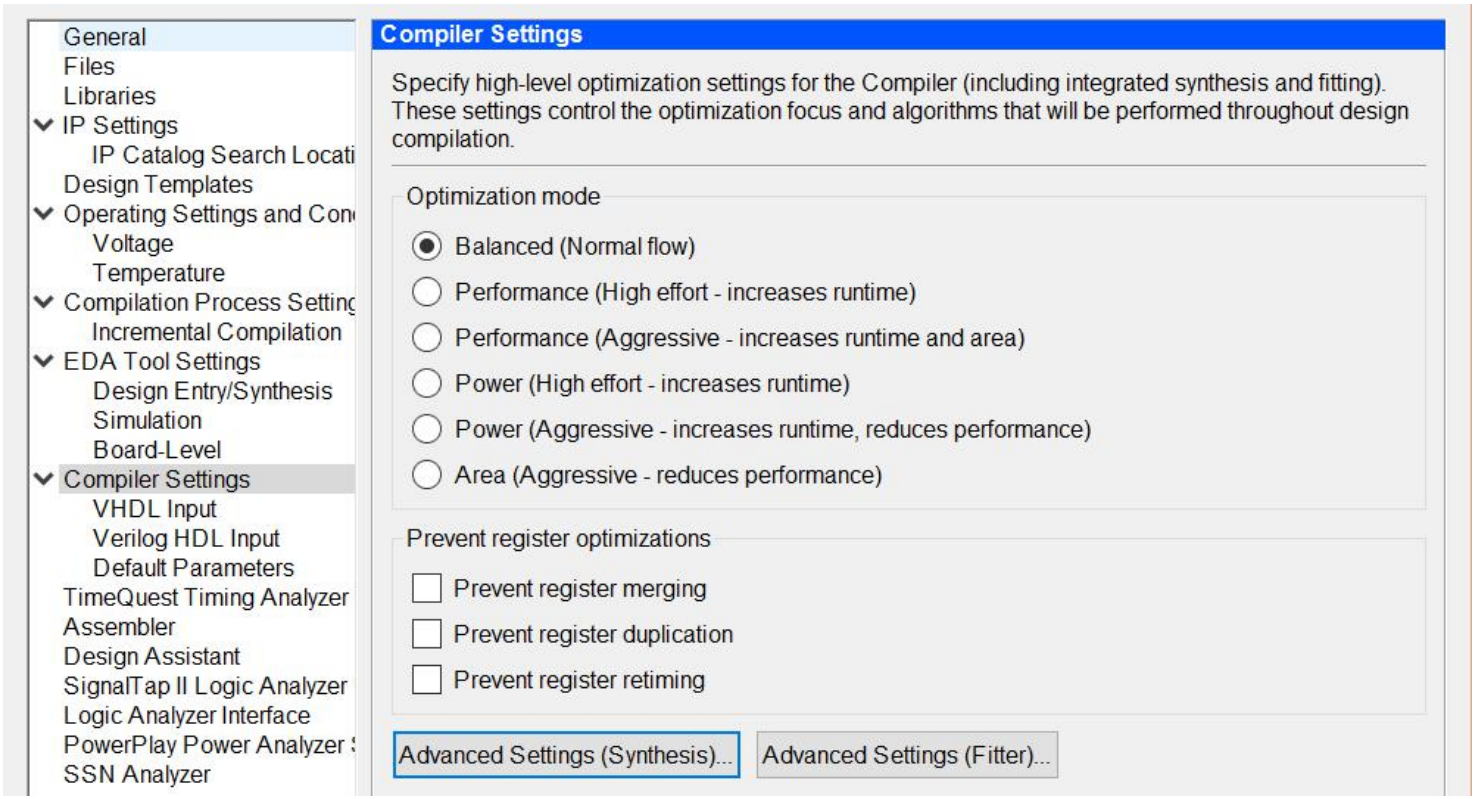
3.1 Quartus Prime原理图设计

3.2 基于IP核的设计

3.3 SignalTap II的使用方法

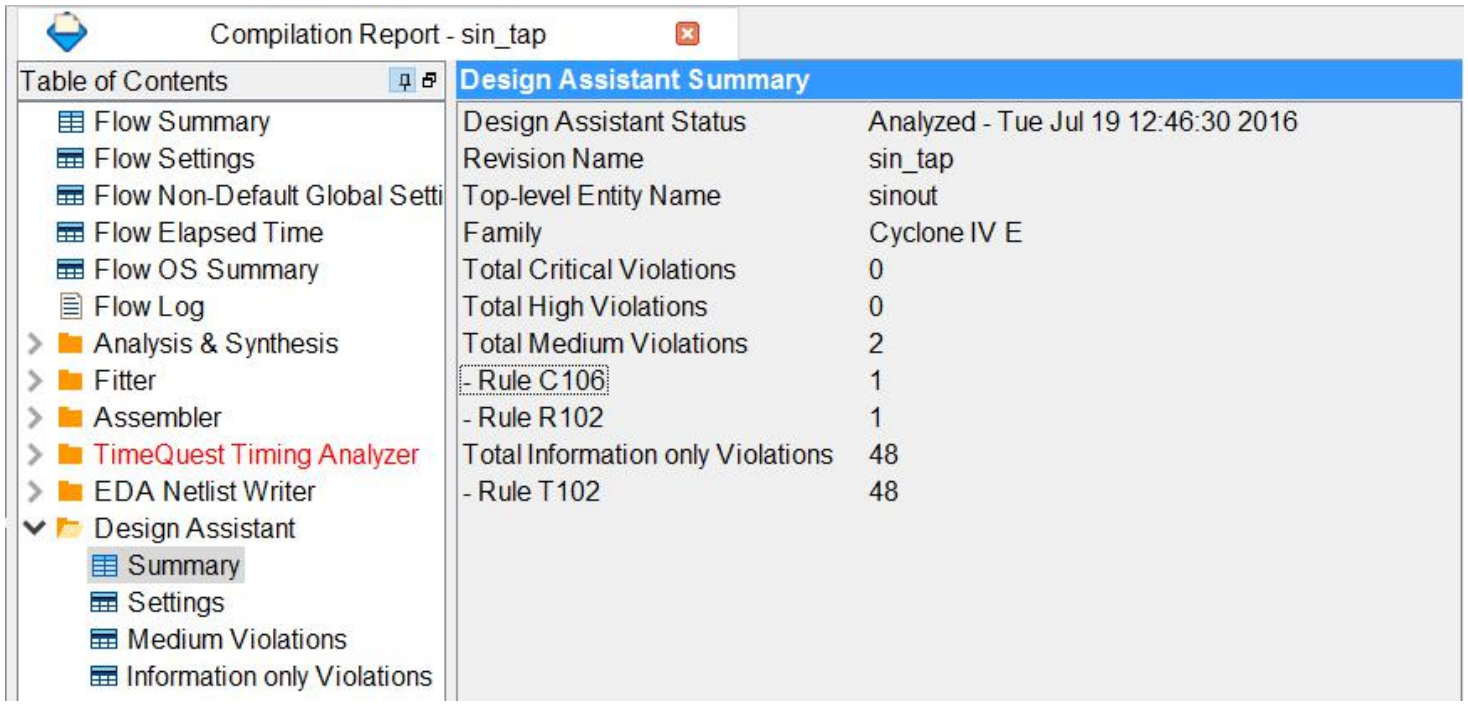
3.4 Quartus Prime的优化设置与时序分析

3.4 Quartus Prime的优化设置与时序分析



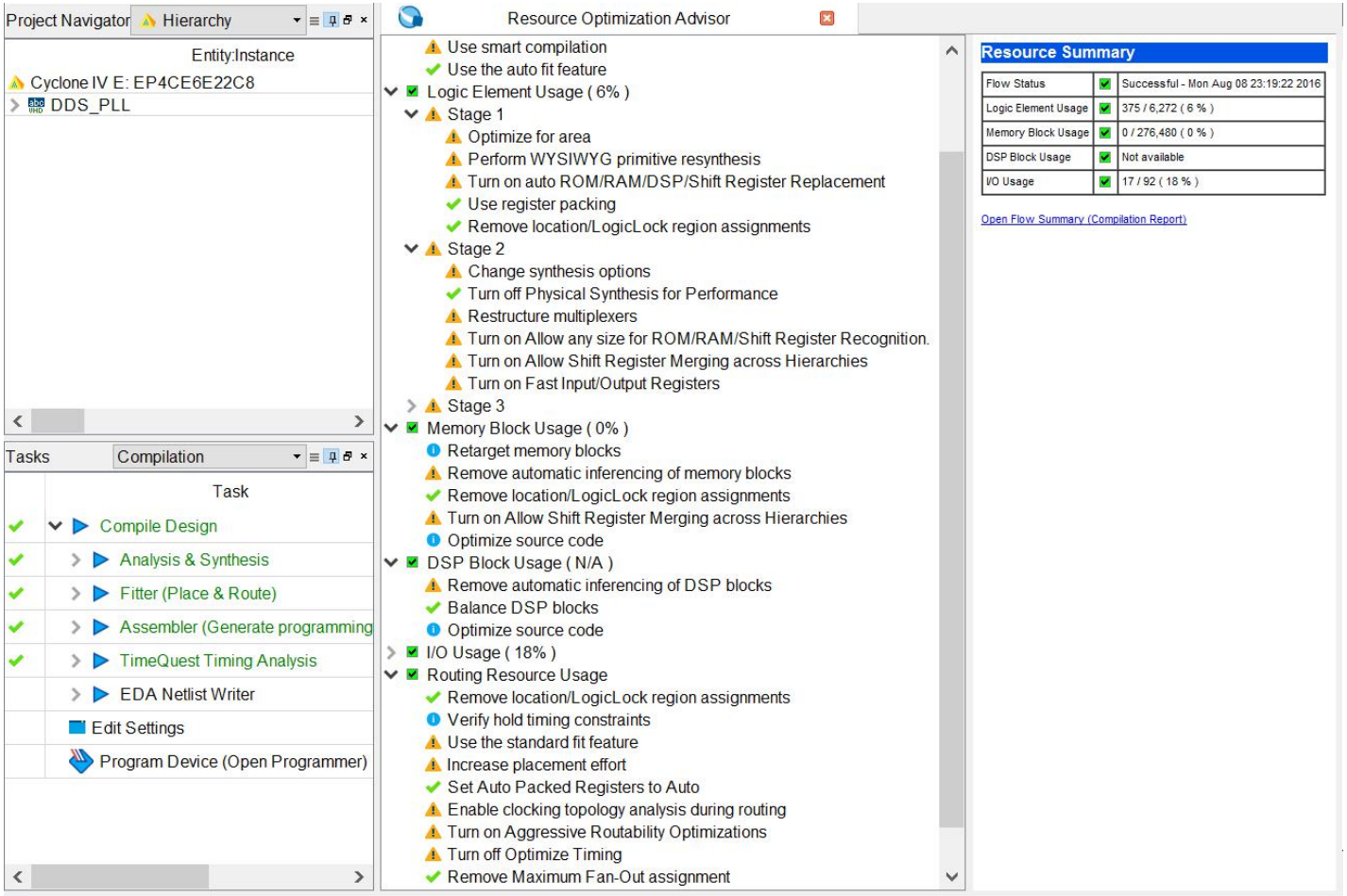
编译器设置

3.4 Quartus Prime的优化设置与时序分析



查看Design Assistant报告

3.4 Quartus Prime的优化设置与时序分析



资源优化指导（Resource Optimization Advisor）

习　题　3

3.1 基于Quartus Prime软件，用D触发器设计一个2分频电路，并做波形仿真，在此基础上，设计一个4分频和8分频电路，做波形仿真。**1.4** 数字系统的实现方式有哪些？各有什么优缺点？

3.2 基于Quartus Prime软件，用74161设计一个模10计数器，并进行编译和仿真。

3.3 基于Quartus Prime软件，用74161设计一个模99的计数器，个位和十位都采用8421BCD码的编码方式设计，分别用置0和置1两种方法实现，完成原理图设计输入、编译、仿真和下载整个过程。

3.5 基于Quartus Prime软件，用74283（4位二进制全加器）设计实现一个8位全加器，并进行综合和仿真，查看综合结果和仿真结果。