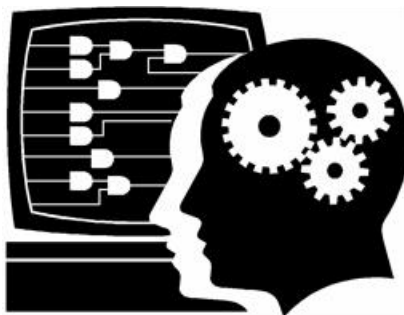


# 数字系统设计与Verilog HDL

(第6版)



# 数字系统设计与 Verilog HDL (第6版)



# 第1章 EDA技术概述

## 1.1 EDA技术及其发展

## 1.2 Top-down设计与IP核复用

## 1.3 数字设计的流程

## 1.4 常用的EDA软件工具

## 1.5 EDA技术的发展趋势

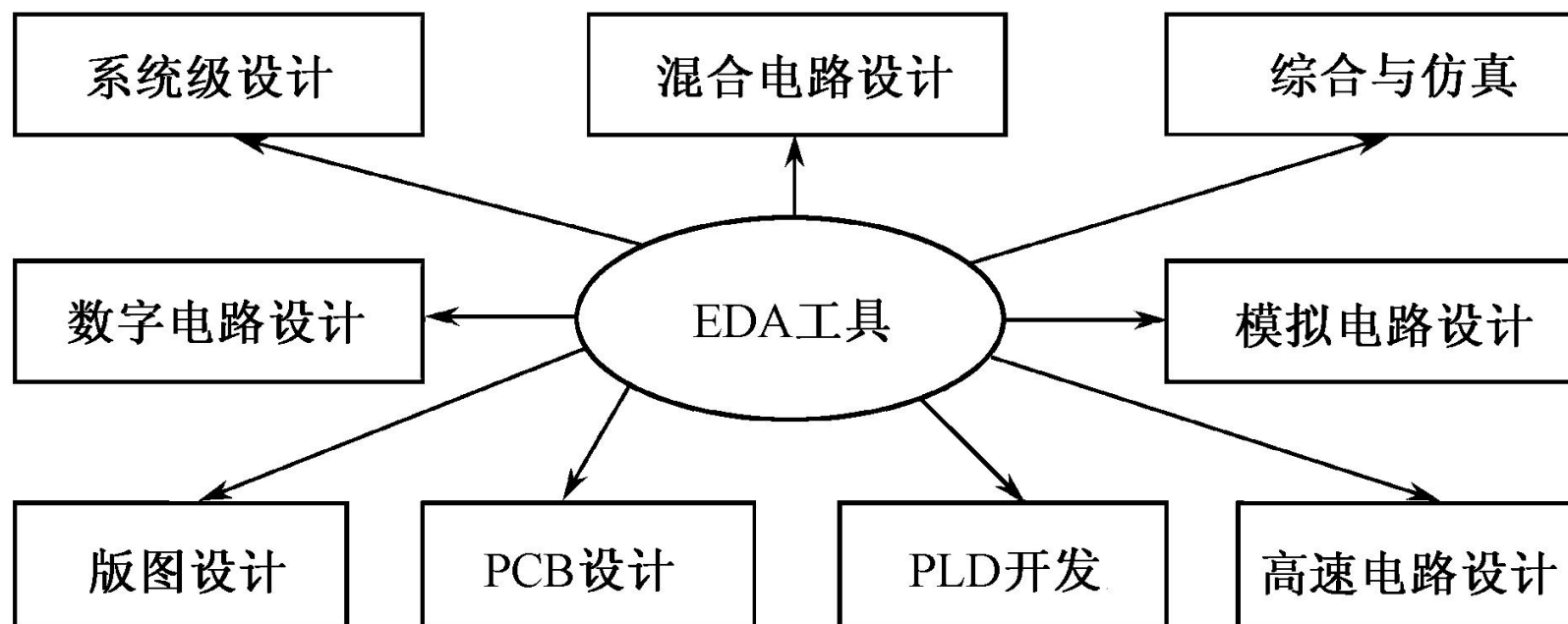
## 1.1 EDA技术及其发展

### **EDA (Electronic Design Automation)**

就是以计算机为工作平台，以EDA软件工具为开发环境，以PLD器件或者ASIC专用集成电路为目标器件设计实现电路系统的一种技术。

1. 电子CAD (Computer Aided Design)
2. 电子CAE (Computer Aided Engineering)
3. EDA (Electronic Design Automation)

# EDA技术的应用范畴



# EDA技术的新发展

- (1) 电子技术各个领域全方位融入EDA技术。
- (2) IP (Intellectual Property) 核在电子设计领域得到了广泛的应用。
- (3) 嵌入式微处理器软核的出现, 更大规模的FPGA/CPLD器件的不断推出, 使得SoPC (System on Programmable Chip, 可编程芯片系统) 步入实用化阶段。
- (4) 用FPGA实现完全硬件的DSP (数字信号处理) 处理成为可能。
- (5) 在设计和仿真两方面支持标准硬件描述语言的EDA软件不断推出, 系统级、行为验证级硬件描述语言的出现使得复杂电子系统的设计和验证更加高效。

# EDA技术的特征

- (1) 采用硬件描述语言 (**HDL**) 进行设计
- (2) 逻辑综合与优化
- (3) 开放性和标准化
- (4) 更完备的库 (**Library**)

## **1.2 Top-down设计与IP核复用**

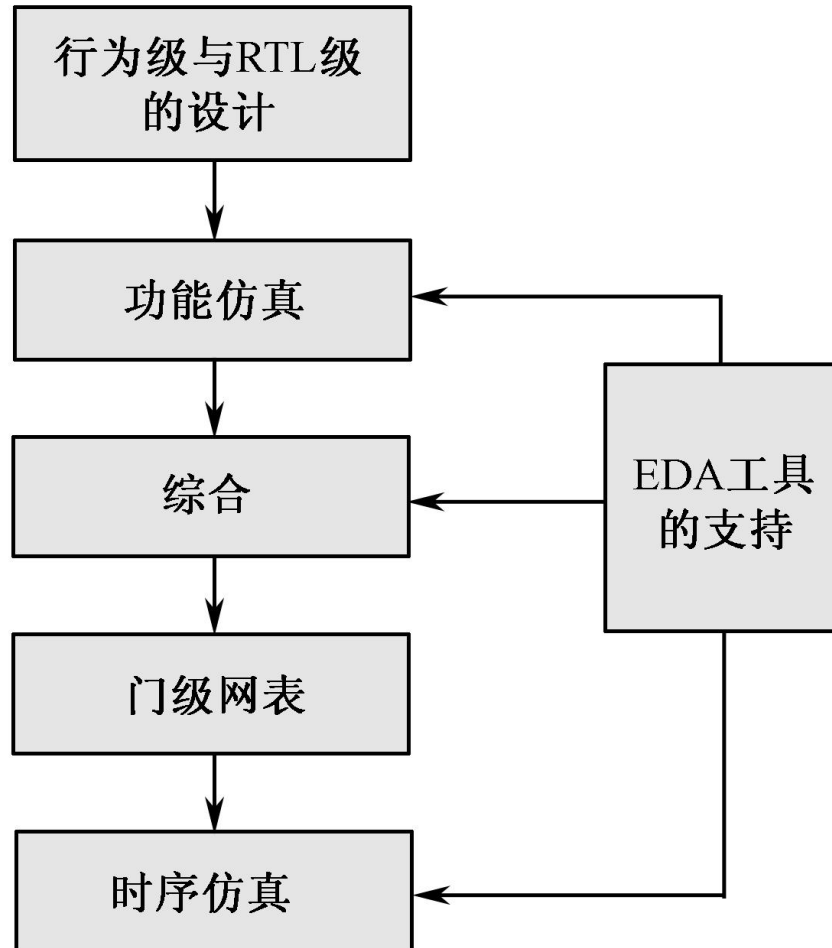
### **1.2.1 Top-down设计**

### **1.2.2 Bottom-up设计**

### **1.2.3 IP复用技术与SOC**



## 1.2.1 Top-down设计



**Top-down**的设计须经过“设计—验证—修改设计—再验证”的过程，不断反复，直到结果能够实现所要求的功能，并在速度、功耗、价格和可靠性方面实现较为合理的平衡。

## 1.2.2 Bottom-up设计

**Bottom-up**设计，即自底向上的设计，由设计者调用设计库中的元件(如各种门电路、加法器、计数器等)，设计组合出满足自己需要的系统

缺点：效率低、易出错

## 1.2.3 IP复用技术与SoC

**IP (Intellectual Property) :** 原来的含义是指知识产权、著作权，在IC设计领域指实现某种功能的设计。

**IP核 (IP模块) :** 指功能完整，性能指标可靠，已验证的、可重用的电路功能模块。

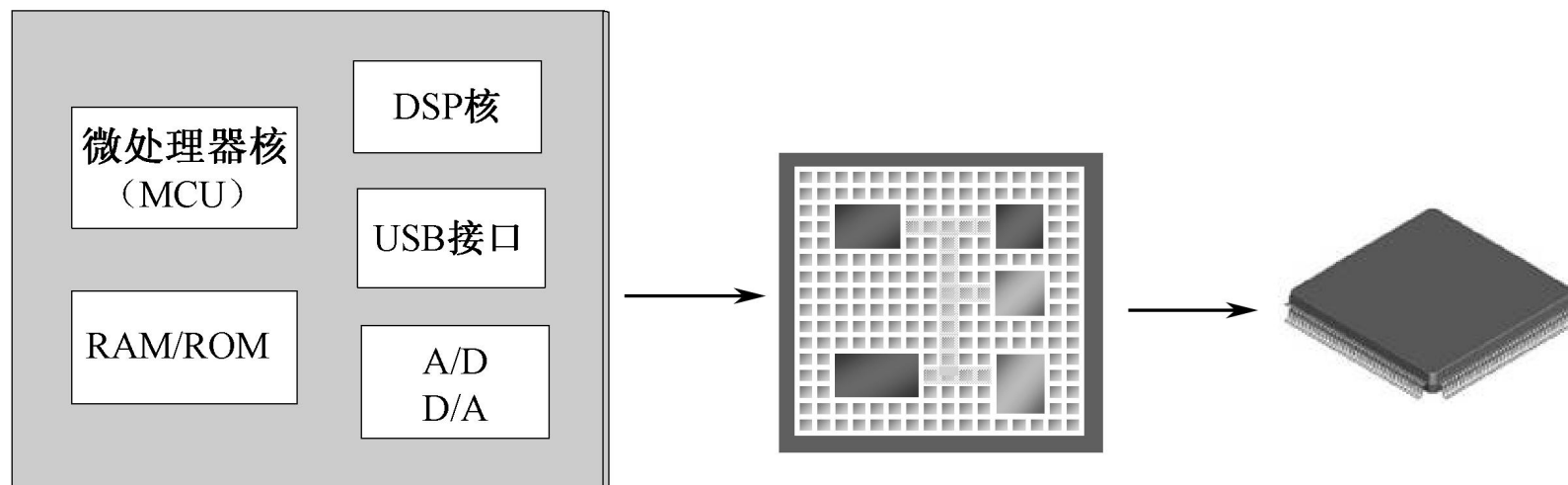
**IP复用 (IP reuse)**

# IP核与SoC设计

**软IP**--用VHDL等硬件描述语言描述的功能块，但是并不涉及用什么具体电路元件实现这些功能。

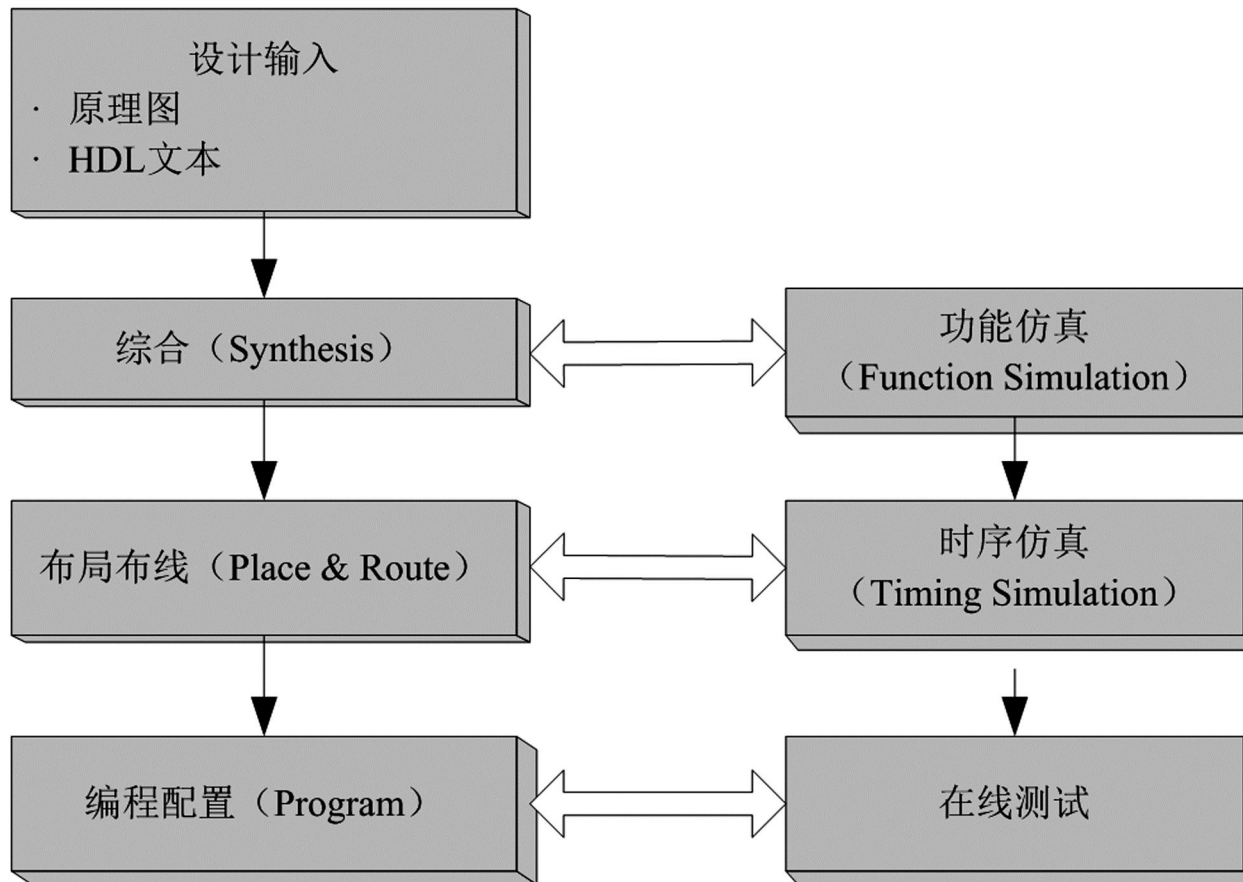
**固IP**--完成了综合的功能块。

**硬IP**--供设计的最终阶段产品：掩膜。



**SoC: SYSTEM on a CHIP**

## 1.3 数字设计的流程



基于FPGA/CPLD的数字系统设计流程

# 设计输入

1. 原理图输入(Schematic diagrams )
2. 硬件描述语言 (HDL文本输入)

(1) ABEL-HDL

(2) AHDL

(3) VHDL

(4) Verilog HDL

IEEE标准

硬件描述语言与软件编程语言有本质的区别

# 综合 (Synthesis)

将较高层次的设计描述自动转化为较低层次描述的过程

◆行为综合：从算法表示、行为描述转换到寄存器传输级 (RTL)

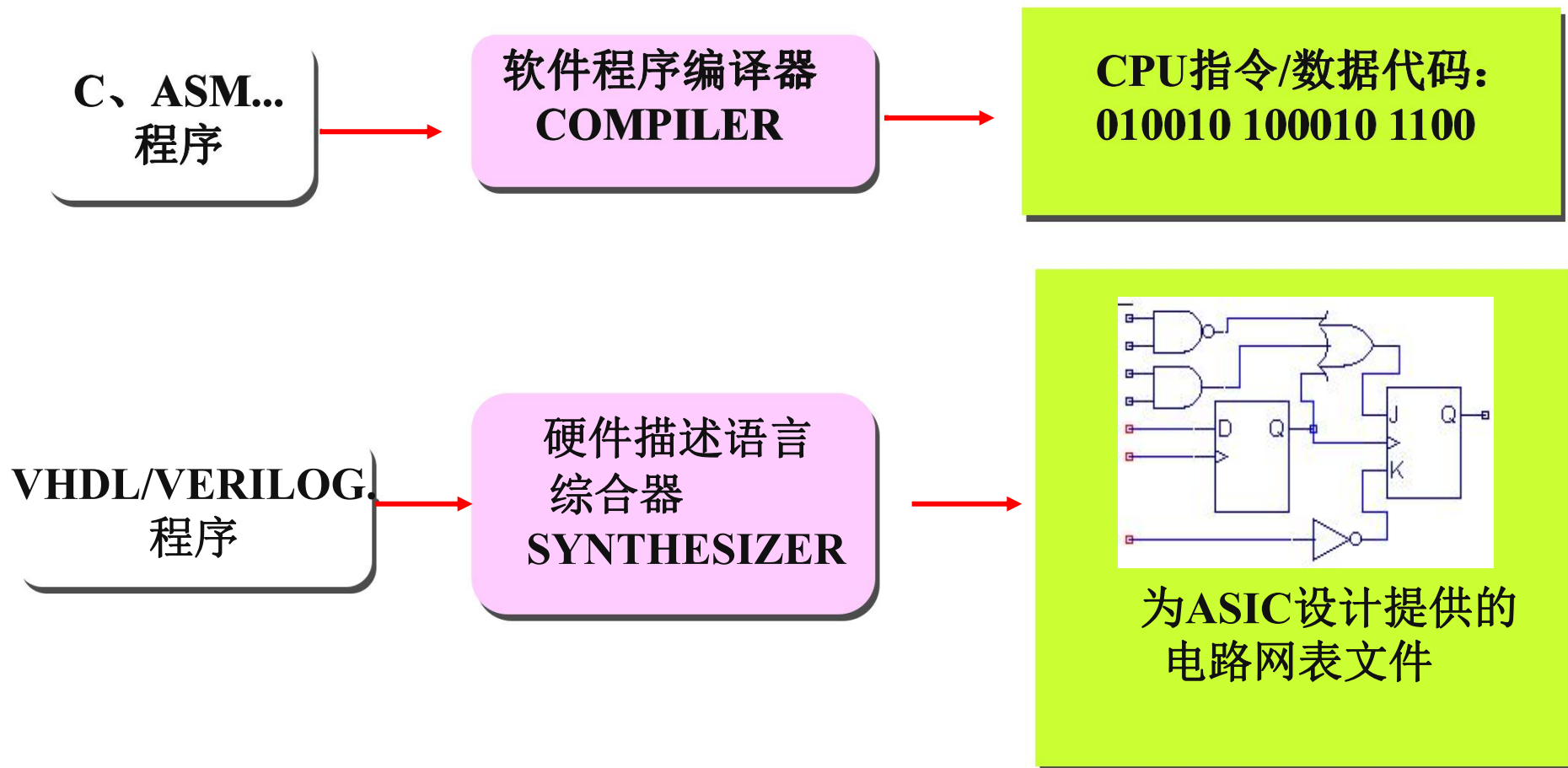
◆逻辑综合：RTL级描述转换到逻辑门级（包括触发器）

◆版图综合或结构综合：从逻辑门表示转换到版图表示，或转换到PLD器件的配置网表表示

综合器是能自动实现上述转换的软件工具，是能将原理图或HDL语言描述的电路功能转化为具体电路网表的工具



# 软件编译器和硬件综合器区别



# 布局布线

布局布线可理解为将综合生成的电路逻辑网表映射到具体的目标器件中实现，并产生最终的可下载文件的过程。布局布线将综合后的网表文件针对某一具体的目标器件进行逻辑映射，把整个设计分为多个适合器件内部逻辑资源实现的逻辑小块，并根据用户的设定在速度和面积之间做出选择或折中；布局是将已分割的逻辑小块放到器件内部逻辑资源的具体位置，并使它们易于连线；布线则是利用器件的布线资源完成各功能块之间和反馈信号之间的连接。

# 仿真 (Simulation)

仿真是对所设计电路的功能的验证

功能仿真 (Function Simulation)

时序仿真 (Timing Simulation)

# 编程配置

把适配后生成的编程文件装入到**PLD**器件中的过程称为下载。

通常将对基于**EEPROM**工艺的非易失结构**PLD**器件的下载称为编程（**Program**），将基于**SRAM**工艺结构的**PLD**器件的下载称为配置（**Configure**）。

## 1.4 常用的EDA软件工具

- 集成的 **FPGA/CPLD**开发工具
- 逻辑综合器
- 仿真工具
- 其他设计工具

# FPGA/CPLD开发工具

软 件	说 明
 MAX+PLUS® II	MAX+plus II 是 <u>Altera</u> 的集成开发软件，MAX+plus II 发展到 10.2 版本后， <u>Altera</u> 已不再推出新版本
 QUARTUS® II	<u>Quartus II</u> 是 <u>Altera</u> 继 MAX+plus II 后的新一代开发工具。
	从 <u>Quartus II</u> 15.1 开始 <u>Quartus II</u> 改名为 <u>Quartus Prime</u> 。
	ISE 是 <u>Xilinx</u> 公司 FPGA/CPLD 的集成开发软件。
	<u>Vivado</u> 设计套件，是 FPGA 厂商赛灵思公司 2012 年发布的集成设计环境。
	<u>ispLEVER Classic</u> 是 Lattice 公司的 FPGA 设计环境。
	Diamond 软件也是 Lattice 公司的开发工具，支持 FPGA 从设计输入到位流下载的整个流程。

# 逻辑综合器 (Synthesizer)

软件	简介
	<u>Synplify</u> Pro/ <u>Synplify</u> 是 Synplicity 的 <u>Verilog</u> HDL/VHDL 综合软件，使用广泛。
	FPGA Compiler II 是 Synopsys 公司的 <u>Verilog</u> HDL/VHDL 综合软件。
	Leonardo Spectrum 是 Mentor 的子公司 Exemplar Logic 出品的综合软件，并作为 FPGA Advantage 软件的一个组成部分。

# 仿真工具（simulation tools）

软件	简介
 ModelSim	ModelSim 是 Mentor 的子公司 Model Technology 的一个出色的 VHDL/ Verilog HDL 混合仿真软件，属于编译型仿真器，仿真速度快。
 NC-Verilog/NC-VHDL/NC-Sim Verilog-XL	这几个软件都是 Cadence 公司的 Verilog HDL/VHDL 仿真工具，其中 NC-Verilog 用于对 Verilog 程序进行仿真；NC-VHDL 用于 VHDL 仿真；而 NC-Sim 则能够对 Verilog HDL/VHDL 进行混合仿真。
 VCS/Scirocco	VCS 是 Synopsys 公司的 Verilog HDL 仿真软件，Scirocco 是 Synopsys 的 VHDL 仿真软件。



## 1.5 EDA技术的发展趋势

### 1. 高性能的EDA工具将得到进一步发展

超大规模集成电路的集成度和工艺水平不断提高。

市场对系统的集成度不断提出更高的要求。

高性能的EDA工具，其自动化和智能化程度不断提高，为嵌入式系统设计提供了功能强大的开发环境。

计算机硬件平台性能大幅度提高，为复杂的SoC设计提供了物理基础。

### 2. EDA技术将促使ASIC和FPGA逐步走向融合

### 3. EDA技术的应用领域将越来越广泛

# 习 题 1

- 1.1 现代EDA技术的特点有哪些？
- 1.2 什么是Top-down设计方式？
- 1.3 数字系统的实现方式有哪些？各有什么优缺点？
- 1.4 什么是IP复用技术，IP核对EDA技术的应用和发展有什么意义？
- 1.5 用硬件描述语言设计数字电路有什么优势？
- 1.6 结合自己的使用情况谈谈对EDA工具的认识。
- 1.7 基于FPGA/CPLD的数字系统设计流程包括哪些步骤？
- 1.8 什么是综合，常用的综合工具有哪些？
- 1.9 功能仿真与时序仿真有什么区别？
- 1.10 FPGA与ASIC在概念上有什么区别？