

## 计算机组成原理模拟试题参考答案

### 一. 单选题

CCDCA    DBCCA    CCBBA

### 二. 填空题

1. 答: 控制器, 存储器, 输入设备, 输出设备
2. 答: (1) 8 位    (2) 23 位
3. 答: 32,32,0
4. 答: 主存群号, 标记 (或 Cache 行号), 块内地址, 或者主存组号, 组内块号, 块内地址
5. 答: 统一编址方式 (内存映射方式), 独立编址方式 (使用专门的 I/O 指令方式)

### 三. 名词解释

#### 1. 基准程序 (benchmarks)

答: 专门用来进行性能评价的一组程序, 不同的机器运行相同的基准程序可比较它们的运行时间。

#### 2. 对阶 (浮点加减运算)

答: 浮点数加减运算的对阶是使两数的阶码相等(小数点实际位置对齐, 尾数对应位权值相同)。

#### 3. CISC

答: 即复杂指令集计算机, 将复杂指令加入到指令系统中, 以提高计算机的处理效率。

#### 4. 向量中断

答: 直接依靠硬件来获得中断服务程序的入口地址的这种中断称为向量中断。

### 四. 简答题

#### 1. IEEE754 单精度浮点数标准中非规格化数是如何定义的? 尾数的隐藏位是多少? 阶码的真值是多少?

答: 非规格化数的阶码为全 0, 尾数为非 0 值。尾数的隐藏位为 0, 阶码的真值为-126。

#### 2. 下列 MIPS 指令中分别包含哪些寻址方式? 指令的功能是什么?

- (1) beq \$s1, \$s2, addr
- (2) lui \$t1, 100
- (3) j 100
- (4) lw \$s3, 20(\$t1)

答: (1) 寄存器寻址, PC 相对寻址。指令的功能是比较寄存器 \$s1 和 \$s2, 如果相等则转移。

(2) 寄存器寻址, 立即数寻址。将寄存器 t1 的高 16 位设置为 100, 低 16 位为 0。

(3) 伪直接寻址 (或页面寻址)。跳转指令, 跳转到 PC 指定的指令处, PC 的形成是, 高 4 位保持不变, 将 100 左移两位 (或乘以 4) 送入 PC 的低 28 位。

(4) 寄存器寻址, 基址寻址。从存储器中取一个字单元内容送入 s3 寄存器中, 存储器地址为: 将常数 20 加上寄存器 t1 的内容。

#### 3. DMA 中常用的数据传送方式有哪三种? 简述它们的传送方法。

答: 有 CPU 停止法(成组传送)、周期挪用(窃取)法(单字传送)和交替分时访问法。

CPU 停止法: DMA 传输时, CPU 脱离总线, 停止访问主存, 直到 DMA 传完一块数据。

周期挪用法: DMA 传输时, CPU 让出一个总线事务周期, 由 DMA 控制器控制总线来访问

问主存，传送完一个数据后立即释放总线。

交替分时访问法：将每个存储周期分成两个时间片，一个给 CPU，一个给 DMA，这样在每个存储周期内，CPU 和 DMA 都可访问存储器。

4. 答：

中断响应是指主机发现外部中断请求，中止现程序的执行，到调出中断服务程序这一过程。中断响应是又 CPU 硬件完成的，它完成工作包括关中断、保护断点和程序状态、识别中断源。

中断处理是指执行相应中断服务程序的过程。中断处理是由软件完成的，它就是执行相应的中断服务程序，不同的中断有不同的中断服务程序，大致包括准备阶段、具体的中断处理阶段和恢复阶段。

五. 计算与分析题

1. 一个高级语言编写的程序被两个不同的编译器编译生成两种不同的指令序列 X1 和 X2，在时钟频率为 2GHz 的机器上运行，目标指令序列中用到的指令类型有 A、B、C 和 D 四类。四类指令在机器上的 CPI 和两个指令序列所用的各类指令条数如下表所示。

指令类型	A	B	C	D
各类指令的 CPI	1	3	4	2
X1 的指令条数	5	3	2	2
X2 的指令条数	4	5	2	3

问：X1 和 X2 各有多少条指令？所含的时钟周期数各为多少？CPI 各为多少？执行时间各为多少？小数保留到小数点后 1 位。

解：X1 有 12 条指令，所含的时钟周期数为  $5 \times 1 + 3 \times 3 + 2 \times 4 + 2 \times 2 = 26$ ，CPI 为  $26/12 = 2.2$ ，执行时间为  $26/2G = 13ns$ 。

X2 有 14 条指令，所含的时钟周期数为  $4 \times 1 + 5 \times 3 + 2 \times 4 + 3 \times 2 = 33$ ，CPI 为  $33/14 = 2.4$ ，执行时间为  $33/2G = 16.5ns$ 。

2. 将十进制数-135.59375 转换成 IEEE754 的 32 位标准浮点数格式，分别写出其二进制数表示和 16 进制数表示。

解：

$135.59375 = (100001111.10011)_2$

规格化尾数=1.000011110011，阶码 e=7，E=7+127=134= (10000110)<sub>2</sub>

尾数符号 S=1，尾数 M=000011110011

32 位二进制格式：1 10000110 00001111001 100000000000

16 进制格式：C3079800

3. 若指令“ORI rt, rs, immediate”的编码格式如下：

[31:26]	[25:21]	[20:16]	[15:0]
OP	rs	rt	immediate

其中，OP 为 001101B，rs 为 8，rt 为 15，immediate 为 200。

将该指令分别按照小端方式和大端方式存储在 2000 号开始的四个字节存储单元中。要求用十六进制数表示，结果直接填入表中。

单元地址	2000	2001	2001	2003
小端方式				

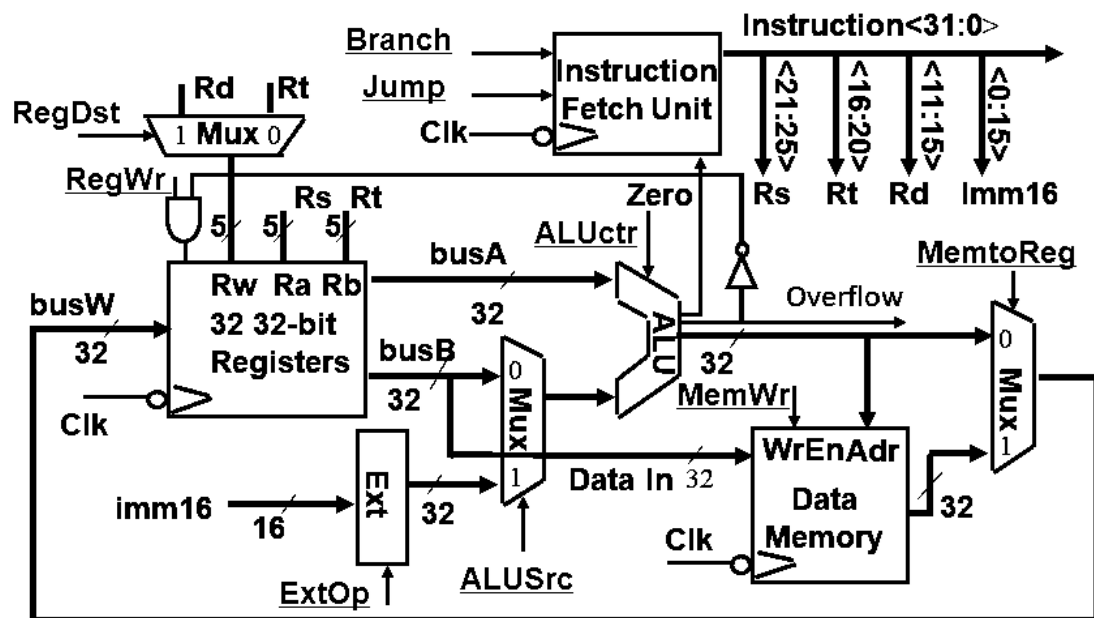
大端方式				
------	--	--	--	--

解：指令码的二进制表示：001101 01000 01111 00000000 11001000

单元地址	2000	2001	2001	2003
小端方式	35	0F	C8	00
大端方式	35	0F	00	C8

4. 设有下图所示单周期 MIPS 数据通路，试分别指出下列指令在该数据通路中执行时，各控制信号的取值是什么？说明：有效为 1；无效为 0；ALUctr 可为 add, sub, addu, subu, or, and；无影响为 x.

- (1) andi \$s1, \$s2, 100
- (2) sub \$s8, \$s4, \$s5
- (2) lw \$t1, 20(\$s2)
- (3) beq \$s1, \$t1, 200



指令	RegDst	ALUSrc	ALUctr	MemWr	ExtOP	RegWr	MemtoReg	Branch	Jump
andi									
sub									
lu									
beq									

答：

指令	RegDst	ALUSrc	ALUctr	MemWr	ExtOP	RegWr	MemtoReg	Branch	Jump
andi	0	1	And	0	0	1	0	0	0
sub	1	0	Sub	0	X	1	0	0	0
lu	0	1	Add	0	1	1	1	0	0
beq	X	0	Subu	0	X	0	x	1	0

5. 某半导体存储器容量为  $4\text{K} \times 16$ ，其中  $0000\text{H} \sim 0\text{BFFH}$  为 ROM 区， $0\text{C00H} \sim \text{FFFFH}$  为 RAM 区，地址总线  $\text{A}_{11} \sim \text{A}_0$ （低）。ROM 芯片有  $1\text{KB}/\text{片}$  和  $2\text{KB}/\text{片}$  两种，RAM 芯片有  $1\text{KB}/\text{片}$  和  $2\text{KB}/\text{片}$  两种。

- (1) 计算该存储器的 ROM 区容量和 RAM 区容量
- (2) 计算所需各类芯片的数量。
- (3) 说明加到各芯片的地址范围值和地址线。
- (4) 写出各片选信号的逻辑式。

答：

(1) ROM 区容量： $\text{BFFH}+1=\text{C00H}=3\text{k}$

RAM 区容量： $\text{FFFFH}-\text{C00H}+1=400\text{H}=1\text{k}$

(2) 由于存储单元为 16 位，而芯片的每个单元为 8 位，故需要进行位扩展，即用 2 片拼成一个 16 位的存储器。

ROM 区：第一组：需要  $2\text{KB}/\text{片}$  芯片 2 片，构成一组  $2\text{K} \times 16$  容量

第二组：需要  $1\text{KB}/\text{片}$  芯片 2 片，构成一组  $1\text{K} \times 16$  容量

RAM 区需要  $1\text{KB}/\text{片}$  芯片 2 片，构成  $1\text{K} \times 16$  容量

(3) ROM 区分为：

第一组 2 片  $2\text{KB}/\text{片}$  组成  $2\text{K} \times 16$ ，地址范围  $0000\text{H} \sim 07\text{FFH}$ ，地址线  $\text{A}_{10} \sim \text{A}_0$

第二组 2 片  $1\text{KB}/\text{片}$  组成  $1\text{K} \times 16$ ，地址范围  $0800\text{H} \sim 0\text{BFFH}$ ，地址线  $\text{A}_9 \sim \text{A}_0$

RAM 区：

2 片  $1\text{KB}/\text{片}$  组成  $1\text{K} \times 16$ ，地址范围  $0\text{C00H} \sim 0\text{FFFFH}$ ，地址线  $\text{A}_9 \sim \text{A}_0$

(4)  $4\text{K} \times 16$  容量存储器共需要 12 位地址  $\text{A}_{11} \sim \text{A}_0$ ，除去组内芯片所需地址后就是片选所需地址。

ROM 第一组：片选所需地址为  $\text{A}_{11}$ ，片选信号： $\text{CS}_0 = \overline{\text{A}_{11}}$

第二组：片选所需地址为  $\text{A}_{11}$  和  $\text{A}_{10}$ ，片选信号  $\text{CS}_1 = \overline{\text{A}_{11}\text{A}_{10}}$

RAM : 片选所需地址为  $\text{A}_{11}$  和  $\text{A}_{10}$ ，片选信号  $\text{CS}_2 = \overline{\text{A}_{11}\text{A}_{10}}$

6. 设主存容量为  $32\text{MB}$ ，Cache 数据容量为  $32\text{KB}$ ，主存与 Cache 交换数据单位为  $4\text{KB}$ 。

(1) 采用 2 路组相联映射方式，主存  $0\text{x}1234$  号单元所在主存块应装入的 Cache 组号是多少？主存  $0\text{x}123$  号块应装入的 Cache 组号是多少？

(2) 计算该 Cache 的总容量（包含有效位 V）。

解： $32\text{MB}$  主存地址需要 25 位， $4\text{KB}$  块内地址需要 12 位。Cache 被分为  $32/4=8$  行。

(1) 采用 2 路组相联时，Cache 每组 2 行，8 行共分为 4 组，则 25 位主存地址划分为：25-12-2=11 位标记，2 位组号，12 位块内地址。每组群含 4 块，组内行号地址 2 位，主存地址  $0\text{x}1234=(000000000000\ 01\ 0010\ 0011\ 0100)$ ，其中表示组号的 2 位为 01，因此，该地址单元应装入 Cache 的组号为 1。

$0\text{x}123$  号主存块对应的组内块号为： $0\text{x}123 \bmod 4=3$ ，即应装入 Cache 的组号为 3

(2) 每个 cache 块包含 1 位有效位、11 位标记和数据  $4\text{KB}$ ，故每块的大小为：

$(1\text{b}+11\text{b}+4\text{KB})=4097.5\text{B}$ ；

Cache 总容量= $4097.5\text{B}/\text{块} \times 8\text{块}=32780\text{B}$ 。

7. 设某计算机有 5 级中断，中断响应优先级为  $1>2>3>4>5$ ，而中断处理优先级为  $1>4>5>2>3$ 。

要求：

(1) 设计各种中断处理程序的中断屏蔽位(假设 1 为屏蔽，0 为开放)；

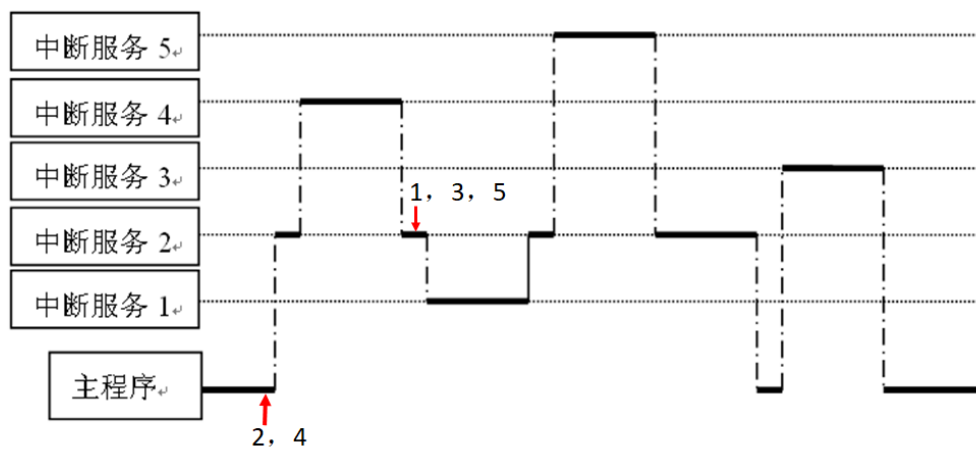
(2) 若在运行主程序时，同时出现第 2、4 级中断请求，而在处理第 2 级中断过程中，又同时出现 1、3、5 级中断请求，试画出此程序运行过程示意图。

解：各级中断处理程序的中断屏蔽字：

中断程序级别	中断屏蔽字				
	1级	2级	3级	4级	5级
第1级	1	1	1	1	1
第2级	0	1	1	0	0
第3级	0	0	1	0	0
第4级	0	1	1	1	1
第5级	0	1	1	0	1

程序运行过程又分成两种情况：

（1）假设第2级中断服务程序中开中断后第1条指令执行时未出现1、3、5级中断请求，即开始2级中断服务程序时排队队列中只有4级中断。4级中断处理结束后才发生1、3、5级中断请求。



（2）假设第2级中断服务程序后就出现1、3、5级中断请求，即2级中断服务程序中开中断后排队队列中有1、3、4和5级中断。

