

计算机组成原理综合练习题

一、单选题

1. 对于第一台电子数字计算机 ENIAC，下列描述正确的是（ ）
A. 存储器采用了磁芯存储器 B. 中央处理器把运算器和控制器做在同一个芯片中
C. 基本元器件为体积很大的真空管 D. 采用了冯若依曼体系结构
2. 下列各叙述中符合“存储程序”思想的是（ ）
A. 把计算机的程序指令存放到存储器，而所需数据从输入设备获取。
B. 程序和数据必须分开存放，否则无法区分。
C. 计算机运行时执行预先存放的程序和数据代码。
D. 为了区分数据和程序需要在代码中使用标志信息。
3. 下列内容中不属于指令集体系结构 ISA 的是（ ）
A. 指令中操作码的长度和编码方法 B. 可编程寄存器的名称、变化和用途等
C. 主存储器的编址方式 D. 编译程序的实现
4. 在浮点运算中，“右规”操作是指（ ）。
A. 尾数左移，阶码增大 B. 尾数左移，阶码减小
C. 尾数右移，阶码增大 D. 尾数右移，阶码减小
5. IEEE754 单精度浮点数表示中，指数移码的偏置常数是（ ）
A. 127 B. 128 C. 255 D. 256
6. IEEE754 标准的浮点数表示中（ ）
A. 阶码和尾数都用补码表示 B. 阶码和尾数都用原码表示
C. 阶码用移码表示，尾数用补码表示 D. 阶码用移码表示，尾数用原码表示
7. 下列说法不正确的是（ ）
A. 奇偶校验码能够发现奇数个错 B. 奇偶校验码能够发现偶数个错
C. 海明码能够发现两位同时出错 D. 海明码能够定位 1 位错的位置
8. 在 IEEE754 浮点数格式中， ∞ 的表示是（ ）
A. 指数各位为 0，尾数各位为 0 B. 指数各位为 0，尾数各位为 1
C. 指数各位为 1，尾数各位为 0 D. 指数各位为 1，尾数各位为 1
9. 微程序存放在（ ）。
A. 堆栈中 B. 主存中 C. CPU 中 D. 磁盘中
10. 单周期 MIPS 在一个时钟周期中不能完成（ ）
A. 从数据存储器读数据和向数据存储器写数据；
B. ALU 运算和向寄存器堆写数据。
C. 更新 PC 内容和向数据存储器写数据
D. 寄存器堆读数据，ALU 运算和数据存储器写数据

11. 动态存储器是 ()
A. 依靠 MOS 开关管存储信息 B. 依靠双稳态触发器存储信息
C. 依靠电容存储信息 D. 依靠寄存器存储信息
12. 磁盘存储器属于 ()
A. 随机存取存储器 B. 顺序存取存储器 C. 直接存取存储器 D. 只读存储器
13. 中断响应过程中的保存断点是指 ()
A. 将 CPU 中的各通用寄存器的内容压入堆栈 B. 将程序计数器 PC 的内容压入堆栈
C. 将 CPU 中的 PSW 寄存器的内容压入堆栈 D. 将寄存器 SP 的内容压入堆栈
14. CPU 响应 DMA 请求是在 ()。
A. 一个时钟周期结束时 B. 一个总线周期结束时
C. 一条指令结束时 D. 一段程序结束时
15. 下列总线中不属于 I/O 总线的是 ()
A. FSB B. PCI-X C. ISA D. PCI

二、填空题

1. 冯·诺依曼结构计算机包括运算器、()、()、() 和 () 五个基本部件。
2. IEEE754 单精度浮点数表示中，阶码的位数为 ()，尾数的位数为 ()。
3. MIPS 处理器中包含有 () 个寄存器，每个寄存器长度为 () 位，用来装常数零的寄存器号为 ()。
4. 主存与 Cache 采用直接映射时，主存地址被划分为 ()、() 和 () 三个部分。
5. CPU 对 I/O 设备的编址方式有 () 和 () 两种。

三、名词解释

1. 基准程序 (benchmarks)
2. 对阶 (浮点加减运算)
3. CISC
4. 向量中断

四、简答题

1、IEEE754 单精度浮点数标准中非规格化数是如何定义的？尾数的隐藏位是多少？阶码的真值是多少？

2、下列 MIPS 指令中分别包含哪些寻址方式？指令的功能是什么？

(1) beq \$s1, \$s2, addr

(2) lui \$t1,100

(3) j 100

(4) lw \$s3, 20(\$t1)

3. DMA 中常用的数据传送方式有哪三种？简述它们的传送方法。

4. 简述中断响应与中断处理的过程，并指出它们各自是由硬件还是软件实现的。

五、计算与分析题

1. 一个高级语言编写的程序被两个不同的编译器编译生成两种不同的指令序列 X1 和 X2，在时钟频率为 2GHz 的机器上运行，目标指令序列中用到的指令类型有 A、B、C 和 D 四类。四类指令在机器上的 CPI 和两个指令序列所用的各类指令条数如下表所示。

指令类型	A	B	C	D
各类指令的 CPI	1	3	4	2
X1 的指令条数	5	3	2	2
X2 的指令条数	4	5	2	3

问：X1 和 X2 各有多少条指令？所含的时钟周期数各为多少？CPI 各为多少？执行时间各为多少？小数保留到小数点后 1 位。

2. 将十进制数-135.59375 转换成 IEEE754 的 32 位标准浮点数格式，分别写出其二进制数表示和 16 进制数表示。

3. 若指令“ORI rt, rs, immediate”的编码格式如下：

[31:26]	[25:21]	[20:16]	[15:0]
OP	rs	rt	immediate

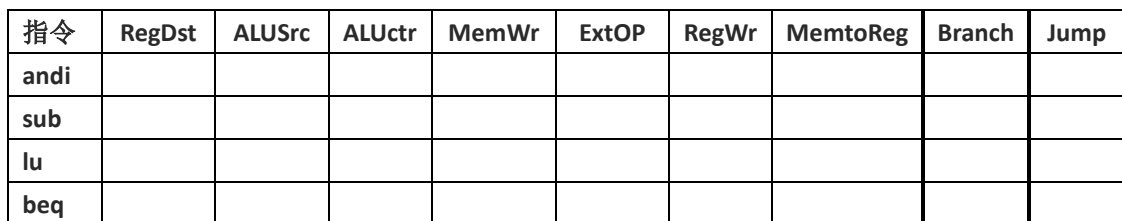
其中，OP 为 001101B，rs 为 8，rt 为 15，immediate 为 200。

将该指令分别按照小端方式和大端方式存储在 2000 号开始的四个字节存储单元中。要求用十六进制数表示，结果直接填入表中。

单元地址	2000	2001	2001	2003
小端方式				
大端方式				

4. 设有下图所示单周期 MIPS 数据通路，试分别指出下列指令在该数据通路中执行时，各控制信号的取值是什么？【说明】信号有效为 1；无效为 0；ALUctr 可为 add、sub、addu、subu、or、and；无影响为 x

- (1) andi \$s1, \$s2, 100
- (2) sub \$8, \$4, \$5
- (3) lw \$t1, 20(\$s2)
- (4) beq \$s1, \$t1, 200



5. 某半导体存储器容量为 $4\text{K} \times 16$ ，其中 $0000\text{H} \sim 0\text{BFFH}$ 为 ROM 区， $0\text{C00H} \sim \text{FFFFH}$ 为 RAM 区，地址总线 $\text{A}_{11} \sim \text{A}_0$ （低）。ROM 芯片有 $1\text{KB}/\text{片}$ 和 $2\text{KB}/\text{片}$ 两种，RAM 芯片有 $1\text{KB}/\text{片}$ 和 $2\text{KB}/\text{片}$ 两种。
- （1）计算该存储器的 ROM 区容量和 RAM 区容量
 - （2）计算所需各类芯片的数量。
 - （3）说明加到各芯片的地址范围值和地址线。
 - （4）写出各片选信号的逻辑式。

6. 设主存容量为 32MB, Cache 数据容量为 32KB, 主存与 Cache 交换数据单位为 4KB。
- (1) 采用 2 路组相联映射方式, 主存 0x1234 号单元所在主存块应装入的 Cache 组号是多少? 主存 0x123 号块应装入的 Cache 组号是多少?
- (2) 计算该 Cache 的总容量 (包含有效位 V)。

7. 设某计算机有 5 级中断, 中断响应优先级为 $1 > 2 > 3 > 4 > 5$, 而中断处理优先级为 $1 > 4 > 5 > 2 > 3$ 。

要求:

- (1) 设计各种中断处理程序的中断屏蔽位(假设 1 为屏蔽, 0 为开放);
- (2) 若在运行主程序时, 同时出现第 2、4 级中断请求, 而在处理第 2 级中断过程中, 又同时出现 1、3、5 级中断请求, 试画出此程序运行过程示意图。