



电子科技大学

University of Electronic Science and Technology of China

本科生实验报告

实验课程： 复杂数字集成电路设计（挑战性课程）

实验名称： 实验 1：电平和脉冲信号之间的转换

实验地点： 无

学生姓名： 周岳恒

学 号： 2021340105016

指导教师： 廖永波

实验时间： 2023 年 10 月 1 日

一、 实验目的

学会设计电平信号和脉冲信号相互转换的电路 verilog 代码，了解级联寄存器的使用，学会用级联寄存器延长信号在时钟节拍上的停留。

二、 实验任务

编写 verilog 代码实现电平到脉冲，脉冲到电平的电路设计，并编写对应 testbench 进行仿真；用 wavedrom 绘制电路功能的波形图，绘制综合后的电路图。

三、 实验原理

电平转换到脉冲：

使用一个寄存器延长输入电平信号一拍，并通过组合逻辑把输入的电平信号和得到的延长一拍的寄存器信号组合，得到脉冲结果的输出。且在上升边沿和下降边沿组合逻辑的输入不同，可以得到区分上升边沿和下降边沿的输出。把两个输出相或，得到 double 的双边沿输出。

脉冲转换到电平：

使用一个寄存器做电平输出，通过组合逻辑控制此寄存器的使能端口和输入 D 来控制此寄存器保存值在何时改变，改变为何值，从而得到正确的电平输出。

四、 实验过程

电平转换到脉冲：

Verilog 代码：

```
module level2pulse(  
    input clk,  
    input rst_n,  
    input data_in,  
    output rise,  
    output fall,  
    output double  
);  
    reg data_reg;  
    always @(posedge clk, negedge rst_n)  
        if(~rst_n)  
            data_reg <= 1'b0;  
        else  
            data_reg <= data_in;
```

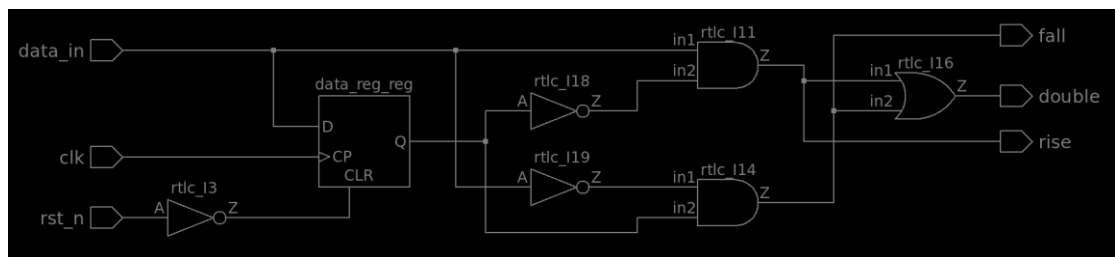
```

assign rise = data_in == 1'b1 && data_reg == 1'b0;
assign fall = data_in == 1'b0 && data_reg == 1'b1;
assign double = rise | fall;

endmodule

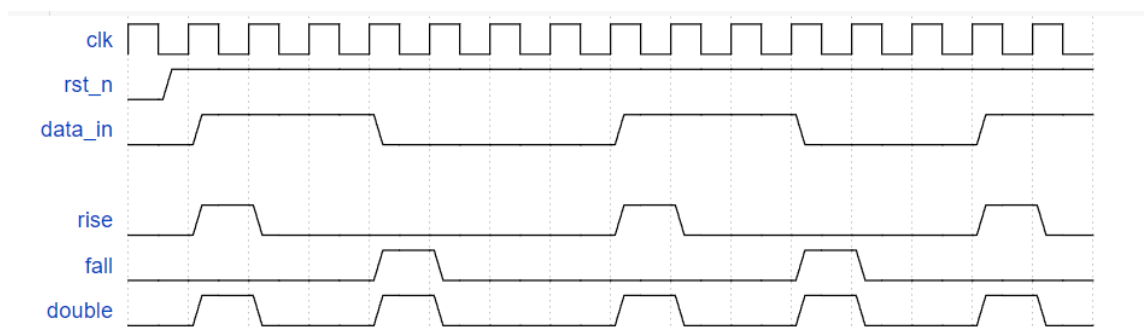
```

电路原理图：



在输入后 `data_in` 连接到数据寄存器，并把寄存器信号和 `data_in` 信号通过组合逻辑直接输出。

波形图：



`double` 是 `rise` 和 `fall` 两者边沿存在之一即触发。`data_in` 在上升边沿时下一拍 `rise` 产生脉冲，`data_in` 在下降边沿时下一拍 `fall` 产生脉冲。

脉冲转换到电平：

verilog 代码：

```

module pulse2level(
    input clk,
    input rst_n,
    input start,
    input stop,
    output level
);
    reg level_reg;

```

```

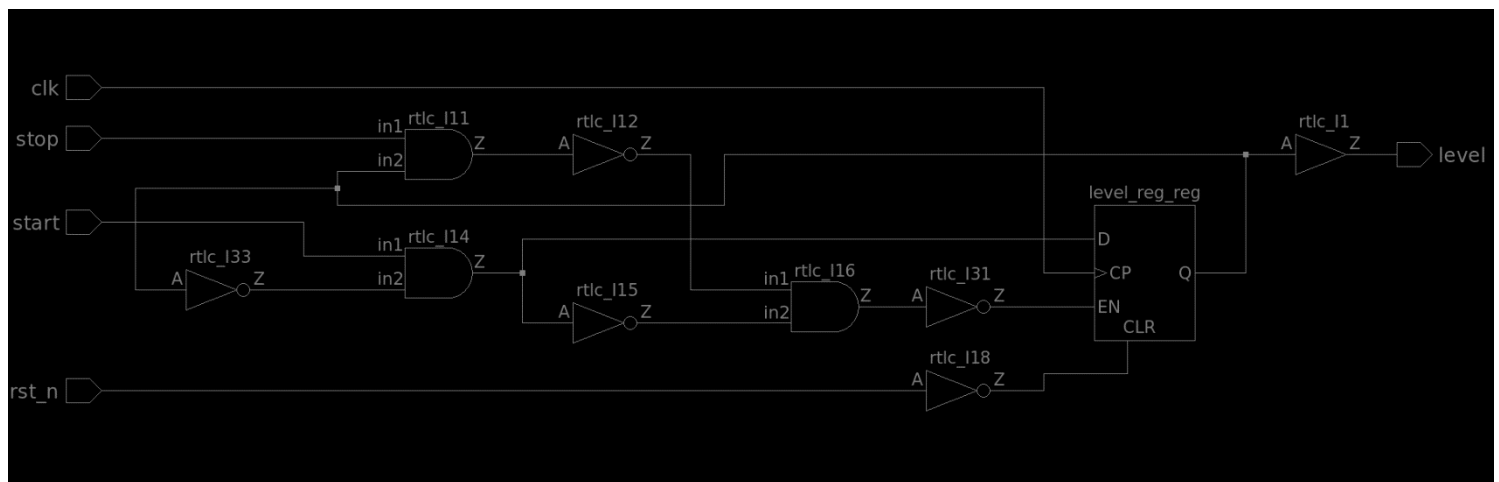
always @(posedge clk, negedge rst_n)
    if(~rst_n)
        level_reg <= 1'b0;
    else if(start == 1'b1 && level_reg == 1'b0)
        level_reg <= 1'b1;
    else if(stop == 1'b1 && level_reg == 1'b1)
        level_reg <= 1'b0;
    else
        level_reg <= level_reg;

assign level = level_reg;

endmodule

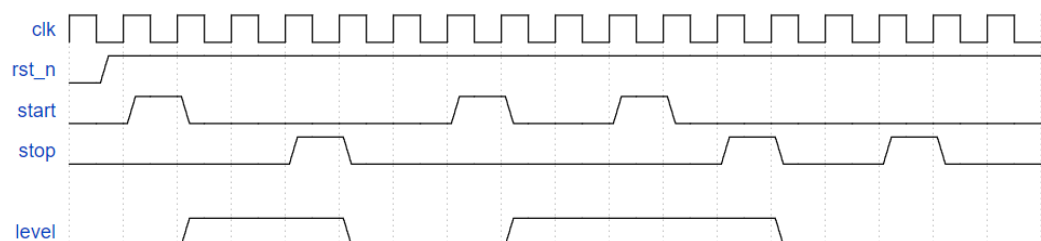
```

电路原理图：



在 level_reg 的使能端口和数据输入端口来源于输入 IO 的组合逻辑输出。输出电平直接是此寄存器的输出。

波形图：



在脉冲出现的下一拍电平产生变化。注意到当 level=1 时 start=1 无效, level=0 时 stop=1 无效, 保证了功能的正确性。

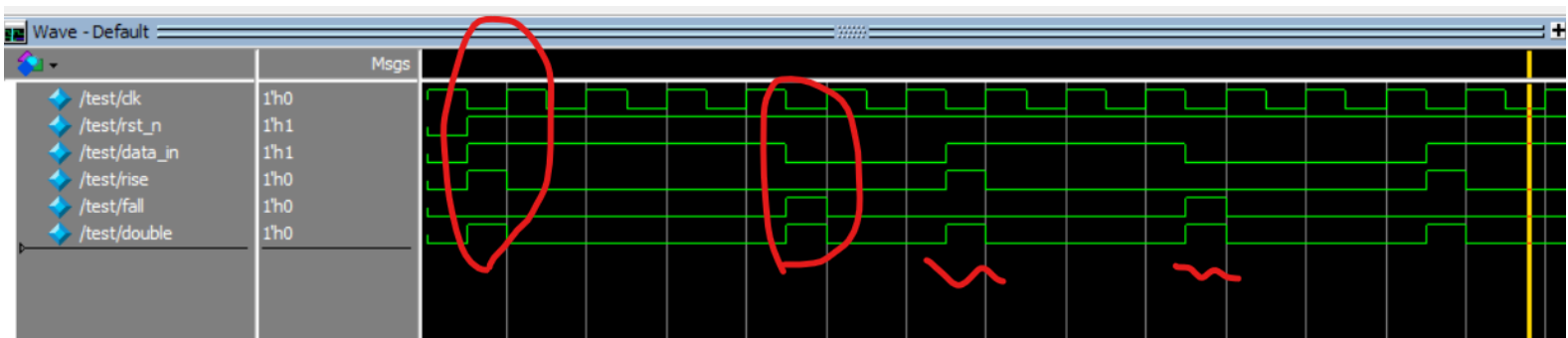
spyglass 报告: PASS

Message	File	Line
Message Tree (Total: 2, Displayed: 2, Waived: 0)		
Design Read (2)		
DetectTopDesignUnits (1) : Identify the top-level design units in user design.		
Module pulse2level is a top level design unit	proj1/pulse2level/pulse2le...	1
ElabSummary (1) : Generates Elaborated design units Summary data		

Message	File	Line
Message Tree (Total: 2, Displayed: 2, Waived: 0)		
Design Read (2)		
DetectTopDesignUnits (1) : Identify the top-level design units in user design.		
Module level2pulse is a top level design unit	proj1/level2pulse/level2pul...	1
ElabSummary (1) : Generates Elaborated design units Summary data		

五、 仿真结果

电平转换到脉冲：



结果和预期的波形图一致。

testbench:

```
`timescale 1ps/1ps

module test();
    reg clk;
    reg rst_n;
    reg data_in;
    wire rise;
    wire fall;
    wire double;

    level2pulse u1(
        .clk(clk),
        .rst_n(rst_n),
        .data_in(data_in),
        .rise(rise),
        .fall(fall),
        .double(double)
    );
endmodule
```

```

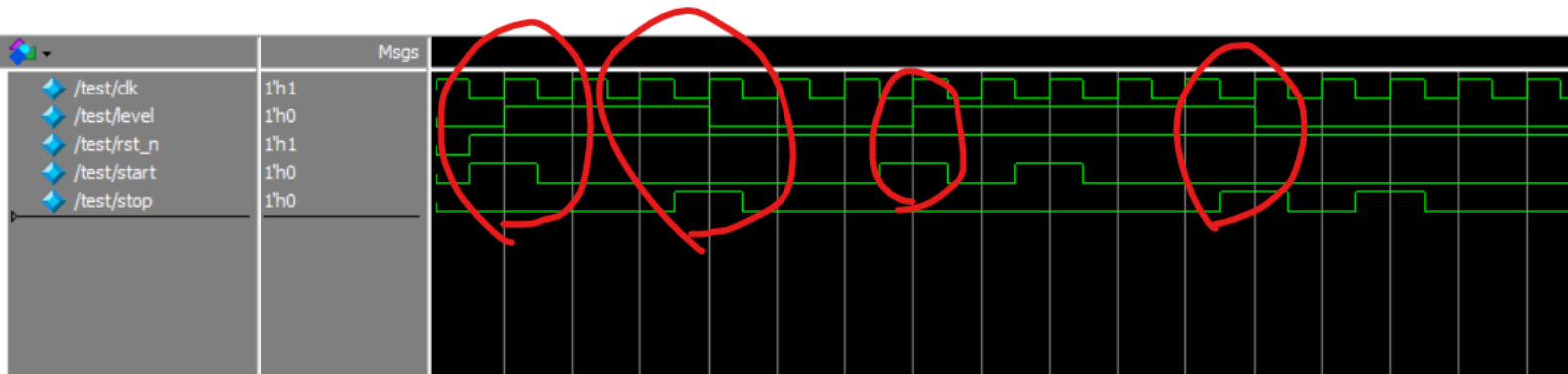
initial begin
    clk = 1'b1;
    forever #5 clk = ~clk;
end

initial begin
    rst_n = 1'b0;
    data_in = 1'b0;
    #5 rst_n = 1'b1;
    data_in = 1'b1;
    #40 data_in = ~data_in;
    #20 data_in = ~data_in;
    #30 data_in = ~data_in;
    #30 data_in = ~data_in;
end

endmodule

```

脉冲转换到电平：



结果和预期的波形图一致。

testbench:

```

`timescale 1ps/1ps

module test();
    reg clk;
    reg rst_n;
    reg start;
    reg stop;
    wire level;

```

```

pulse2level u1(
    .clk(clk),
    .rst_n(rst_n),
    .start(start),
    .stop(stop),
    .level(level)
);

initial begin
    clk = 1'b1;
    forever #5 clk = ~clk;
end

initial begin
    rst_n = 1'b0;
    start = 1'b0;
    stop = 1'b0;
    #5 rst_n = 1'b1;
    start = 1'b1;
    #10 start = 1'b0;
    #20 stop = 1'b1;
    #10 stop = 1'b0;

    #20 start = 1'b1;
    #10 start = 1'b0;

    #10 start = 1'b1;
    #10 start = 1'b0;

    #20 stop = 1'b1;
    #10 stop = 1'b0;

    #10 stop = 1'b1;
    #10 stop = 1'b0;

end

endmodule

```

六、 实验总结

本次实验我学会了写 testbench 做仿真，用 wavedrom 画波形图，用触发器级

联的方式延长时钟节拍，通过组合逻辑处理寄存器组的输出实现电平转换到脉冲，以及通过控制寄存器的使能端和输入端实现脉冲转换到电平。

我对触发器级联下时钟延迟节拍、寄存器使能信号的设计有更加深入的理解，在一定程度上掌握的这种设计方法。

在实际应用中我遇到过设计中断触发信号，需要实现以上两种功能，把外部电路信号经处理后给 MCU 作中断源输入，需要电平信号转脉冲信号，否则会卡死在中断状态；使用按键消抖等应用中也要电平信号转脉冲信号和脉冲信号转电平信号。

本次实验得到的设计经验十分实用，在接下来的实验中应该继续揣摩从而掌握一般的设计方法。