

# 初级 AI 探索芯片（PrimaAI Explorer Chip）

本次 IC2 实验的指定题目为“初级 AI 探索芯片”，如果自拟题目，请报告并评估。

## 1. 选题依据

伴随着科技的快速发展，大学的实验课程也要与时俱进。我们以往的题目包括 DES、AES 等加密电路；用于计算的除法器电路。随着人工智能的快速发展，AI 芯片将是未来的一个重中之重，为此，本次实验升级为设计一款初级的 AI 芯片。

“初级 AI 探索芯片”的构造思路，有利于大家理解算法并完成算法的实现。

## 2. 整体结构与要求

芯片的整体架构如图所示，该架构基于卷积神经网络（CNN）的结构，包含了卷积层、池化层、全连接层。该架构仅作为参考，大家可以根据理解来设计计算模块、数据通路及控制模块。目标是获得更好的 PPA（Performance, Power, Area），最主要是要满足流片的基本条件。

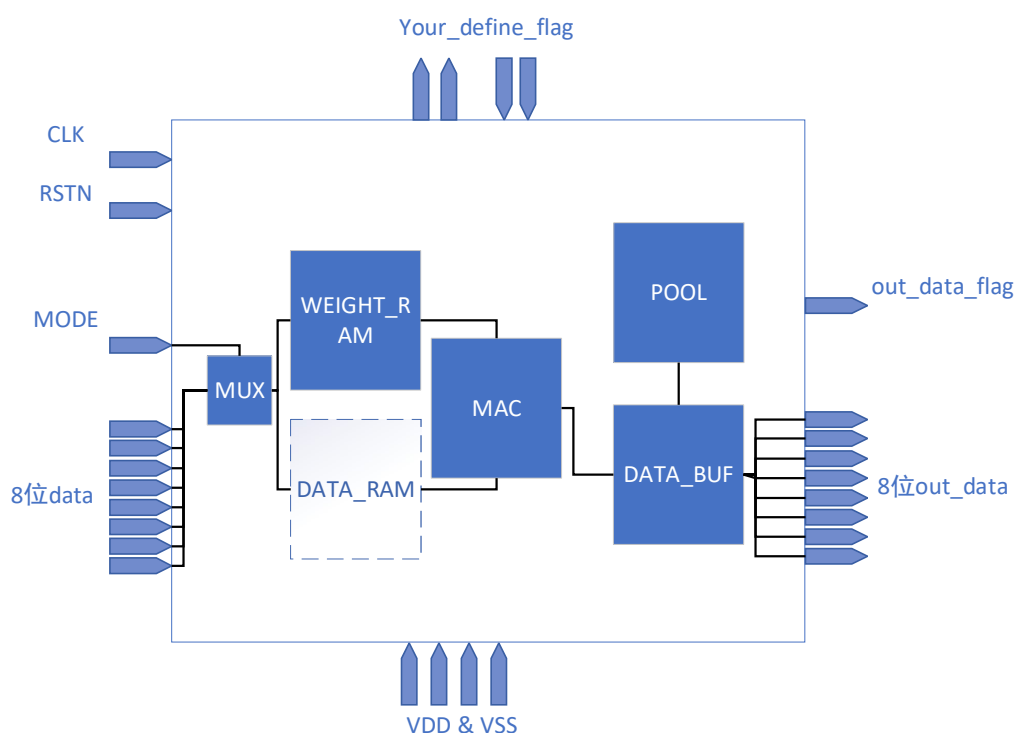


图 1 参考架构图

## 3. 设计基本要求：

- ① 输入数据为 8x8 的矩阵，数据位宽为 8bit，一共有一百个 8x8 的矩阵；
- ② 第一层为卷积层，卷积核大小为 3x3，步长为 1，共有 3 个卷积核；
- ③ 第二层为池化层，池化核大小为 2x2，步长为 2，采用最大池化；
- ④ 第三层为全连接层，卷积核大小为 3x3x3，步长为 1；
- ⑤ 输出数据为 1x1 的矩阵，位宽依旧为 8bit；

- ⑥ 量化规则:  $\text{data}:8\text{bit} * \text{weight}:8\text{bit}$ ,  $\text{out\_data}:16\text{bit}$ , 在保证符号正确的情况下拓展到 20 位来表示 (如 16' b1000\_0000\_0000\_0001 拓展到 20 位:20' b1111\_1000\_0000\_0000\_0001), 9 个 20bit 相加后依旧为 20 位, 然后将低 8 位抹除, 剩余的 12 位若超过 int8 的表示范围, 则压缩到 int8 表示范围 (如 12' b0010\_1111\_1111-->8' b0111\_1111, 12' b1001\_0111\_0000->8' b1000\_0000), 全连接的量化拓展到 21 位, 然后与前面所描述的一样, 压缩 int8;
- ⑦ 数据和权重: 2 进制补码有符号 8bit 数;
- ⑧ 权重矩阵: 可以分成两个, 两个均是  $3 \times 3 \times 3 \times 8\text{bit}$  大小;
- ⑨ 数据和权重通过数据端口输入, 由 mode 控制信号控制;

#### 4. 芯片实现要求:

- ① 引脚要求: 芯片顶层一共有 28 pin, 其中 4 个 pin 用于 VSS 和 VDD, 分别给芯片内核和 PAD 供电, 时钟和复位信号分别使用一个 pin, 8 个 pin 用于数据输入, 8 个 pin 为数据输出, 6 个 pin 用于控制信号。
- ② 面积要求: 芯片小于  $850\mu\text{m} \times 850\mu\text{m}$
- ③ 时序要求: 系统时钟在 50MHz 频率下运行。
- ④ 其他要求: 尽可能对时序优化, 提高性能。
- ⑤ 数据要求: 会提供两个 txt 文件存放 data 和 weight, 数据输入都通过从 txt 文件里读出。

#### 5. 设计考核标准:

针对面积, 时序, 功耗综合评判, 其中时序部分包括系统最高频率 (critical path), 完成一个  $8 \times 8$  所需时长, 完成 100 个  $8 \times 8$  所需时长。面积越小, critical path 越短, 功耗越低, 完成一个和一百个的时长越短, 评分越高。

希望大家都能够独立走完全部流程, 并完成自己的流片, 也更希望大家能够从这款“初级 AI 探索芯片”起步, 走上人工智能的开拓之路。

电子科技大学  
By WYW/DWR/LHF  
2023 年 11 月 27 日星期一