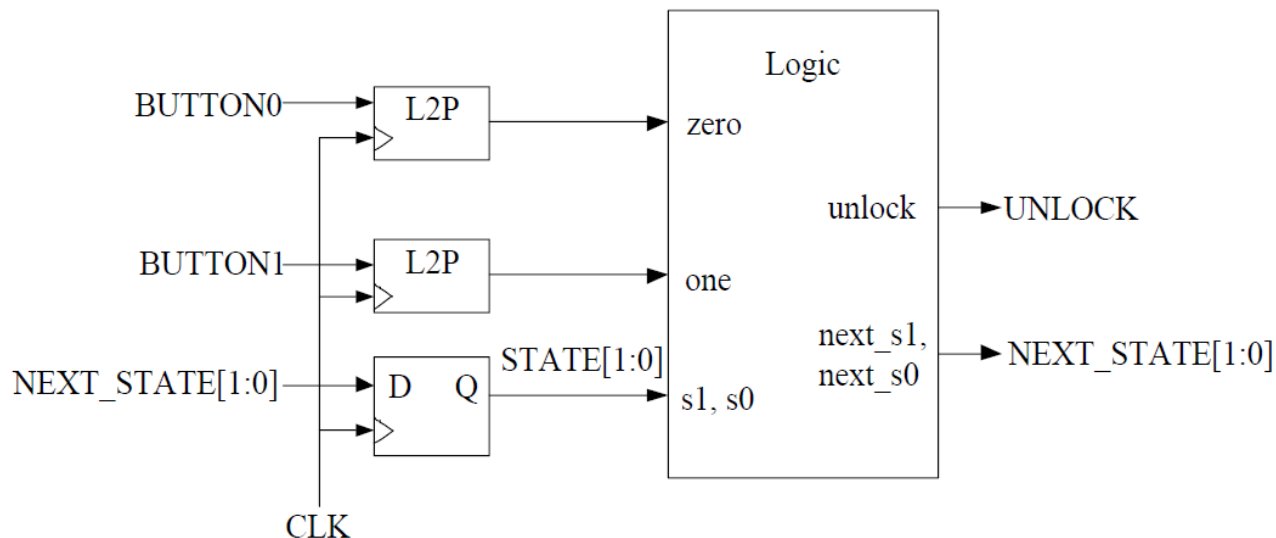
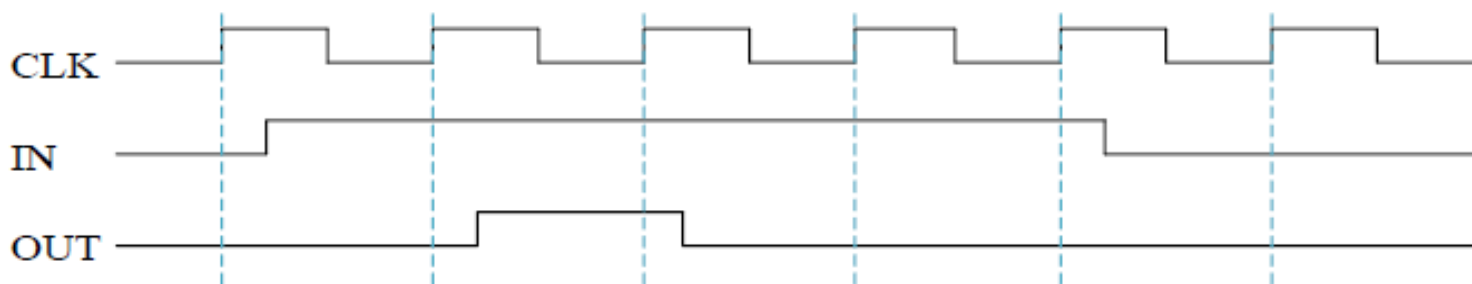


□ Q2: RTL modeling using Verilog



- 上图所示的是一个电子锁的电路原理图，通过外置的两个按钮BUTTON0(按钮0)和BUTTON1(按钮1)，可以分别产生一连串0 和1 的输入序列。用户通过依次按下这两个按钮，可以产生一个二进制的信号序列，当这个信号序列的最近N 位与预先设置的密码匹配时，将打开电子锁(输出的UNLOCK 信号置位为1)，此时电子锁处于开启状态(否则，均称为关闭状态)。

- L2P模块是一个电平-脉冲转换器，当输入IN 从0电平变成1电平时，将输出一个时钟周期的脉冲信号(输出OUT可以滞后输入信号1个时钟周期)，如下图所示。



CNASIC

- 下表是这个电子锁模块的真值表：

<i>s1</i>	<i>s0</i>	<i>one</i>	<i>zero</i>	<i>unlock</i>	<i>next_s1</i>	<i>next_s0</i>
0	0	0	0	0	0	0
0	0	0	1	0	1	1
0	0	1	0	0	0	0
0	0	1	1	0	1	1
0	1	0	0	0	0	1
0	1	0	1	0	1	0
0	1	1	0	0	0	0
0	1	1	1	0	1	0
1	0	0	0	1	1	0
1	0	0	1	1	1	1
1	0	1	0	1	0	1
1	0	1	1	1	1	1
1	1	0	0	0	1	1
1	1	0	1	0	1	1
1	1	1	0	0	0	1
1	1	1	1	0	1	1

□ Q2: RTL modeling using Verilog

- **Q2.1:** 画出相应的**FSM**状态转换图
- **Q2.2:** 写出电子锁的**Verilog** 实现代码
- **Q2.3:** 给出测试代码以及仿真实例和波形
- **Q2.4:** 分别基于**Q2.1**和**Q2.3**的工作，分析该电子锁预置的密码是多少
- **Q2.5:** 如果**BUTTON0**和**BUTTON1**同时按下，会出现什么情况