

虚拟存储器和CACHE异同

相同之处

目的为了提高系统性能

数据分为小信息块，作为基本的传递单位

都存在地址映射，替换算法，更新策略

按照局部性原理，将活跃的数据放到高速部件中

不同之处

Cache解决系统速度问题 苏尼存储器解决主存容量问题

Cache 全部由硬件实现，是硬件存储器 虚拟存储器有OS和硬件共同实现，是逻辑上的存储器

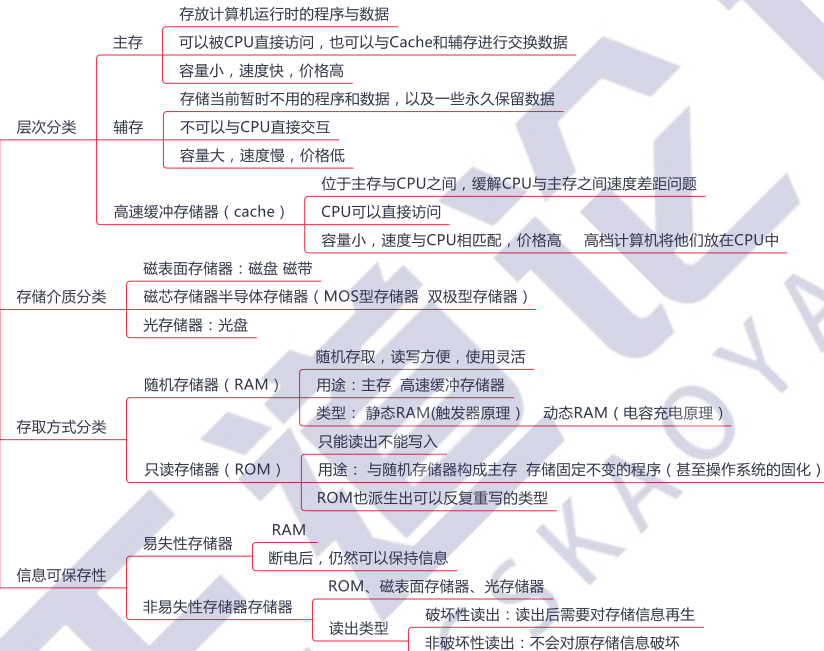
Cache对所有程序员透明，虚拟存储器对应用程序员透明，对系统程序员不透明

虚拟存储器不命中对系统性能影响更大

CPU只能与Cache和主存直接交互 虚拟存储系统只能先将数据从硬盘调入主存，不能与CPU直接通信

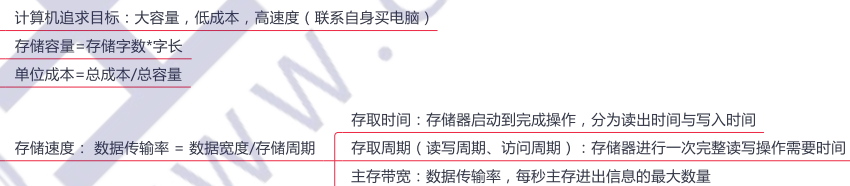
3.1 ~ 3.2 存储器的层次结构

3.1.1 存储器分类



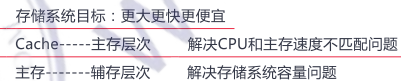
rom与ram都是随机存取, 广义上的只读存储器可以通过电擦除写入的, 写入速度比读速度慢

3.1.2 存储器的性能指标



存储周期一般大于存取时间 (读写操作后需要内部复原时间)

3.2 存储器的层次化结构



主存-----辅存层次不断发展, 衍生出虚拟存储器系统

3.3 半导体随机存储器（上）

3.3.1 半导体存储芯片

存储矩阵：大量相同的位存储单元阵列构成
译码驱动：地址信号翻译成对应存储单元的选通信号
读写电路：完成读写操作
读/写控制线：决定芯片是读还是写
片选线：确定那个芯片被选中
地址线：单项输入，位数与存储字的个数有关
数据线：双向的，位数与读出或写入的数据位数有关
半导体随机存储器分类（存储原理不同）
74138译码器

数据线数与地址线数共同反映存储芯片容量大小

SRAM：高速缓存
DRAM：主存

3.3.2 SRAM和DRAM

SRAM
使用双稳态触发器（六管MOS）记忆信息
非破坏性读出，易失性存储器
存取速度快，集成度低，功耗大，成本高，常用来组成高速缓冲存储器
同时送行列地址
利用电荷存储信息
破坏性读出，易失性存储器
存取速度慢，集成度高，功耗低，容量大，成本低，常用来组成主存系统
分两次送行列地址
DRAM
刷新单位是行
刷新时间固定 存在死区
集中刷新 读写不受刷新影响，存取速度快
死区不能访问存储器
将每行刷新分散到各个工作周期中
分散刷新 没有死区
存取周期边长，降低整机速度
集中刷新和异步刷新结合
异步刷新 缩短了死时间，又提高了整机速度
透明刷新 刷新安排在译码阶段，不存在死时间

死区：在刷新的时候，停止对存储器的读写操作，称为死时间

存储器的读写周期
RAM读周期：存储芯片进行两次连续读操作时，必须间隔的时间，读周期总是大于等于读出时间
RAM写周期：数据总线上的信息能够可靠的写入存储器

3.3.3 只读存储器

ROM特点

随机存取，非易失性存储器

结构简单，位密度比可读写存储器高

ROM类型

掩膜式只读存储器 (MROM)

可靠性高，集成度高，价格便宜

灵活性差

一次性可编程只读存储器 (PROM)

写入内容无法更改

可擦除可编程只读存储器 (EPROM)

可以对内容进行多次改写

紫外线擦除 UVEPROM

电擦除 E²PROM

闪速存储器 (Flash Memory)

可长期保存信息 可重写

价格便宜，集成度高

擦写速度快

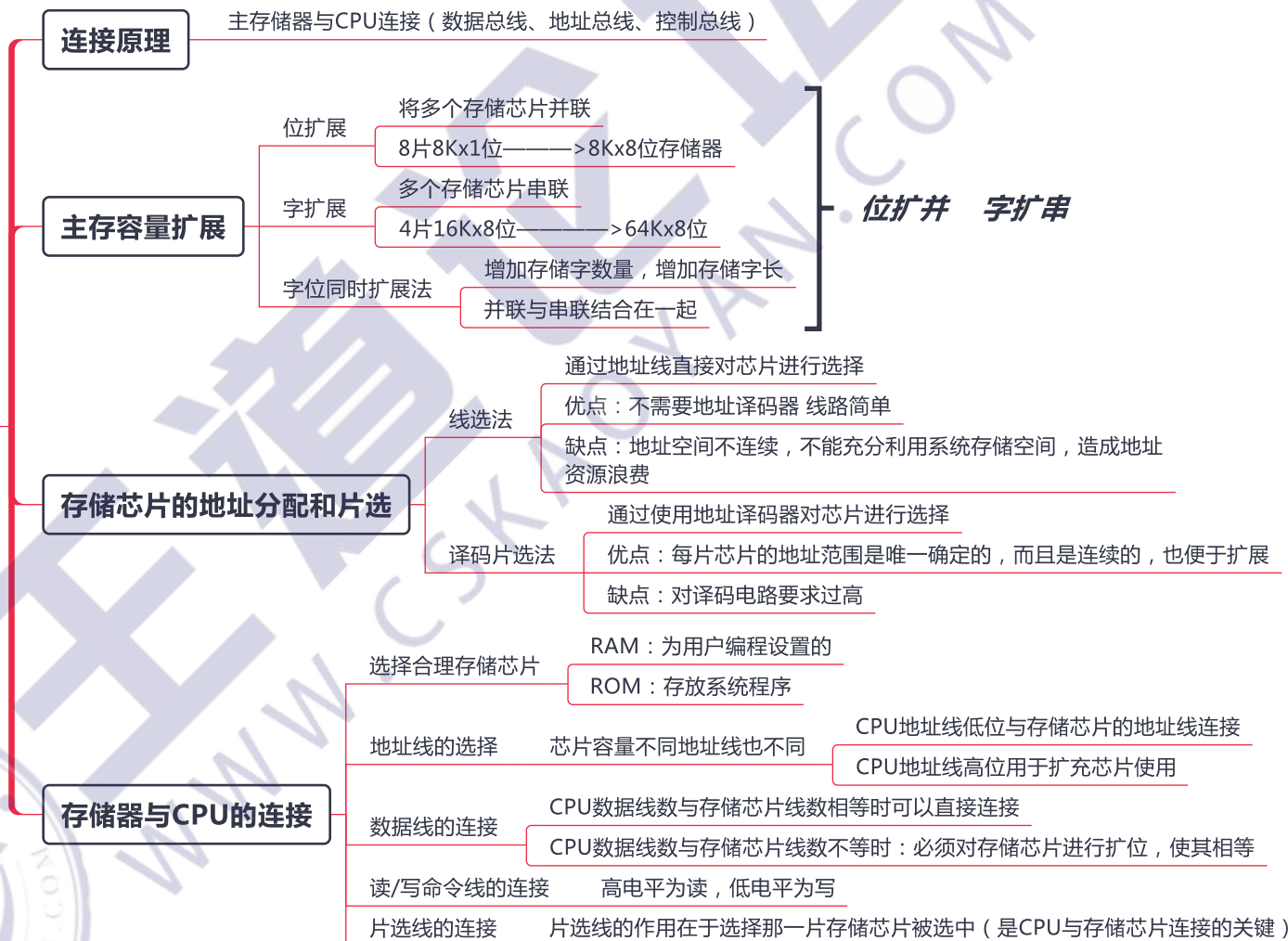
固态硬盘(SSD)

可以长期保存信息，快速擦除，重写

相对于传统硬盘，读写速度快，低功耗

价格高

3.4 主存储器和CPU的连接



3.5 双端口RAM和多模块存储器

目的：为了提高CPU访问存储器的速度采用双端口存储器（空间并行）、多模块存储器（时间并行）

双端口RAM

一个存储器有左、右两个独立端口，分别具有两组相互独立的地址线，数据线，读写控制线

冲突 对同一地址单元，两个端口同时写入数据
对于同一个地址单元，一个端口写，一个端口读

无冲突 对同一个地址单元，两个端口同时读
对于同一个地址单元，两个端口不同时写

多模块存储器

目的：为了提高访问速度

单体多字存储器 按照地址顺序读出数据，存储单元存储m个字，总线宽度也为m个字，一次性并行读出m个字
优点：增大了存储器带宽，提高单体存储器工作速度

多个模块构成，每个模块有着相同的容量和存取速度，各模块独既可并行工作又可以交叉工作

多体并行存储器 高位交叉编址 本质上仍然是顺序存储器

低位交叉编址 可以在不改变每个模块的存取周期的前提下，采用流水线的方式并行存储，可以提高存储器的带宽

多体低位交叉编制可以有效的提高存储速度

3.6高速缓冲存储器



3.7 虚拟存储器

