

多功能计数器

指导老师：黄根春

队员及年级：伍玉、陈林辉、夏效禹

2006 级

学校及院系：武汉大学电子信息学院

摘要：本系统以单片机和 FPGA 构成的最小系统为控制核心，由宽带放大模块，比较整形模块，频率、相位差测量模块等模块构成。在 FPGA 内采用等精度测频法测出频率和周期，可实现对有效值为 0.005V~5V，频率范围 1Hz~35MHz 信号的频率、周期的测量。用计数法测出相位差，可实现对有效值 0.5V~5V，频率 10Hz~100KHz 信号的相位差测量。系统功能由按键控制，可对测量结果实时显示，人机交互界面友好，达到了较好的性能指标。另外我们系统还具有自动校准和手动校准的功能。

关键字：

等精度测频法 相位测量 程控放大

Abstract: This system is built upon the core of 89C55 microcontroller (MCU) and FPGA, consisting of the following functional blocks:programmable amplifier module, comparator module, frequency and phase difference testing module.We implement the equal accuracy frequency-examining technique and it manages to test the frequency and circle of signal which ranges from 1Hz ~ 35MHz and the amplitude of which ranges from 5mVrms to 5Vrms.We manage to detect the phase difference of signal,the amplitude of which range from 0.5Vrms to 5Vrms and the frequency of which range from 10Hz to100KHz.The function of the system is controlled by certain designed keys,while the LCD display shows the results.The system reaches excellent capability and is friendly interfaced. Our system also has the function of automatic calibration and manual calibration of frequency.

Keywords:

Equal accuracy frequency-examining method
Programmable amplifier

Phase difference testing

1 方案设计

1.1 理论分析

① 频率和周期测量方法分析

采用等精度测频法，其测量原理时序如图 1.1 所示。由待测信号 F_x 和预置门 $Gate_p$ 来控制精确门(同步门) $Gate$ 。预置门内的第一个 F_x 的上升沿到来时精确门 $Gate$ 开启，在预置门结束后的第一个 F_x 的上升沿时刻， $Gate$ 关闭。在精确门内，分别对待测信号 F_x 和 高频标准脉冲 F_o 计数，计数值分别为 NA 和 NB 。被测频率

$$F_x = \frac{NA}{NB} \times F_o, \text{ 取 } F_o = 40MHz。$$

在实际测量过程中，由于采用了等精度测频法，精确门 $Gate$ 正好是 F_x 的整数倍，所以对 F_x 的计数值 NA 不存在误差，而对 F_o 的计数值 NB 存在 ± 1 的误差。因此系统的相对误差

$$\frac{\Delta F_x}{F_x} = \frac{(\frac{NA}{NB-1} \cdot F_o - \frac{NA}{NB} \cdot F_o)}{\frac{NA}{NB} \cdot F_o} \approx \frac{1}{NB}$$

当 $T \approx 1s$ ， $F_o = 40M$ 时， $\Delta F_x \approx \frac{1}{40} \times 10^{-6} Hz$ ，可以满足题目要求。

当测量的低频段信号的频率低于预置门频率时，在精确门内就无法计数了。由于题目最低待测频率为 $1Hz$ ，且门限可以为 $1s$ ，等精度测频法可以满足要求。

② 相位测量方法分析

设 $IN1$ 和 $IN2$ 为两路输入信号经过整形得到的方波信号， $Gate2$ 为 $IN1$ 和 $IN2$ 经过异或之后得到的脉冲信号， F_o 为 FPGA 内部的标准高频脉冲信号。将 $IN2$ 进行八分频，结合单片机控制，可以得到一个动态门控信号

$Gate1$ 。

动态门控与脉冲信号相“与”，可以得到门限内的有限个脉冲信号 $Gate2$ 。易知， $Gate1$ 中含有 $IN2$ 的 4 个周期， $Gate2$ 含有 8 个异或脉冲。在其中分别对

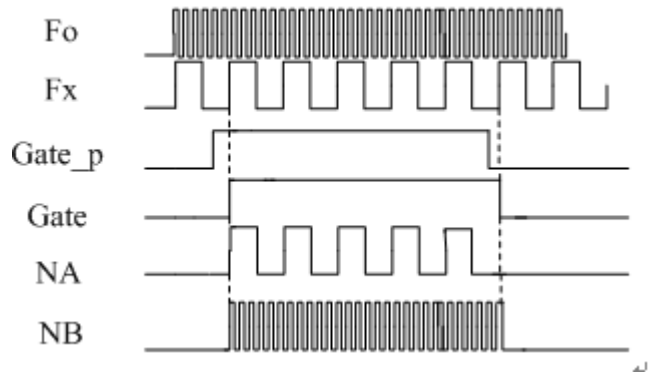


图 1.1 测频时序图

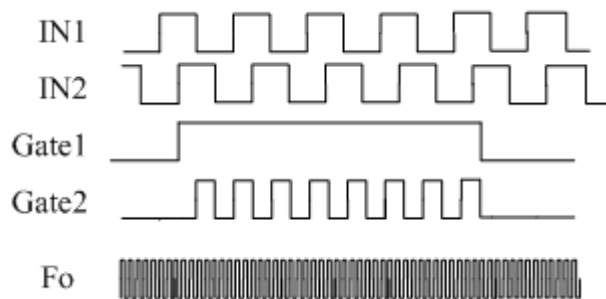


图 1.2 测相时序图

clk 进行计数，分别得到计数值 M 和 N。当 $0^\circ < \varphi_1 - \varphi_2 < 180^\circ$ 时，根据公式

$$\Delta\varphi_0 = \varphi_1 - \varphi_2 = \frac{N/8}{M/4} \times 360^\circ, \text{ 可以精确地测得相位差绝对值。其时序图如图 1.2}$$

所示。由于对高频脉冲计数可能存在 ± 1 的误差

$$\delta_{\max}(\Delta\varphi) = \Delta\varphi' - \Delta\varphi = \frac{1}{2} \times \frac{N+8}{M-1} \times 360^\circ - \frac{1}{2} \times \frac{N}{M} \times 360^\circ$$

$$\text{即 } \delta_{\max}(\Delta\varphi) = \frac{4}{M-1} \times 360^\circ \approx \frac{1440^\circ}{M}$$

在 $F=100\text{KHz}$ 时, $M_{\min} \approx 1600$, 则 $\delta_{\max}(\Delta\varphi) \approx 0.9^\circ$, 满足题目测量准确度为 1° 的要求。在 $\Delta\varphi = \varphi_1 - \varphi_2 < 180^\circ$ 时, 可以直接用公式(2)得到相位差, 即 $\Delta\varphi = \Delta\varphi_0$ 。当 $\Delta\varphi = \varphi_1 - \varphi_2 > 180^\circ$ 时, 相位差 $\Delta\varphi = 360^\circ - \Delta\varphi_0$ 。

为了判断 $\Delta\varphi$ 的区间, 我们在 FPGA 内部生成一个 D 触发器, 以 IN1 为触发器的数据输入, IN2 为触发器的时钟输入, 若触发器输出端为高电平, 则 $0^\circ < \Delta\varphi < 180^\circ$, 若输出端为低电平, 则 $180^\circ < \Delta\varphi < 360^\circ$ 。

1.2 器件选择

① 比较整形模块

对正弦波进行频率测量, 需要先将其整形为方波。而信号频率范围从 1Hz 到 35MHz, 一般的比较器无法达到这么宽的频率范围, 于是我们采用两个 TI 公司的比较器 TL3116 和 LM311, 分别用做高频信号和低频信号的比较整形。

TL3116 是一款超高速的比较器。它的输入共模电压可以达到负供电电压值, 适合对地电平敏感的应用场合。它的偏置电压很小, 精度很高。速度极快, 且功耗很低, 在标准情况下, 只需要 12.7mA 的电流就可以达到低至 10ns 的传输延迟时间。使用它来进行 35MHz 信号的比较整形, 非常适合。

LM311 是一款高速比较器, 响应时间稍大于 100ns。是一款用途很广泛的通用芯片。采用这款比较器对低频信号进行整形, 效果很好。

② 宽带放大器模块

为了实现频率 1Hz 到 35MHz 信号的准确测量, 需要采用宽带放大器。宽带集成运放的突出性能是很高的增益带宽积、极大的电压摆率。一般情况下, 电流反馈型运放在频率响应上的性能要优于电压反馈型放大器。但电流反馈型放大器的宽带特性导致了噪声增大。Ti 公司的 OPA637 是一款宽带的电压反馈型运放, 且噪声很低。由于本系统需要处理幅度很小的信号, 放大器的噪声对系统性能影响很大。于是我们舍弃高带宽电流反馈型运放 AD811, 而选择 Ti 公司的 OPA637。

OPA637 是一款高精度高速 Difet 运算放大器。绝缘隔离 FET(Difet)技术能够制造精度非常高的低噪声运算放大器。Difet 工艺还使寄生电容和输出晶体管饱和效应减至最小,从而改进带宽特性并获得了更宽的输出摆幅。它的 Difet 制造工艺使之在不引入附加输入电压噪声的条件下获得非常小的输入偏置电流。如此低的输入偏置电流保证了它的共射共基电路具有很宽的共模输入电压范围。

Ti 公司的 OPA637 具有高增益带宽积、高摆率、低噪声的特性。在频率为 10KHz 时噪声只有 $4.5nV/\sqrt{Hz}$ 。它的建立时间很短,450ns 可以达到 0.01%,摆率可达 135V/us。当增益 $G \geq 5$ 时输出很稳定。尽管处理频率高于 10MHz 的信号时,输出信号会有一定衰减,但是已经能够满足后级比较器的输入信号幅度要求。

③峰值检波模块

在进入模拟开关之前,需要进行峰值检波,通过测得的信号的幅值确定模拟开关的通道。峰值检波后级为一级射级跟随器,起到模块间隔离的作用。射随电路使用了 Ti 公司的精密运放 OPA602。

它是一款高精度、宽带运算放大器。Difet 结构使之成为独特的高速和高精度的特性完美结合的运放。它的宽带设计将其动态误差最小化。OPA602 独特的共射共基输入电路保证了它的低输入偏置电流以及在满量程输入共模电压范围内的高精度输入特性。这款运放具有 6.5MHz 的带宽,35V/us 的摆率,最大的偏置电压为 $\pm 250\mu V$,最大偏置电流为 $\pm 1pA$ 。建立时间较短,在 1us 内可以达到 0.01%。单位增益输出稳定而且可以驱动高达 1500pF 的容性负载。

④相位测量模块

在相位检测模块中,为了防止引入额外相差,我们采用了 Ti 公司的双路放大器 TL052 进行前级幅度调理,采用双路比较器 TLC372 进行比较整形。

TL052 是一款增强型结型场效应管低偏置运算放大器。在标准情况下,TL052 摆率为 20V/us,速度较快,且功耗很低。

TLC372 是一款 LinCMOS 双差分输入比较器。它的输入电压范围很宽,可达 2V ~ 18V;耗尽电流很小,在 5V 时只有 150uA;它具有很高的输入电阻,标准情况下可达 $10^{12}\Omega$,可以直接与高阻信号源相连。内部还集成有静电放电保护电路。它具有极小的输入偏置电流,标准情况下只有 5pA;具有极低的输入偏置电压,最大情况下有 5mV。

1.3 设计方案论证

①测频、测周方案

将信号比较整形为等频率的方波,再送入 FPGA 内进行频率测量。

方案一:直接测频法。在确定的闸门时间内,利用计数器记录待测信号通过的周期数,从而计算出待测信号的频率。此方案对低频信号测量的精度很低,较

适合于高频信号的测量。

方案二：测周法。以待测信号为门限，记录在此门限内的高频标准时钟的数量，从而计算出待测信号的频率。但被测信号频率过高时，由于测量时间不足会存在精度不够的问题，此方案适于低频信号的测量。

方案三：等精度测频法。其精确门限由被测信号和预制门控制共同控制，测量精度与被测信号的频率无关，只与基准信号的频率和稳定度有关，因此可以保证在整个测量频段内测量精度不变。因此我们选取方案三。

②相位测量方案

方案一：波形分析法。同时对输入两路信号进行等间隔采样，然后经过统计计算确定两路波形的时间间隔 ΔT ，由此计算出相位差。该方法需要软件对大量的波形数据进行处理，实现复杂，且精度不易提高。

方案二：相位电压转换法。具体实现方法有采样法(低通滤波法)和积分法。

采样法是将两路待测信号整形成为方波信号后进行逻辑“异或”，异或输出的电压的直流成分反映了两路信号的相位差。这种方法操作简单，但由于存在滤波环节，测量精度不易提高。

积分法可以消除采样法中低通滤波器引入的误差，将异或输出的脉冲电压送至积分器，通过计算充电放电时间 t_1 、 t_2 可以得到相位差。这种方法测量精度较高，但这种方法对积分电路和放电电路要求很高，受分立元件的参数影响很大。

方案三：计数法。将两路信号经过整形和异或后，所得的输出脉冲的占空比能反应相位差的大小，对异或脉冲进行填充计数，可以测得其相位差。采用多周期同步计数法，可使量化误差大大减小，精度也完全可以达到题目要求。

综上所述，选取方案三。

③信号采集与调理方案

由于测频、测相输入信号的幅度最小为 $0.005V_{rms}$ ，而比较器能检测到的输入信号的幅度有最低限制。两信号幅度的差异可能会引入额外误差。因此信号需要进行调理后才可送入比较器整形。

方案一：将信号进行限幅放大。但这样会将噪声放大，引入不稳定因素。

方案二：根据信号幅值分级放大。利用峰值检波大体检测出信号的幅度范围，单片机根据峰值选通模拟开关的不同通道，分别进行不同增益的放大。该方案可以很好地解决宽幅度范围的输入信号调理的问题，于是我们选取方案二。

2 系统实现

2.1 硬件设计

2.1.1 系统框图

根据以上的方案论证与比较，对于待测频率信号，先将信号经过峰值检波电

路,再由 AD 转换测出信号幅度的大小,然后由单片机控制模拟开关选择相应的放大通道,使得不同幅度的信号都放大到比较器的正常比较范围。用 TL3116 和 LM311 分别对高频信号和低频信号进行整形后进入 FPGA 的测频模块,可精确地测得信号频率和周期值。对于两路待测相位信号,先将其用双运放 TL052 进行幅度调理后再通过双路比较器 TLC372 进行比较整形,所得方波信号输入到 FPGA 的测相模块。系统的总体框图如图 2.1 所示。

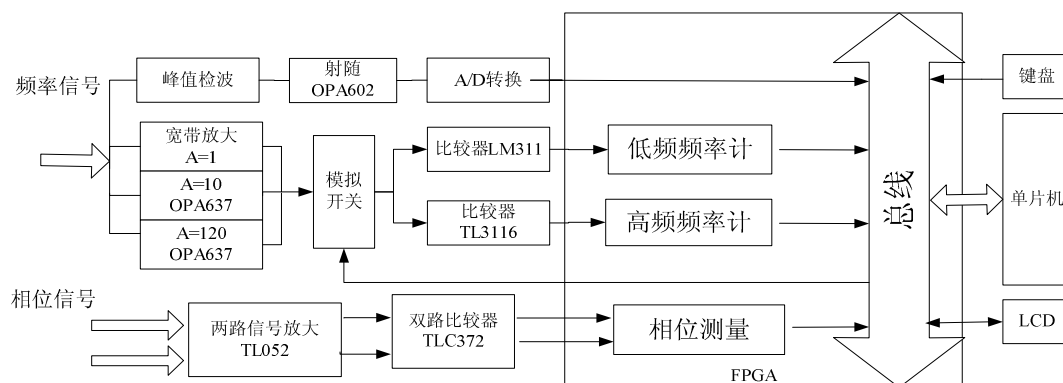


图 2.1 系统框图

2.1.2 功能模块设计

① 峰值检波模块

在进入模拟开关之前,需要进行峰值检波,通过测得的信号的幅值确定模拟开关的通道。峰值检波电路是由二极管电路和电压跟随器组成,其工作原理为:当输入电压正半周通过时,检波管 D2 导通,对电容 C1 充电,直到到达其峰值。三极管的基极由单片机控制,产生 10us 的高电平使电容放电,以减少前一频率测量对后一频率测量的影响,提高幅值测量精度。其中 D1 处于常导通状态,用以补偿 D2 上造成的压降。电容 C1 的取值需根据被测信号的频率合适的选取,此电路中的二极管使用高频二极管,可大大提高测量范围的频率上限。其电路图如图 2.2 所示。

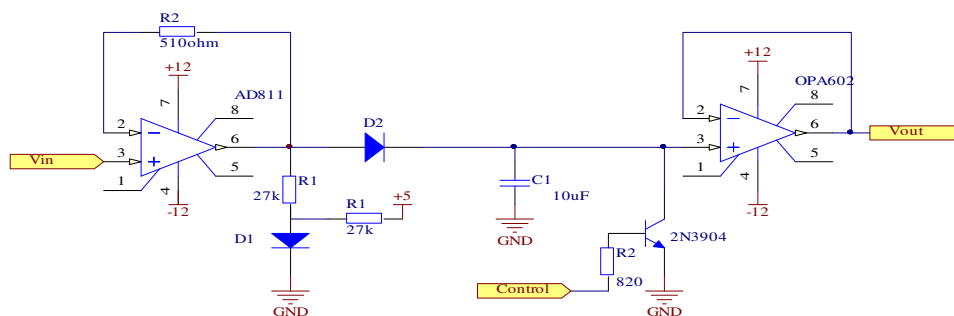


图 2.2 峰值检波模块

② 宽带通道放大器分析

为了检测有效值 0.005V~ 5V 的信号(即 V_{p_p} 为 0.014V~14V)的频率,而高频比较器 TL3116 能检测到的输入信号的最小幅度 $V_{p_p}=0.8V$,因此需要对信号

进行程控放大。当测得的信号峰峰值 $V_{p-p} < 0.1V$ 时，设定放大倍数为 120，当 $0.1V < V_{p-p} < 1V$ 时设定放大倍数为 10，当 $V_{p-p} > 1V$ 时，设定放大倍数为 1。

以 MAX309 为模拟开关，用 OPA637 接成一级同相放大器进行 10 倍增益放大。用两级 OPA637 级联进行 120 倍放大。其原理图如图 2.3。

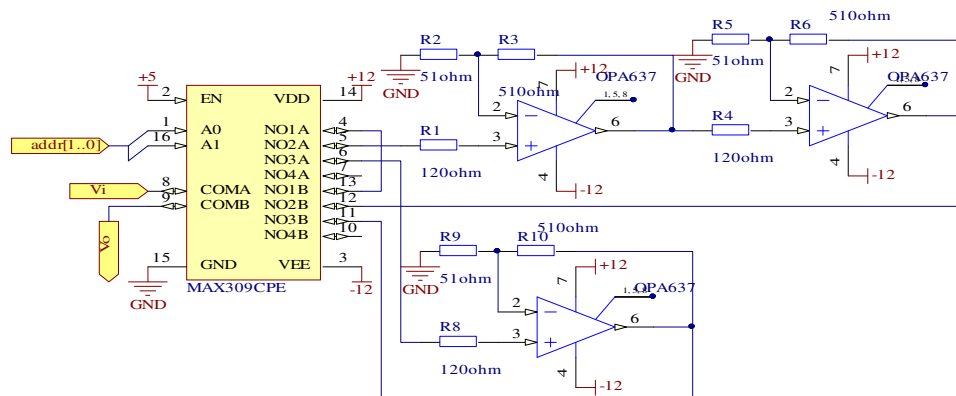


图 2.3 宽带放大器

③比较整形电路

在测频、测周部分，由于我们没有带宽由 1Hz 到 35MHz 的比较器，所以采用分段处理的方法实现整个频带的测量，高频部分用 TI 公司的 TL3116 实现，低频部分采用 LM311。为抑制干扰引起的误翻转，我们采取了带正反馈的滞回比较电路的形式。在反相输入方式时，其正向阈值电压 $u_+ = \frac{R_2}{R_2 + R_F} \times 5V$ ，对应

比较后信号的下降沿。负向阈值电平为 0V，对应于比较后信号的上升沿。故输出信号的上升沿仍属过零比较。其电路图如图 2.4 所示。

测相的两路信号经过整形，要使产生的额外相差最小，必须保证两路通道参数的一致性，选用 TI 公司的双路比较器 TLC372。其电路图如图 2.5 所示。

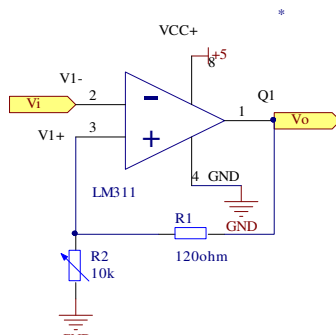
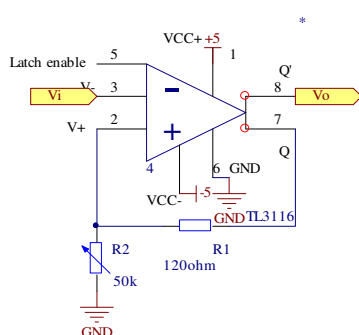


图 2.4 测频比较整形模块

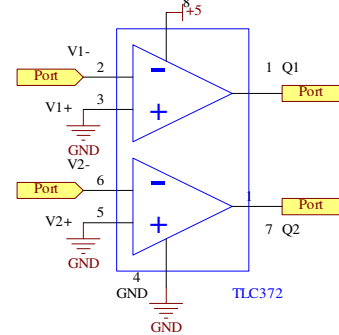


图 2.5 测相比较整形模块

④FPGA 模块

本系统采用数字方法在 FPGA 内部进行频率和相位差的测量。其电路图如图 2.6 所示。其中 fx_h 和 fx_l 分别为高频信号和低频信号输入端。CH1 和 CH2 分别为两路相位信号输入端。

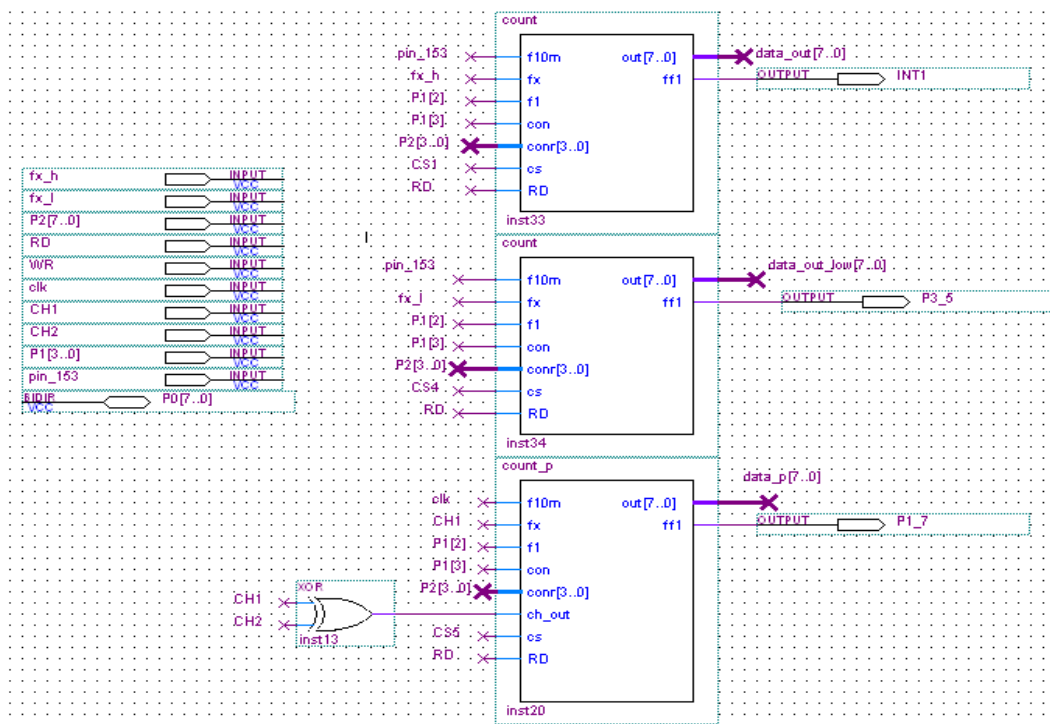


图 2.6 FPGA 中测频、测相模块

2.1.3 硬件设计注意事项

该系统需要处理高频小信号，硬件设计上需要应用抗干扰技术。

①防止数字信号与模拟信号耦合造成干扰

由于系统为数字系统与模拟系统相互联系的混合系统。由于模拟信号与数字信号在频域中的分布情况不同，数字信号更容易进入不属于它们的电路中，造成干扰。采用如下方法解决数字信号与模拟信号的耦合问题：数字信号尽可能远离模拟信号；若两信号不得不交叉，尽可能以 90° 交叉；在模拟信号与数字信号之间设置屏蔽；在数字地和模拟地之间接电感线圈防止两地线之间串扰。

②防止电源的干扰

由于单片机及一些接口电路为数字电路，在电源电路会产生峰值很大的尖峰电流，供电电源是外部瞬时脉冲窜入系统的主要通道，必须对其采取必要的抗干扰措施：采用 $0.01 \sim 0.1\mu\text{F}$ 的电容加在电源线和地线之间，作为旁路电容滤除纹波；在数字芯片的电源输入处采用一个 $0.1\mu\text{F}$ 的瓷片电容和一个 $220\mu\text{F}$ 的电解电容并联形成电荷池接地，有效地抑制了数字芯片对电源的影响；电容连线靠近电源端并尽量粗短，最好是直接用焊锡连接。

2.2 软件设计

2.2.1 软件流程

本系统软件部分由单片机和 FPGA 组成，单片机主要完成人机交互部分的处理和系统的控制，FPGA 主要完成测频、测周和测相的实现。整个软件系统的设计中模块化思想贯穿始终，采用菜单选择所用功能。程序流程图如图 2.7 所示。

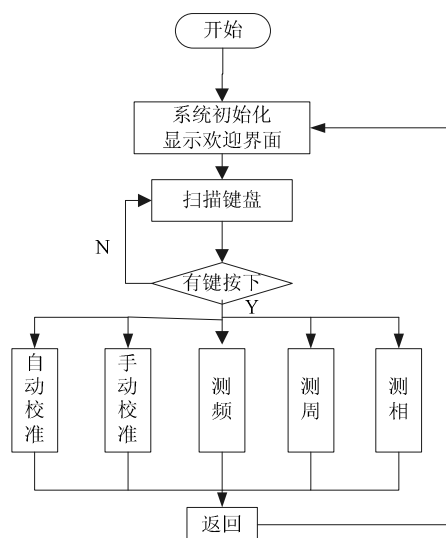


图 2.7 程序流程图

2.2.2 软件设计注意事项

- ①模块化编程。各个模块具有一定的独立性和可移植性，在调试过程中更容易寻找到程序漏洞，在修改程序时，也不会影响其他模块的实现。
- ②优化程序。充分利用单片机内部有限的资源，提高程序运行的效率。
- ③提高程序可读性。变量命名，函数命名体现其功能，使程序逻辑清晰；另外程序中的注释也必不可少。这对于系统的调试和维护具有很重要的意义。

3 作品性能测试与分析

3.1 系统测试方法及测试数据

① 测频、测周输入信号频率范围测试

由函数发生器产生单一频率 $V_{rms}=1.5V$ 的正弦信号，改变信号频率。

表一 输入信号频率范围测试数据

频率	真实值	1Hz	1kHz	100kHz	1MHz	35MHz
	测试值 (Hz)	1.000001	1.000000K	100.0000K	1.000001M	34.99998M
	误差	10^{-6}	0	0	10^{-6}	2.5×10^{-7}

②测频、测周输入信号幅度范围测试

由函数发生器分别产生 $F=1Hz$ 、 $10MHz$ 的正弦信号，改变信号的幅度。

表二 输入信号幅度范围测试数据

幅度有效值	0.005V	0.1V		幅度有效值	1V	5V
$F=1Hz$	1.000001	0.999999		$F=10MHz$	10.00001M	10.00001M
误差	10^{-6}	10^{-6}		误差	10^{-6}	10^{-6}

③测相输入信号频率范围测试

改变自制测相网络的相位差，可以测得三个频率点的相位值。

表三 输入信号频率范围测试数据

频率	10Hz	1kHz	100kHz
实际相位	20°	90°	300°
测量相位	20.2°	90.5°	300.8°

误差	0.2°	0.5°	0.8°
----	------	------	------

④测相输入信号幅度范围测试

测相网络的相差固定为 45°，改变输入信号幅值，进行测试。

表四 输入信号幅度范围测试数据

Vrms	0.5V	1V	3V	5V
相位差	45.1°	45.4°	45.6°	45.2°

3.2 系统性能概览

表五 系统性能指标

题目要求			完成情况
基本部分	频率、周期测量	频率范围：1Hz~1MHz	完成
		幅度范围：0.5Vrms~5Vrms	完成
		测量误差 $\leq 10^{-3}$	完成
	相差测量	量程：0~360°； 测量准确度：1°； 分辨率：0.1°	完成
		频率范围：10Hz~100kHz； 信号幅度范围：0.5Vrms~5Vrms	完成
发挥部分	扩大测频、测周输入信号动态范围		扩展到 0.005 Vrms~5Vrms
	扩展了测频、测周的频率		扩展到 1Hz 到 35MHz
	测频误差 $\leq 10^{-6}$		完成
	其他		系统具有自动校准和手动校准功能

3.3 误差分析

①频率测量

频率测量采用等精度测频法，计算在精确门限内的高频标准脉冲个数和待测信号的周期数。对于高频标准脉冲的计数可能会产生 ± 1 的误差。但是由于我们采用 40M 的高频标准脉冲，在闸门时间为 1s 的情况下，根据公式(1),误差可以控制在 10^{-6} 以内，甚至达到 10^{-7} 。实际上，我们测试的结果也证实了这一点。

②相位差测量

相位差的测量采用计数法。在动态门框内对高频标准脉冲进行填充计数。同样也可能产生上述 ± 1 的误差。但是由于我们需要测量的信号范围在 10Hz 到 100KHz, 根据公式(3), 可能产生的最大误差也只有 0.9°，可以满足题目的要求。

3.4 改进措施

- ①在单片机的运算能力范围内，使用频率更高的晶振，可以减小系统误差。
- ②在小信号测量时，采用一定的数字信号处理技术，如进行软件滤波等，可以降低外界环境对小信号的干扰对测量的影响。
- ③用一级仪器放大器对小信号进行处理，仪器放大器的共模抑制比很高，对于小信号处理效果很好。这样改进，可以再度降低被测信号的幅度。

4 附录

系统由 5 个模块构成：控制核心模块，峰值检波模块，程控放大模块，测频比较整形模块，相位测量模块。

控制核心模块集成了单片机，FPGA，键盘和 LCD 等，如图 4.1 所示。

峰值检波模块后级是一级用 Ti 公司的 OPA602 实现的射级跟随器。在程控放大模块中的三片宽带运放为 Ti 公司的 OPA637。在测频比较整形模块中，两片比较器分别是 Ti 公司的 LM311 和 TL3116。在相位测量模块中，一片双运放为 Ti 公司的 TL052，一片双路比较器 TLC372。其具体位置如图 4.2 所示。



图 4.1 控制核心模块

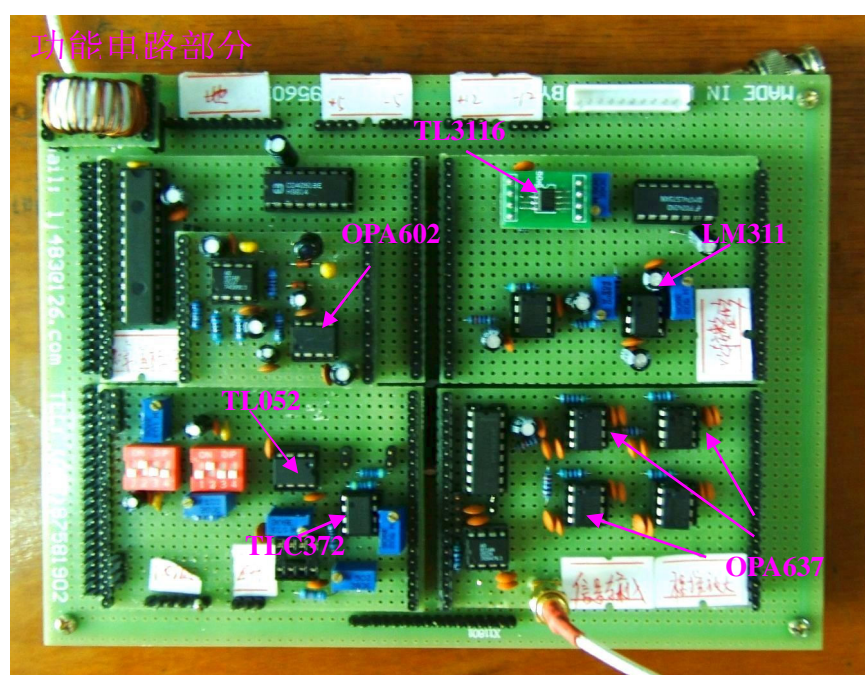


图 4.2 功能电路部分

整体系统如图 4.3 所示。

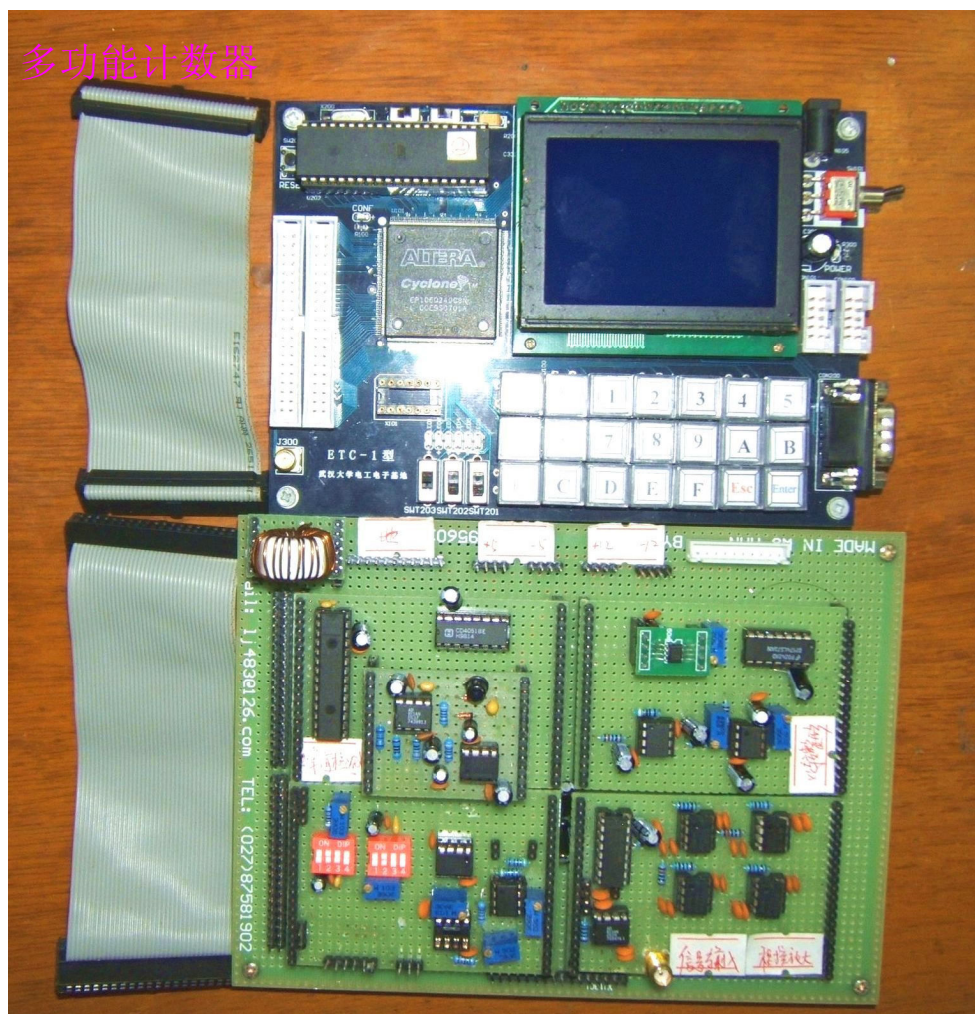


图 4.3 多功能计数器系统