

专业 人工智能 班级 2202 日期 2024. 2. 26 成绩  
实验组别 10 第 一 次实验 指导教师 潘晓明  
学生姓名 秦明远

## 实验名称

## 集成逻辑门电路参数测试

**第一部分：实验预习报告**（包括实验目的、意义，实验基本原理与方法，主要仪器设备，实验方案与技术路线等）

## 一、实验目的

- 利用信号发生器输出数字方波信号
- 逻辑门集成芯片主要特性参数基本知识
- 练习 SSI 数字逻辑门集成芯片的使用

## 二、实验原理与电路分析

## 1. CMOS与非门电路的主要参数

- 电源电压 $+VDD$ ： $+VDD$ 一般在 $+5V\sim 15V$ 范围内均可正常工作，并允许波动  $\pm 10\%$ 。
- 静态功耗 $PD$ ：约在微瓦量级。
- 输出高电平 $VOH$ ： $VOH \geq VDD - 0.5V$ 为逻辑1。
- 输出低电平 $VOL$ ： $VOL \leq VSS + 0.5V$ 为逻辑0（ $VSS = 0V$ ）。
- 平均延迟时间 $tpd$ ： $tpd = (t_{PLH} + t_{PHL})/2$ ，数值很小，一般为几纳秒。
- 直流噪声容限 $VNH$ 和 $VNL$ ：指输入端所允许的输入电压变化的极限范围。

$$VNH = VOH(min) - VIH(min) = 4.9 - 3.5 = 1.4V$$

$$VNL = VIL(max) - VOL(max) = 1.5 - 0.1 = 1.4V$$

四2输入与非门集成电路如图

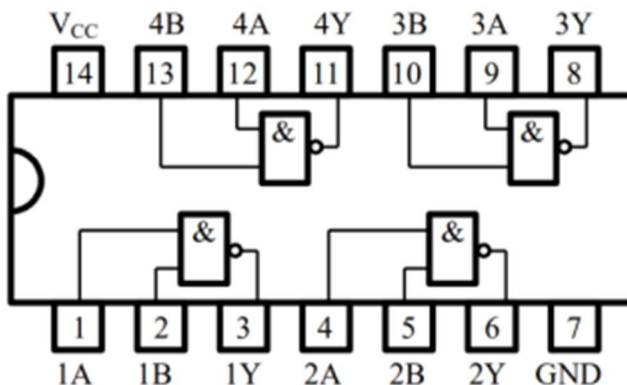


图 1 74HC00 集成电路内部结构及管脚示意图

## 三、实验器材

74HC00	5.1 k $\Omega$ 电阻	510 $\Omega$ 电阻
1片	1个	1个

四、实验内容与步骤

1. 测量普通与非逻辑门输出高、低电平

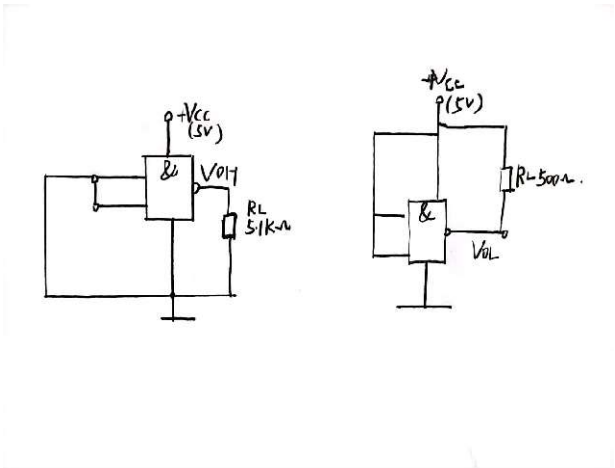


图 2 测量与非门 VOH 以及 VOL

万用表直接电流 电压档	空载	下拉负载(拉电流) 轻载5.1kΩ	下拉负载(拉电流) 重载 510Ω	上拉负载(灌电流) 510 Ω
VOH(V)				
VOL(V)				

2. 测量门传输延迟时间

tpd一纳秒级别。用多个门电路串联测量再做平均

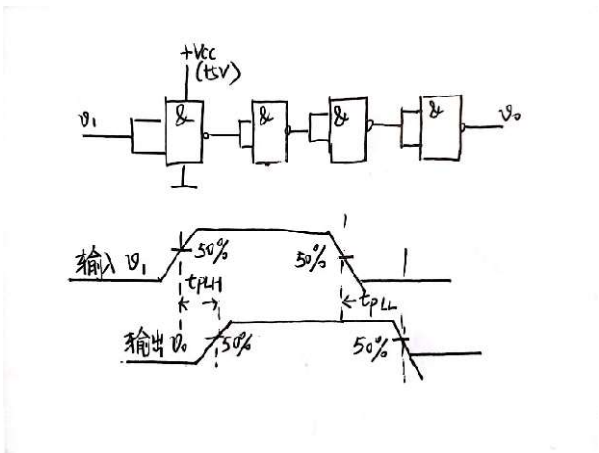


图 3 测量门传输延迟时间

由上图可得: $t_{pd} = (t_{pLH} + t_{pLL})/2n$ , n 为门个数

第二部分：实验过程记录（可加页）（包括实验原始数据记录，实验现象记录，实验过程发现的问题等）

1. 测量普通与非逻辑门输出高、低电平

万用表直接电流 电压档	空载	下拉负载(拉电流) 轻载5.1kΩ	下拉负载(拉电流) 重载 510Ω	上拉负载(灌电流) 510 Ω
VOH(V)	5.008	4.720	3.220	
VOL(V)	0.000			1.390

2. 测量门传输延迟时间

根据图3搭建电路，74HC00下降沿抖动大，因此只测单边上升沿作推理：

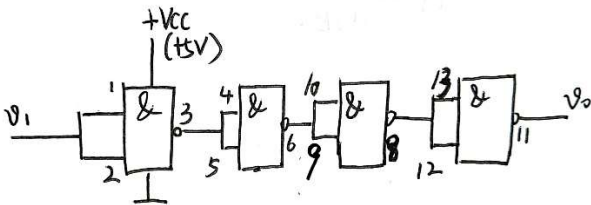


图 4 门传输延迟时间电路图

$$t_{pd} = \frac{t_{pDH}}{4} = \frac{60ns}{4} = 15ns$$

第三部分 结果与讨论（可加页）

一、思考题

- 1. 简述用示波器观察与非门电压传输特性曲线的步骤。  
将信号源调成一定频率的正锯齿波，与与非门的两输入端相连；将示波器的 两通道分别于信号源、与非门输出端相连；调成 XY 模式，观察图形。
- 2. 当异或门的一个输入端接高电平时，它相当于什么门？  
由于异或门实现的逻辑功能为  $L = AB + \overline{A}B$ ，有对称性，设  $A = 1$ ，则  $L = B$ ， 即此时相当于非门。
- 3. 用一片 CD4011 可以构成几个非门？几个二输入与门？  
由于一片 CD4011 包含四个与非门，因此一片 CD4011(4 个与非门)可 以转化为 4 个非门或 2 个二输入与门。
- 4. 两个普通的与非门输出端并联会产生什么后果？  
出现逻辑错误，甚至会产生严重的安全事故

实验名称 组合逻辑电路设计

第一部分：实验预习报告（包括实验目的、意义，实验基本原理与方法，主要仪器设备，实验方案与技术路线等）

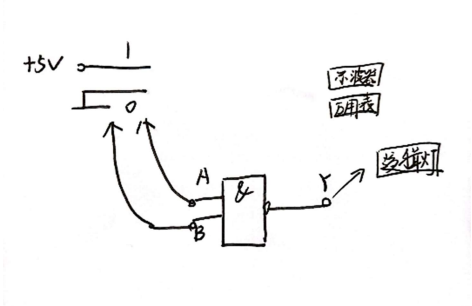
一、实验目的

- 1. 学会用传统 SSI(小规模集成电路)构成的组合逻辑电路的分析与设计方法
- 2. 掌握组合逻辑电路的功能测试方法

二、实验原理与电路分析

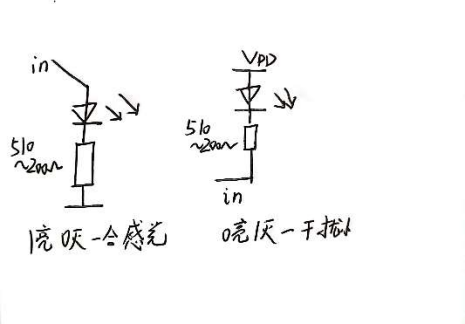
1. 静态测试

- 验证逻辑功能，即核对真值表
- 检查输入、输出引脚的性能指标



2. 逻辑灯的使用

- 逻辑灯--发光二极管 串接 限流电阻
- 工作电压+5V时 限流电阻200W~510W
- 保护免烧管；
- 防止引起电路逻辑混乱



3. 动态测试

- 加入频率较快的信号（数字方波）
- 验证逻辑功能（波形关系，如反相等）
- 检查有无竞争冒险，测量传输延时

三、实验内容与步骤

用非门及与非门实现实验内容1—两个一位数(二进制) 大小比较电路，三逻辑灯显示结果

1. 真值表

A	B	$L_1(A > B)$	$L_2(A < B)$	$L_3(A = B)$
0	0	0	0	1
0	1	0	1	0
1	0	1	0	0
1	1	0	0	1

2. 逻辑函数表达式



第二部分：实验过程记录（可加页）（包括实验原始数据记录，实验现象记录，实验过程发现的问题等）

一、设计步骤

1. 列出真值表

A	B	$L_1(A > B)$	$L_2(A < B)$	$L_3(A = B)$
0	0	0	0	1
0	1	0	1	0
1	0	1	0	0
1	1	0	0	1

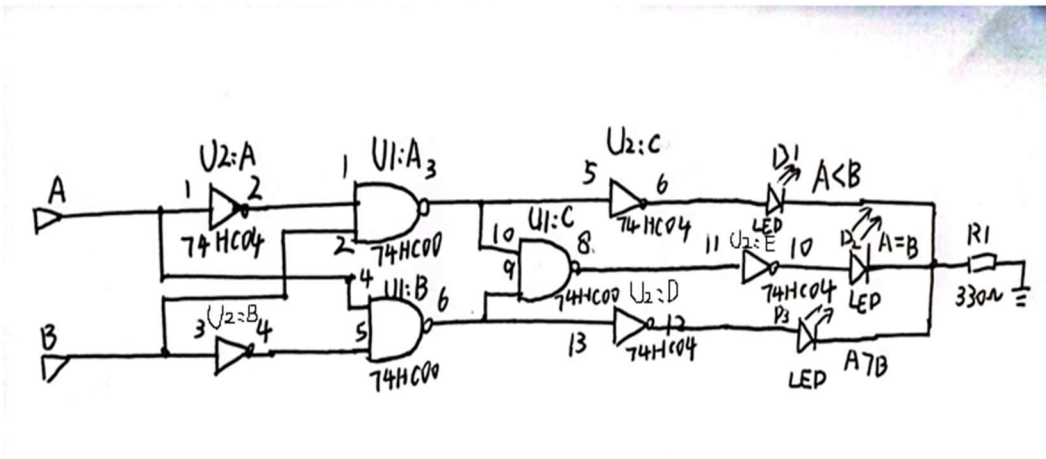
2. 将其化简为最简可用与非门和非门的逻辑表达式

$$L_1 = A\bar{B} = \overline{\overline{A}B}$$

$$L_2 = \bar{A}B = \overline{A\bar{B}}$$

$$L_3 = AB + \bar{A}\bar{B} = \overline{\overline{A}B + A\bar{B}} = \overline{L_1 + L_2} = \overline{\overline{L_1} \cdot \overline{L_2}}$$

3. 画出电路原理图



第三部分 结果与讨论（可加页）

一、思考题

在设计组合逻辑电路时，为什么要进行逻辑化简？化简的依据是什么？

化简的目的：简化数字电路的结构（一方面减少连线，另一方面减少使用的 传输门的数量以及传输门的种类）。 化简的依据：最终的依据是布尔代数相关知识，具体到实际而言，化简

一方面运用代数恒等变形，另一方面可以使用卡诺图作为工具进行化简。

## 二、心得体会

本次实验是这学期的第一次实验，也是第一次做数字电路部分的实验。给我的感受就是，数电实验比模电实验调试起来简单了不少，但是由于逻辑门种类的限制，有时候就需要对逻辑表达式进行变换以符合要求，但同时可能会在连线方面增加负担。此外，本次实验也出现了一些小小的差错，那就是用的两个芯片 CD4011 和 74HC00，他们的引脚不太相同，连线的时候误以为是相同的，因此耽误了一些时间，这也告诉我以后要认真搞清楚原理，然后再去进行操作，不然可能会造成很大的损失。总之，希望这学期的实验能让我学到更多数电调试和软件模拟的知识，为今后的学习研究进行准备。

