

# 浙江大学

## 本科实验报告

课程名称： 计算机逻辑设计基础

姓 名： 刘晨

学 院： 计算机科学与技术学院

专 业： 图灵班

学 号： 3190104666

指导教师： 董亚波

2020 年 11 月 26 日

# 浙江大学实验报告

课程名称： 计算机逻辑设计基础

实验类型： 综合

实验项目名称： 锁存器与触发器基本原理

学生姓名： 刘晨

专业： 图灵 1901

学号： 3190104666

同组学生姓名：

指导老师： 董亚波

实验地点： 东 4-509

实验日期： 2020 年 11 月 26 日

## 一、实验目的和要求

掌握锁存器与触发器构成的条件和工作原理

掌握锁存器与触发器的区别

掌握基本 SR 锁存器、门控 SR 锁存器、D 锁存器、SR 锁存器、D 触发器的基本功能

掌握基本 SR 锁存器、门控 SR 锁存器、D 锁存器、SR 锁存器存在的时序问题

## 二、实验内容和原理

内容：

实现基本 SR 锁存器，验证功能和存在的时序问题

实现门控 SR 锁存器，并验证功能和存在的时序问题

实现 D 锁存器，并验证功能和存在的时序问题

实现 SR 主从触发器，并验证功能和存在的时序问题

实现 D 触发器，并验证功能

原理：

### 1. 锁存器

构成锁存器的充分条件：

能长期保持给定的某个稳定状态

有两个稳定状态：0、1

在一定条件下能随时改变逻辑状态，即：置 1 或置 0

最基本的锁存器有：SR 锁存器、D 锁存器

锁存器有两个稳定状态，又称双稳态电路

### (1) SR 锁存器

将两个具有 2 输入端的反向逻辑器件的输出与输入端交叉连起来，另一个输入端作为外部信息输出端，就构成最简单的 SR 锁存器

### (2) D 锁存器

基本 SR 锁存器缺点：存在不确定状态

解决方法：消除不确定状态

只需 1 个数据输入端 D

输出端 Q 等于输入端 D

采用电平控制 C

## 2. 触发器

D 锁存器的缺点：存在空翻现象，如果 D 锁存器直接用在时序电路中作为状态存储元件，当使能控制信号有效时，会导致该元件内部的状态值随时多次改变，而不是保持所需的原始状态值。

解决方法：消除空翻现象，使每次触发仅使锁存器的内部状态仅改变一次

触发：外部输入使锁存器状态改变的瞬间状态

触发器：在锁存器的基础上使每次触发仅使状态改变一次的锁存电路（双稳态）

### (1) SR 主从触发器

由两个钟控 S-R 锁存器串联构成，第二个锁存器的时钟通过反相器取反

当  $C=1$  时，输入信号进入第一个锁存器（主锁存器）

当  $C=0$  时，第二个锁存器（从锁存器）改变输出

从输入到输出的通路被不同的时钟信号值 ( $C = 1$  和  $C = 0$ ) 所断开

三、实验过程和数据记录

任务 1：实现基本 SR 锁存器，验证功能和存在的时序问题

NOR 型 SR 锁存器设计原理图如下：

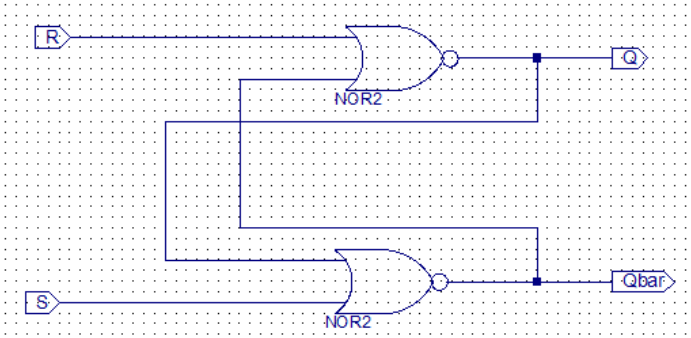


图 1 NOR 型 SR 锁存器设计原理图

仿真代码如下：

```
26      initial begin
27          R=0;S=0; #50;
28          R=1;S=0; #50;
29          R=0;S=0; #50;
30          R=0;S=1; #50;
31          R=0;S=0; #50;
32          R=1;S=1; #50;
33          R=0;S=0; #50;
34      end
35      // `endif
36  endmodule
37
```

图 2 NOR 型 SR 锁存器仿真代码

仿真结果如下：

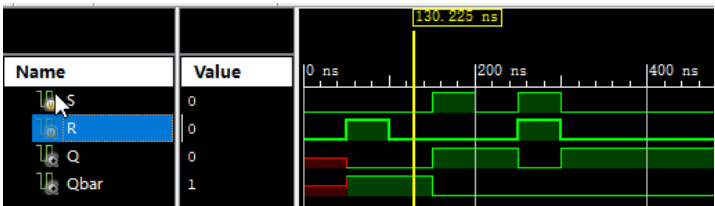


图 3 NOR 型 SR 锁存器仿真结果

仿真结果对应的实验结果如下：

<i>RS</i>	<i>QQ</i>	说明
0 0	<i>QQ</i>	保持
0 1	1 0	置1
1 0	0 1	置0
1 1	0 0	未定义

NAND 型 SR 锁存器设计原理图如下：

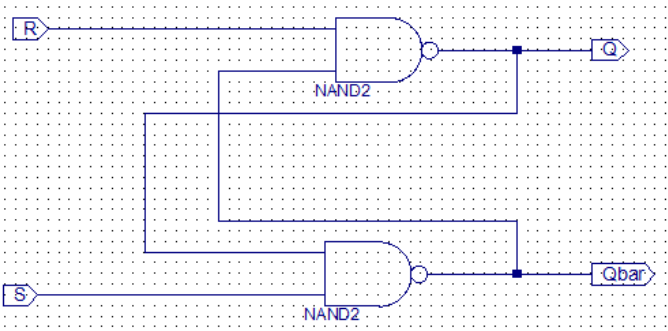


图 4 NAND 型 SR 锁存器设计原理图

仿真代码如下：

```
25      initial begin
26          R=1;S=1; #50;
27          R=1;S=0; #50;
28          R=1;S=1; #50;
29          R=0;S=1; #50;
30          R=1;S=1; #50;
31          R=0;S=0; #50;
32          R=1;S=1; #50;
33
34      end
35  endmodule
```

图 5 NAND 型 SR 锁存器仿真代码

仿真结果如下：

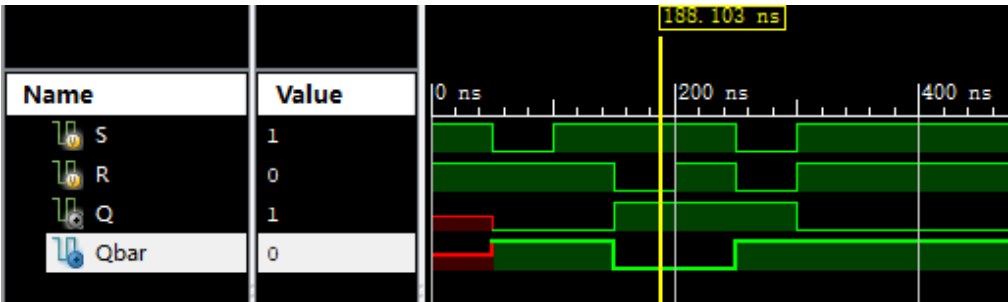


图 6 NOR 型 SR 锁存器仿真结果

仿真结果对应的实验结果如下：

<i>RS</i>	<i>QQ</i>	说明
00	11	未定义
01	01	置0
10	11	置1
11	<i>QQ</i>	保持

任务 2：实现门控 SR 锁存器，并验证功能和存在的时序问题

门控 SR 锁存器设计原理图如下：

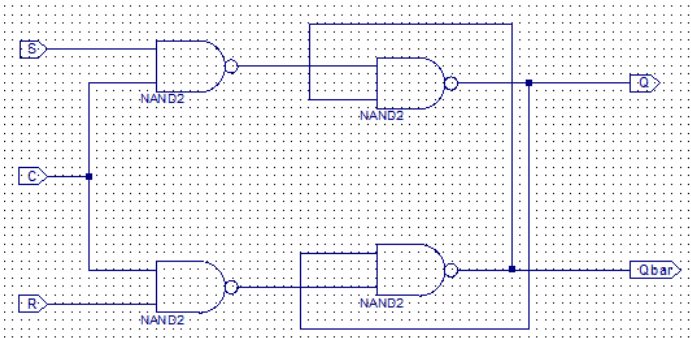


图 7 门控 SR 锁存器设计原理图

```
28     integer c=0,r=0,s=0;
29     initial begin
30
31     for (c=0;c<=1;c=c+1)begin
32         C=c;
33         #50;
34         for (r=0;r<=1;r=r+1)begin
35             R=r;
36             #50;
37             for (s=0;s<=1;s=s+1)begin
38                 S=s;
39                 #50;
40             end
41         end
42     end
43 end
44 endmodule
45
```

图 8 门控 SR 锁存器仿真代码

仿真结果如下：

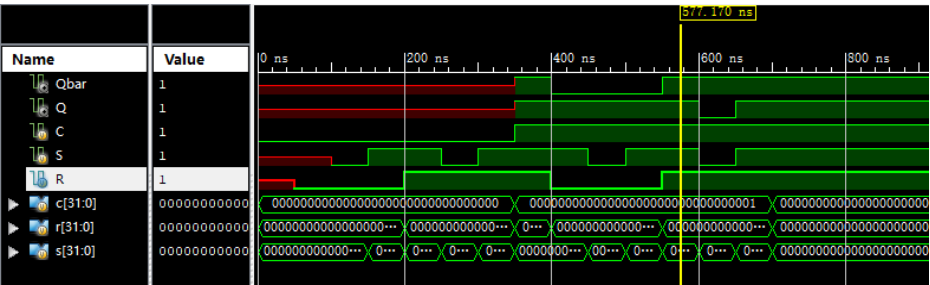


图 9 门控 SR 锁存器仿真结果

仿真结果对应的实验结果如下：

<i>C</i> <i>R</i> <i>S</i>	<i>Q</i> <i>Q</i>	说明
0 × ×	<i>Q</i> <i>Q</i>	保持
1 0 0	<i>Q</i> <i>Q</i>	保持
1 0 1	1 0	置1
1 1 0	0 1	置0
1 1 1	1 1	未定义

### 任务 3: 实现 D 锁存器, 并验证功能和存在的时序问题

D 锁存器设计原理图如下:

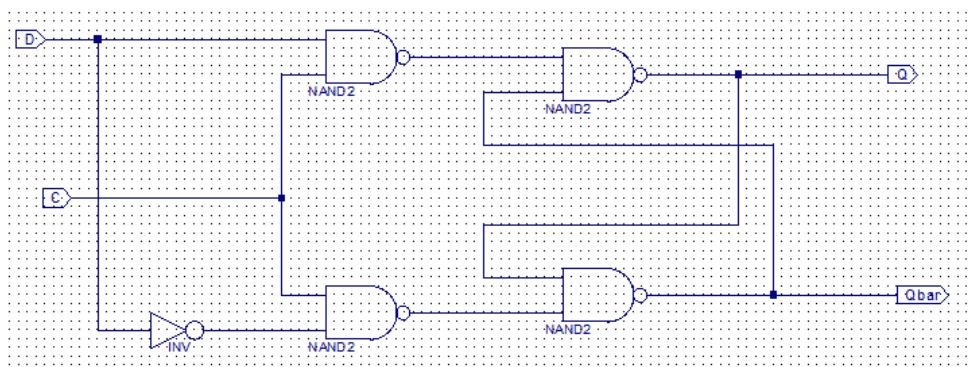


图 10 D 锁存器设计原理图

仿真代码如下:

```
26         initial begin
27             C=1;D=1; #50;
28             D=0; #50;
29             C=0;D=1; #50;
30             D=0;
31         end
32     endmodule
```

图 11 D 锁存器设计仿真代码

仿真结果如下:

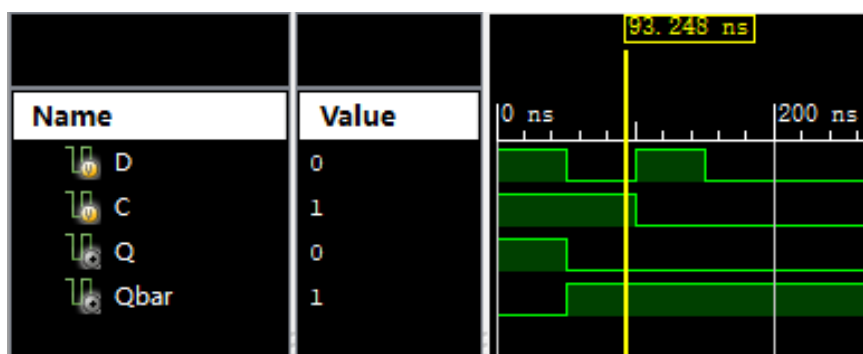


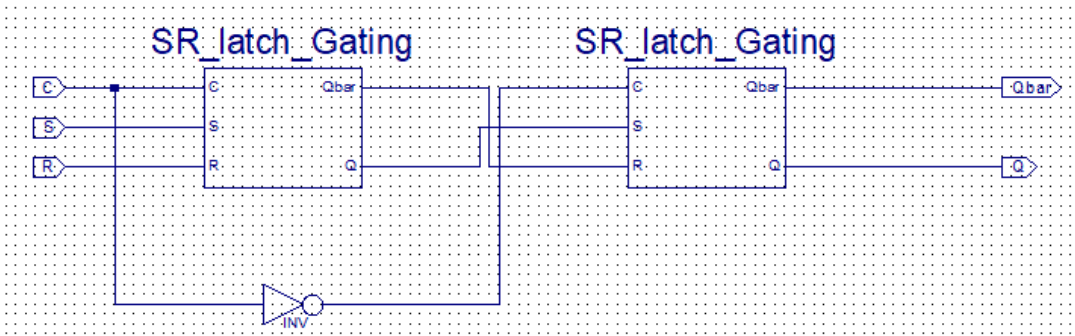
图 12 D 锁存器设计仿真图像

仿真结果对应的实验结果如下:

$CD$	$QQ$	说明
$0 \times$	$QQ$	保持
$10$	$01$	置0
$11$	$10$	置1

任务 4：实现 SR 主从触发器，并验证功能和存在的时序问题

SR 主从触发器原理图如下：



(SR\_latch\_Gating:门控 SR 锁存器)

图 13 SR 主从触发器原理图

SR 主从触发器仿真代码如下：

```
27     initial begin
28         R=1;S=1; #50;
29         R=1;S=0; #50;
30         R=1;S=1; #50;
31         R=0;S=1; #50;
32         R=1;S=1; #50;
33         R=0;S=0; #50;
34         R=1;S=1; #50;
35         //一次性采样
36         S=1;R=0; #50;
37         S=0;R=1; #50;
38         S=0;R=0; #50;
39         S=1;#5;
40         S=0;
41     end
42     always begin    //产生时钟
43         C=0;#20;
44         C=1;#20;
45     end
46
47 endmodule
```

图 14 SR 主从触发器仿真代码

仿真结果如下：

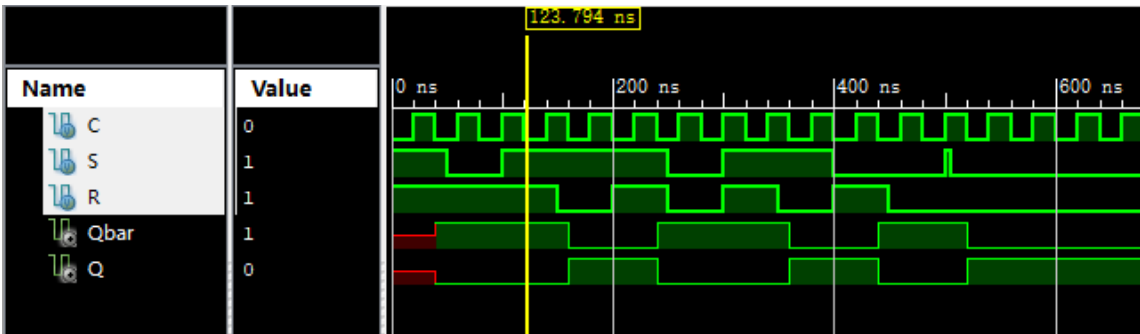


图 15 SR 主从触发器仿真结果



## 任务 5：实现 D 触发器，并验证功能

D 触发器原理图如下：

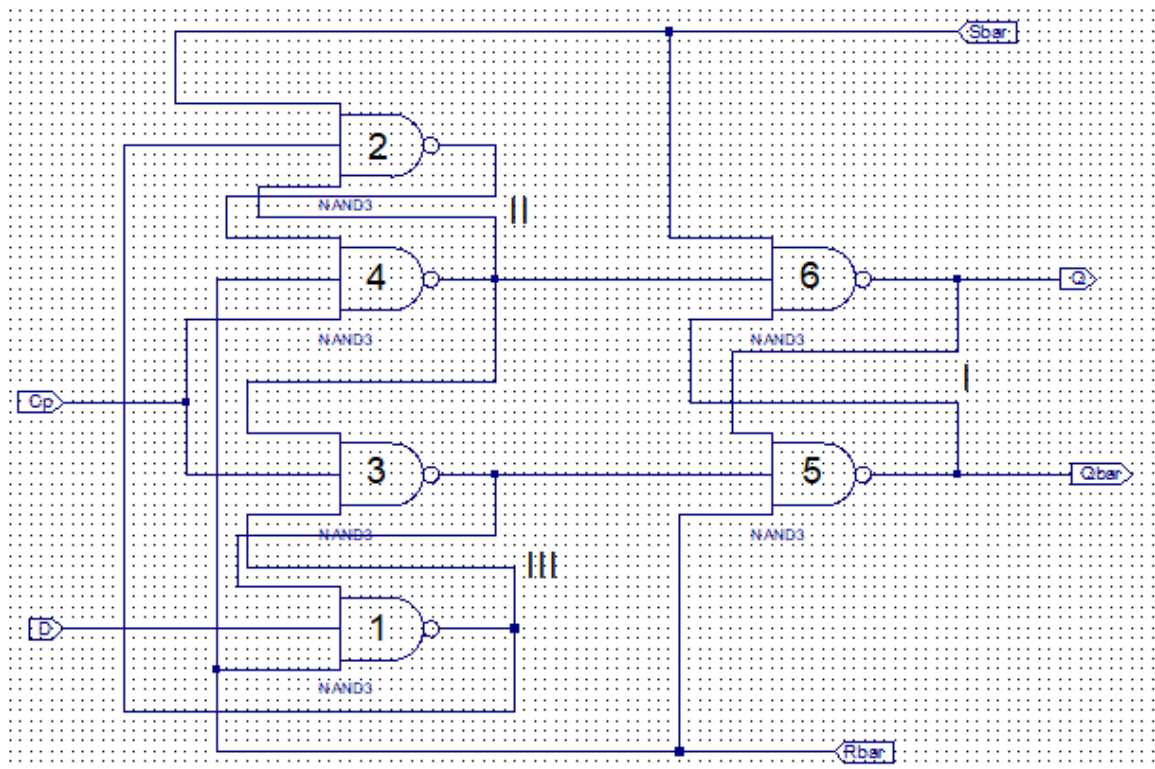


图 16 D 触发器原理图

对于 D 触发器的仿真代码如下：

```
29     initial begin
30         D = 0;
31         Rbar=1;Sbar=0; #50;
32         Rbar=0;Sbar=1; #50;
33         D=1;
34         Rbar=1;Sbar=0; #50;
35         Rbar=0;Sbar=1; #50;
36
37         Rbar=1;Sbar=1;
38         D = 0; #150;
39         D = 1; #150;
40
41     end
42
43     always begin
44         Cp=0; #50;
45         Cp=1; #50;
46     end
47
48 endmodule
```

图 17 对于 D 触发器的仿真代码

仿真结果如下：

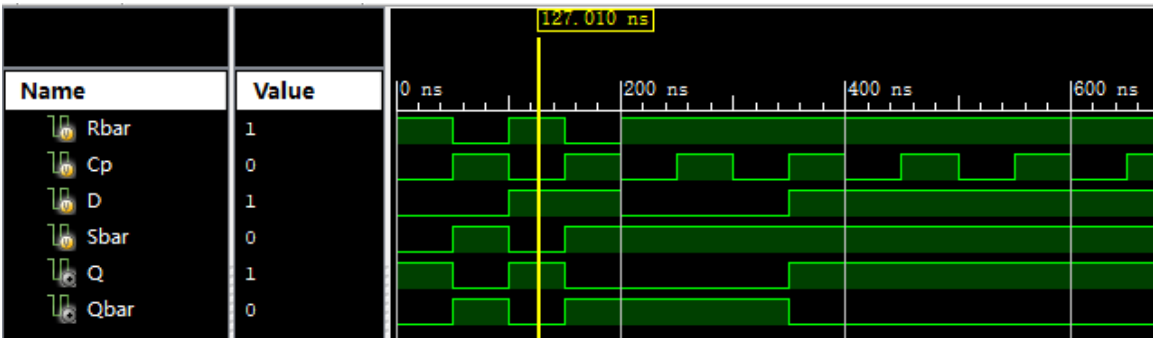


图 18 根据以上仿真代码得出的仿真结果

仿真结果对应的实验结果如下：

异步控制		上升沿触发			
<i>R</i>	<i>S</i>	<i>C<sub>P</sub></i>	<i>D</i>	<i>Q</i>	<i>Q̄</i>
0	1	×	×	0	1
1	0	×	×	1	0
1	1	×	0	0	1
1	1	×	1	1	0

四、实验结果分析

总体和预期实验结果内容一致。

硬件描述代码和原理图所要实现的功能一致。

仿真结果符合预期。

Verliog 代码内容实现了预期功能。

五、讨论与心得

这次实验没有了实验板上面的内容，相对来说比较简单，但是主要考察了如何写仿真代码，让我们学习了仿真代码的撰写。良好的仿真代码确实是能够写好程序的基石，通过仿真代码可以方便的对于程序进行检查和调试。