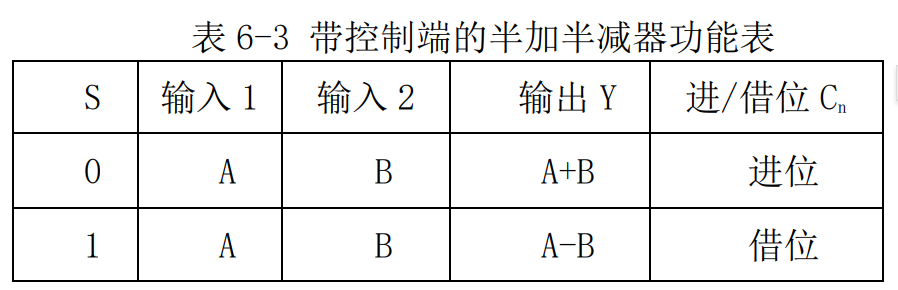
实验六.数据选择器电路原理及应用

一.实验目的

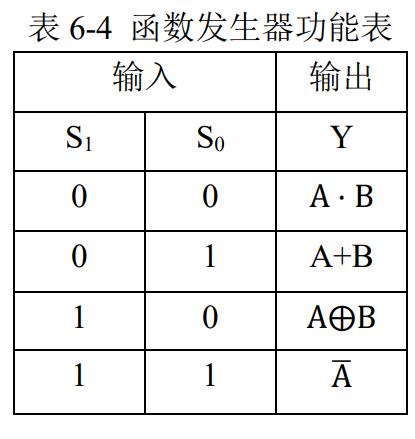
1. 熟悉数据选择器的功能与使用方法。

2. 掌握用中规模集成电路（MSI）设计的组合逻辑电路的方法。

3.在实验箱上用74LS151实现AU设计。



4.在实验箱上使用74LS151实现LU操作。

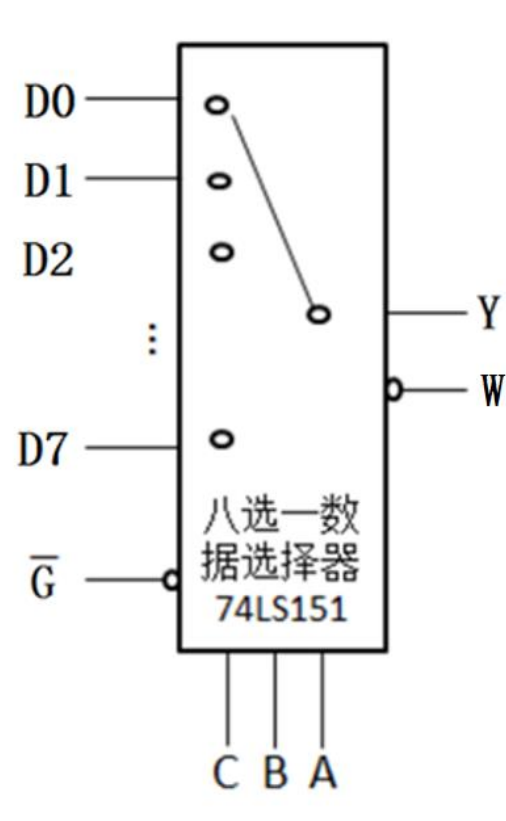


二.实验设备

在proteus仿真软件上使用74LS153， 实际操作中使用74LS151，74LS00，74LS197。

三.实验原理

1.74LS151的使用方法



74LS151（八选一数据选择器） 数据选择器的功能是从一组输入数据中选出某一个信号输出，因此也被称为 多路开关。如图 6-1 所示为八选一数据选择器 74LS151 的逻辑符号，其中 Y 和W 为 74LS151 的输出端，W 为 Y 的反码输出。G̅为 74LS151 的使能端，低电平 有效，可用于控制电路工作状态和扩展功能。D0-D7、C、B、A 为 74LS151 的输 入引脚，与输出引脚 Y 满足真值表所列八选一数据选择逻辑关系。

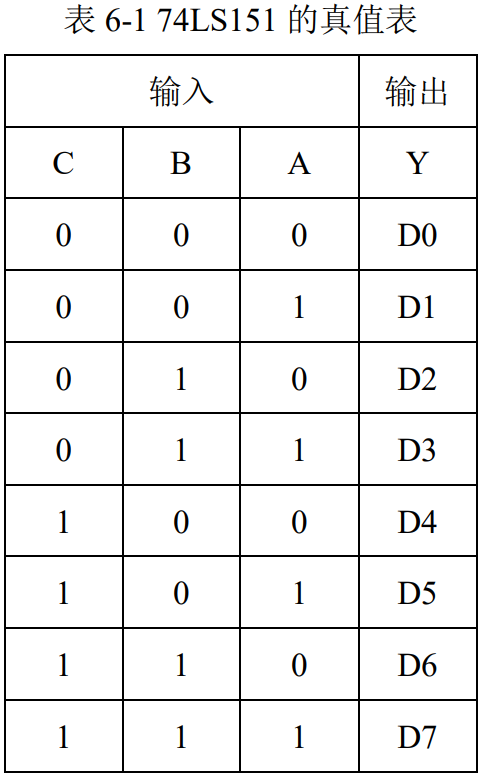


表 6-1 所示为八选一数据选择器 74LS151 的真值表，此时G̅接低电平，D0- D7 接输入（数据）信号。

2. 利用 74LS151 实现组合逻辑电路的设计方法

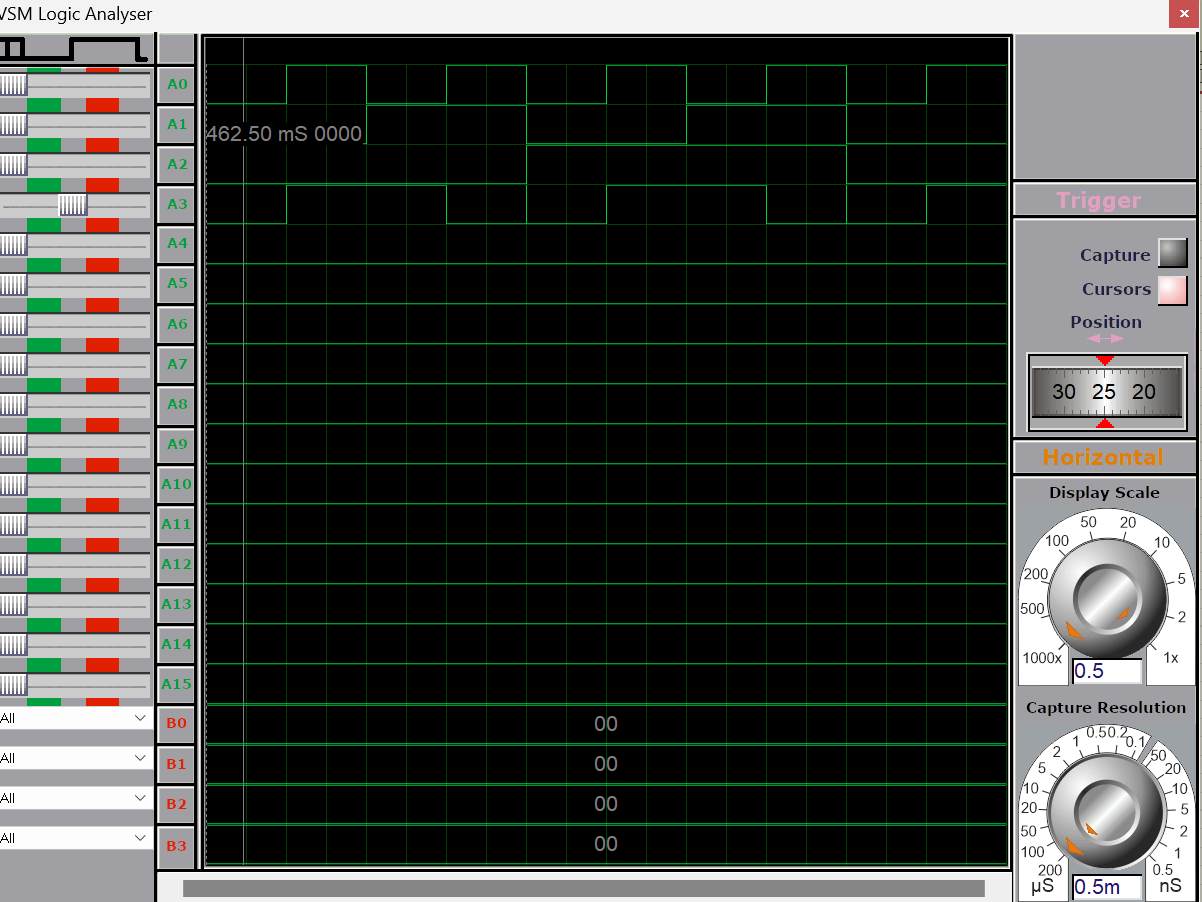
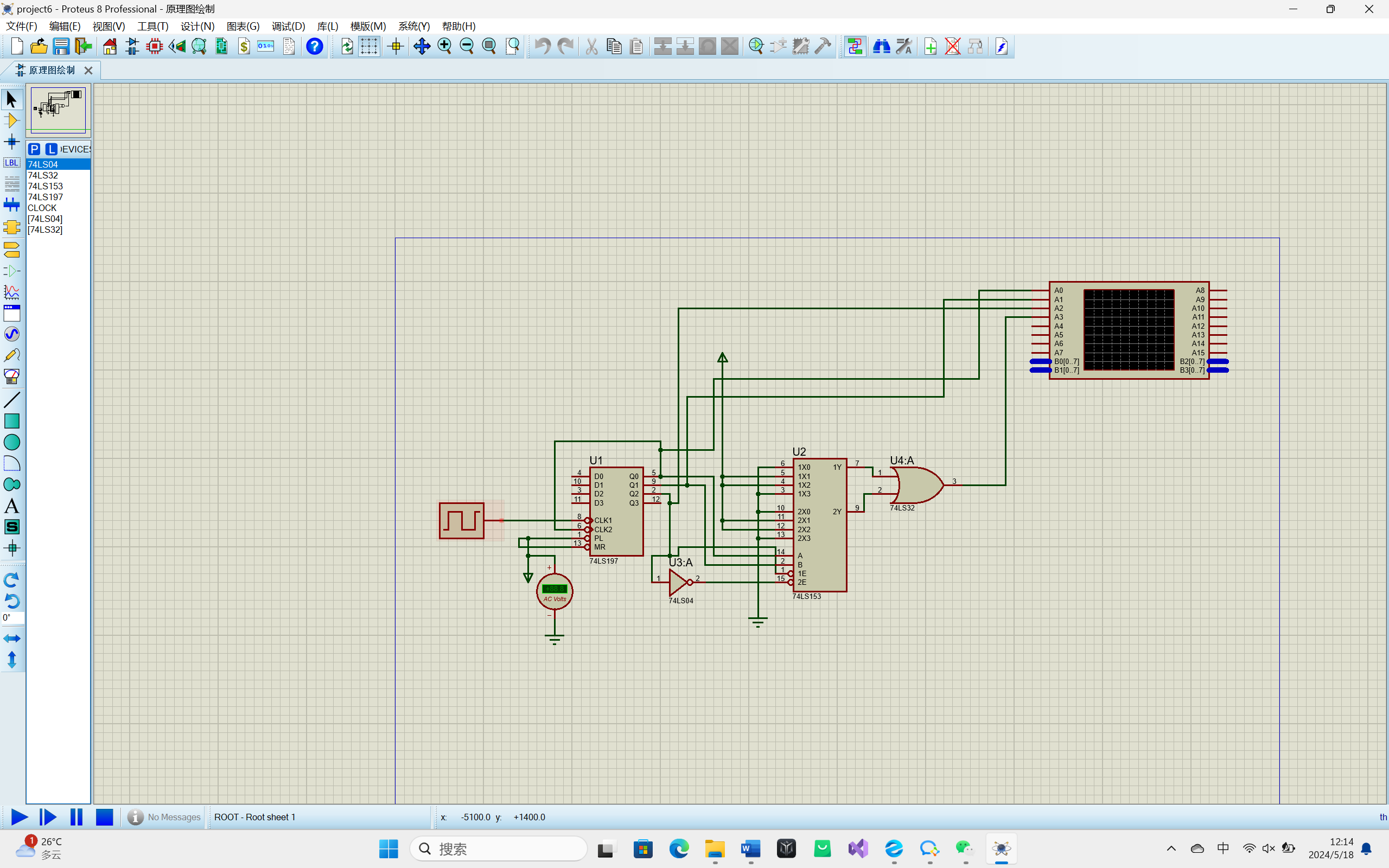
根据 74LS151 的真值表，当G̅接低电平时，74LS151 输出端 Y 的输出表达式 如下。 Y = C̅ B̅ A̅ D0 + C̅ B̅ A D1 + C̅ B A̅ D2 + C̅ B A D3 + C B̅ A̅ D4 + C B̅ A D5 + C B A̅ D6 + C B A D7

1）利用74LS151实现半加半减器的功能。

根据半加半减器的真值表可得：

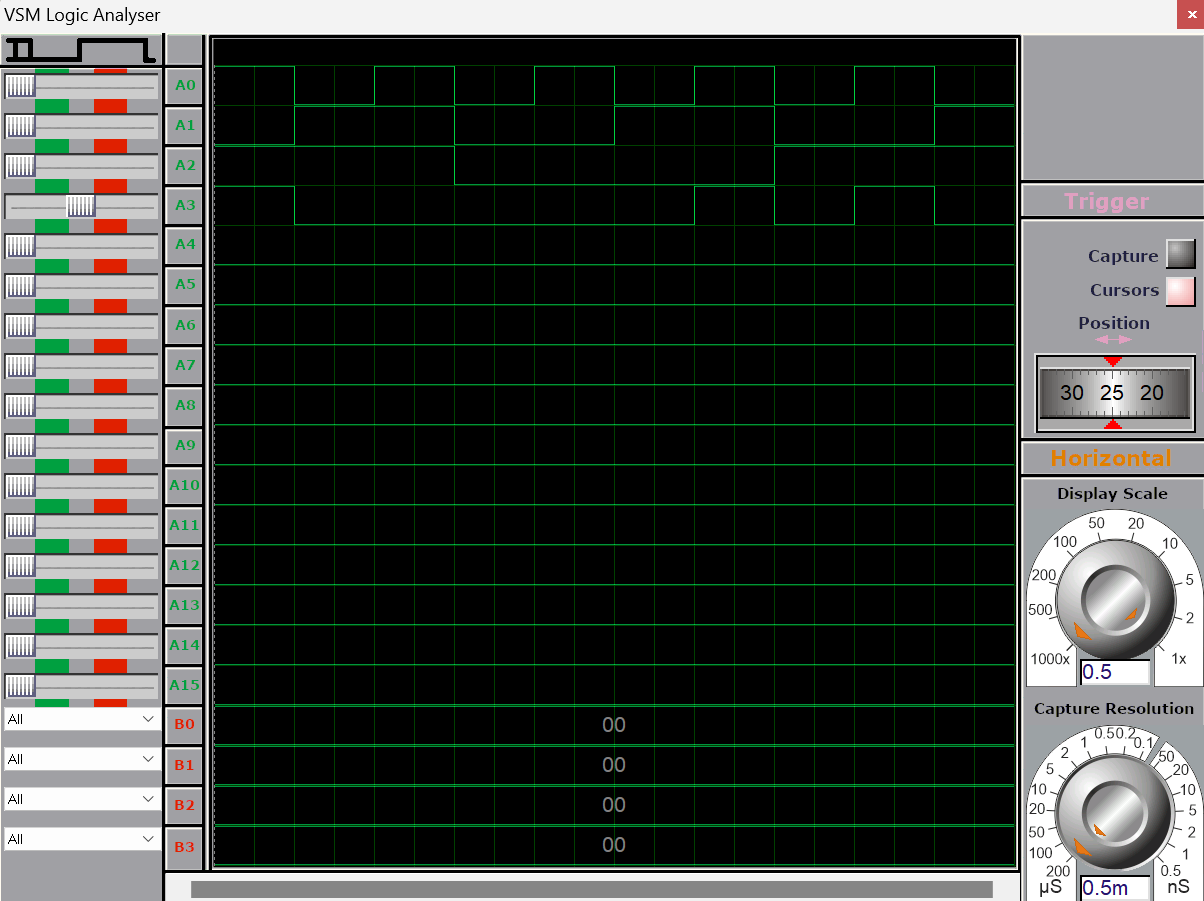
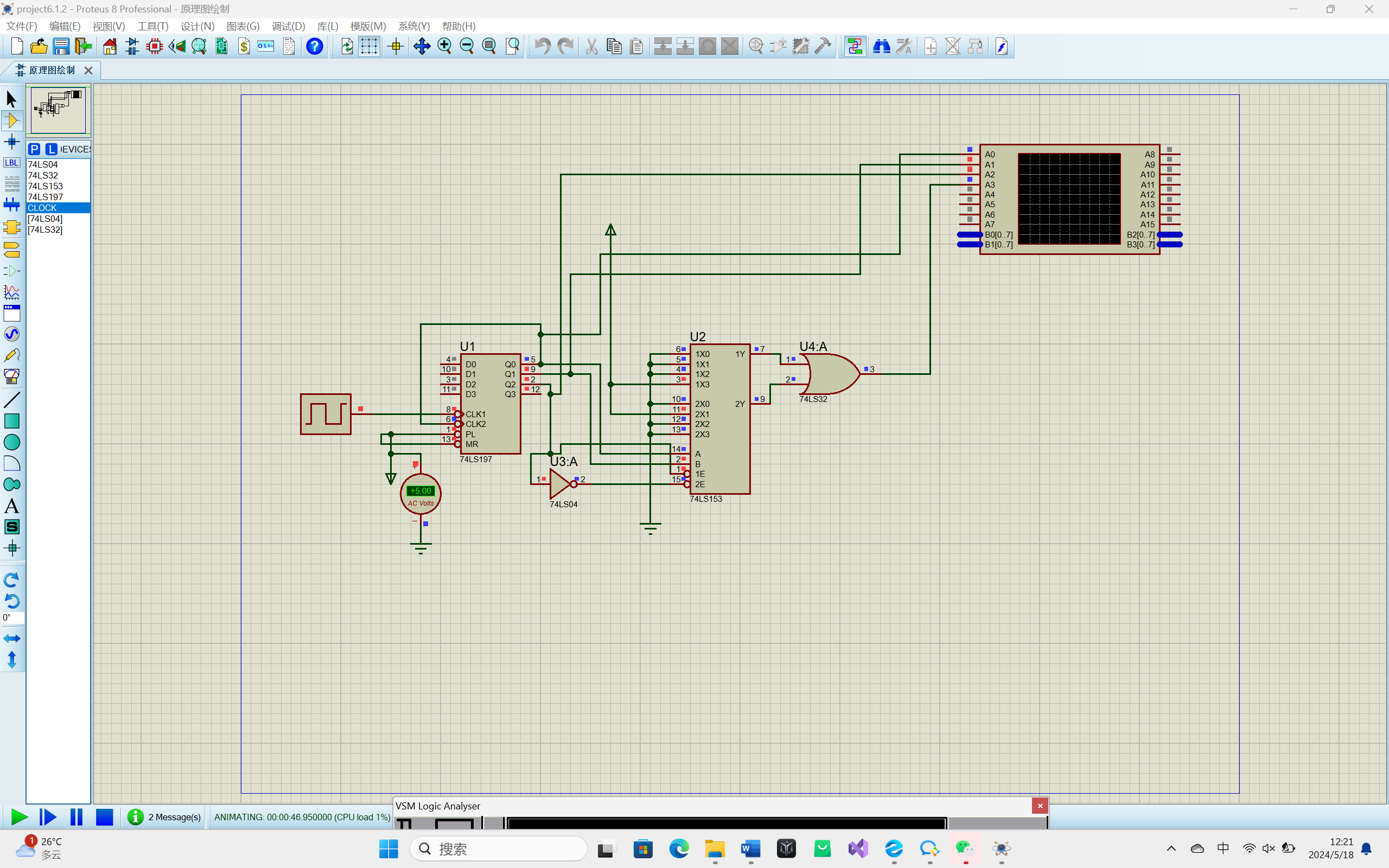
|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| S | A | B | | Y | Sn(进位借位) |
| 0 | 0 | 0 | | 0 | 0 |
| 0 | 0 | 1 | | 1 | 0 |
| 0 | 1 | 0 | | 1 | 0 |
| 0 | 1 | 1 | | 0 | 1 |
| 1 | 0 | 0 | | 0 | 0 |
| 1 | 0 | 1 | | 1 | 1 |
| 1 | 1 | 0 | | 1 | 0 |
| 1 | 1 | 1 | 0 | | 0 |

利用真值表设计如图所示的仿真电路图：



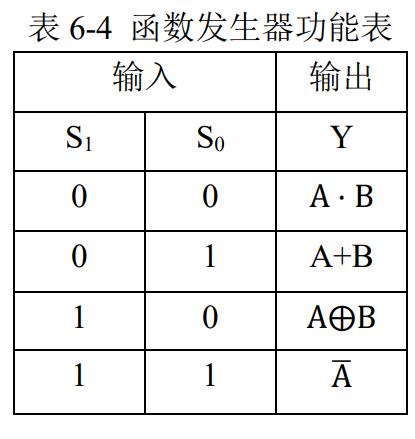
Y的仿真结果如图所示， 正确。

利用真值表设计S的仿真电路图：



S的仿真结果正确，可以进行半加半减的实验。

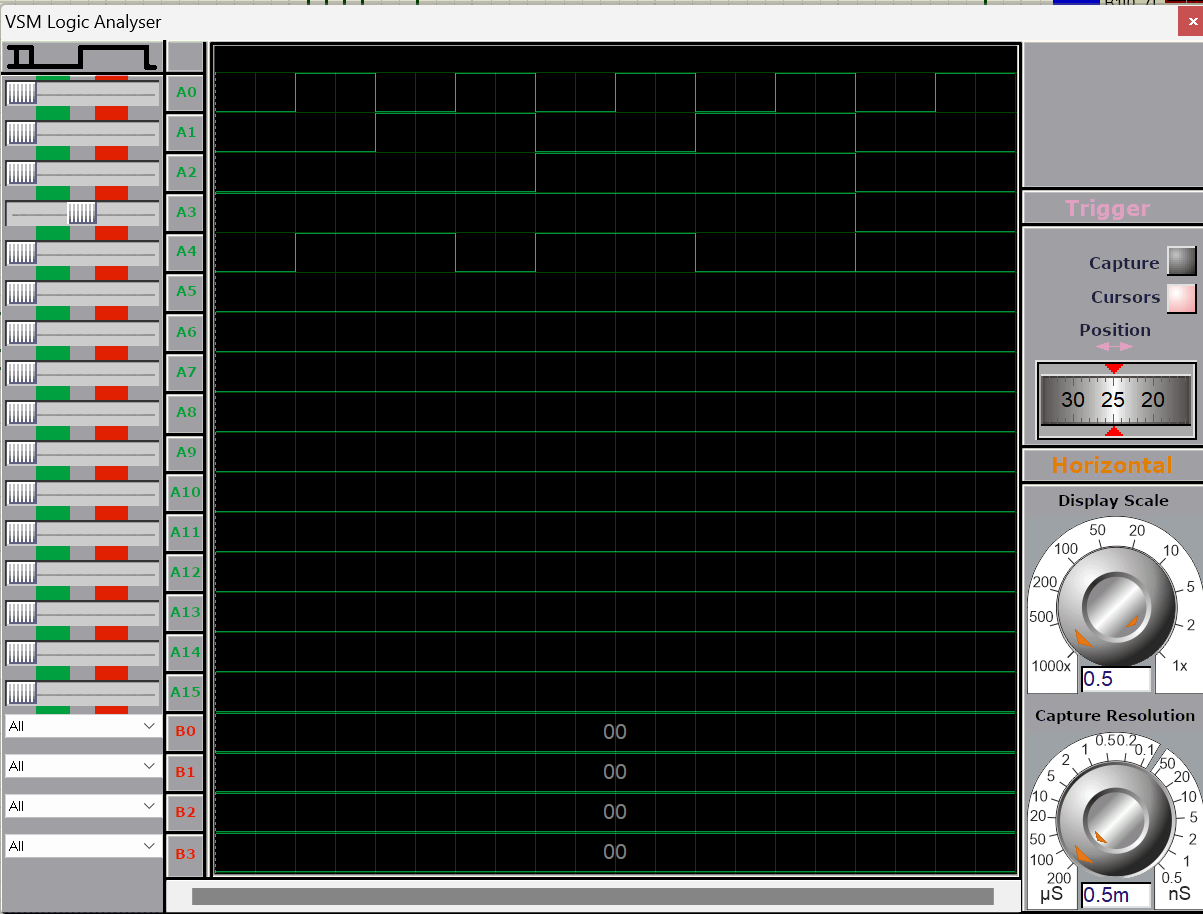
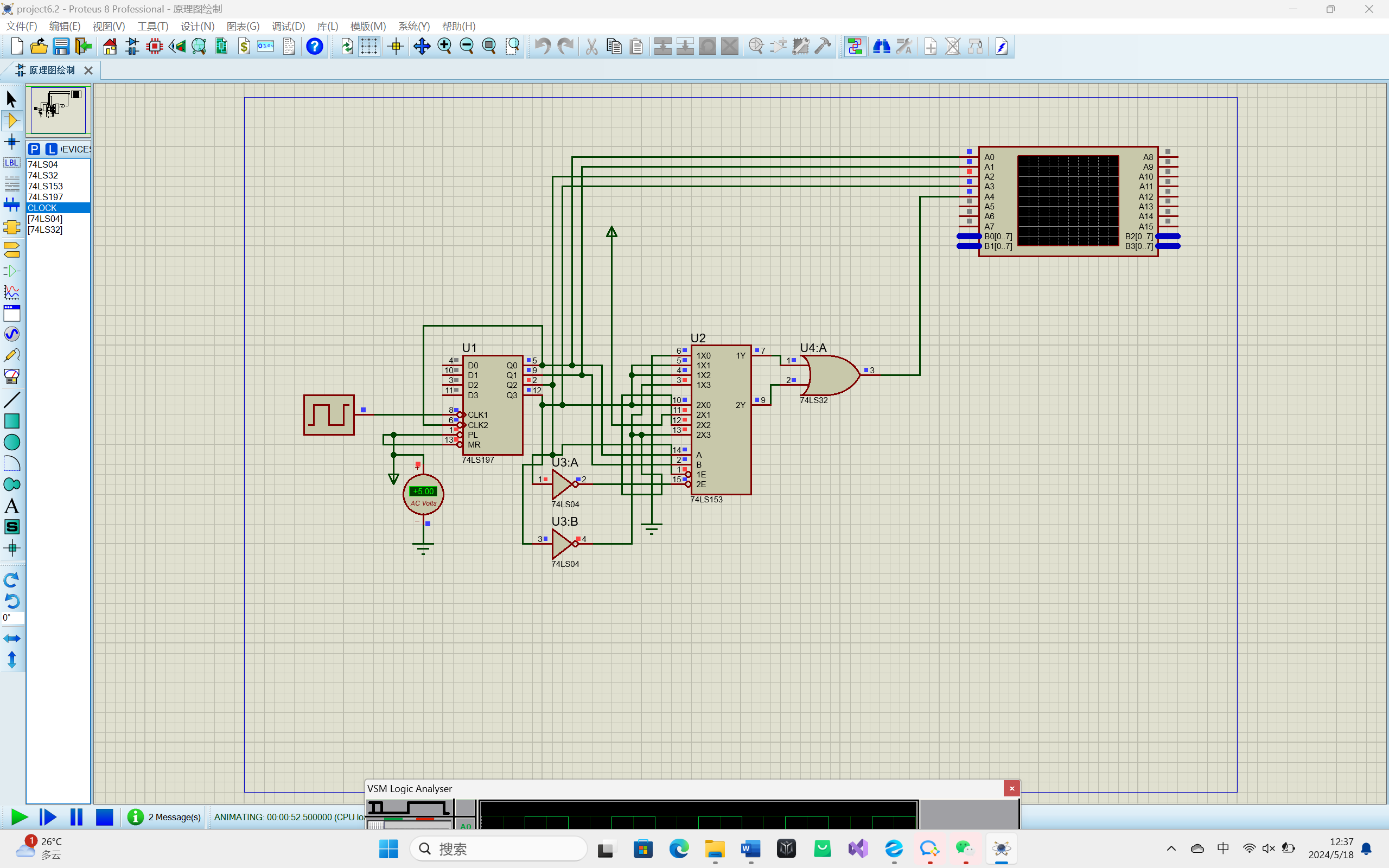
2）利用74L151实现下面逻辑功能



根据所给表达式写出的真值表如图所示：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| S2 | S1 | B | A | Y |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 |
|  |  |  |  |  |

根据真值表设计如图所示的仿真实验，得到的结果如图所示：



得到的仿真结果正确可以开始实验。

四.方法与步骤

6.1（半加半减器的设计）：

1.首先连接74LS197， MR，CL连接低电平， 时钟信号clock（1kHz）接CLK1， CLK2接Q0， 74LS197连接完成。

2.1连接74LS151， 将A接口接Q0, B接口接Q1， C接口接Q2， G非接口接入低电平。首先实现半加半减器Y的输出， 将D1, D2,D5,D6接入高电平，其余D0，D3,D4,D7接入低电平，74LS151连接完毕。

2.2连接74LS151， 将A接口接Q0, B接口接Q1， C接口接Q2， G非接口接入低电平。同时实现半加半减器S的输出， 将D3，D5接入高电平，其余接入低电平，74LS151连接完毕。

3.利用示波器检测输出。将示波器左右两端ground接入低电平。然后将D0接入Q0，D1接入Q1，D2接入Q2，D3接入74LS151的Y，分别观察Y（和差）的波形与S（进位借位）的波形，进行结果验证。

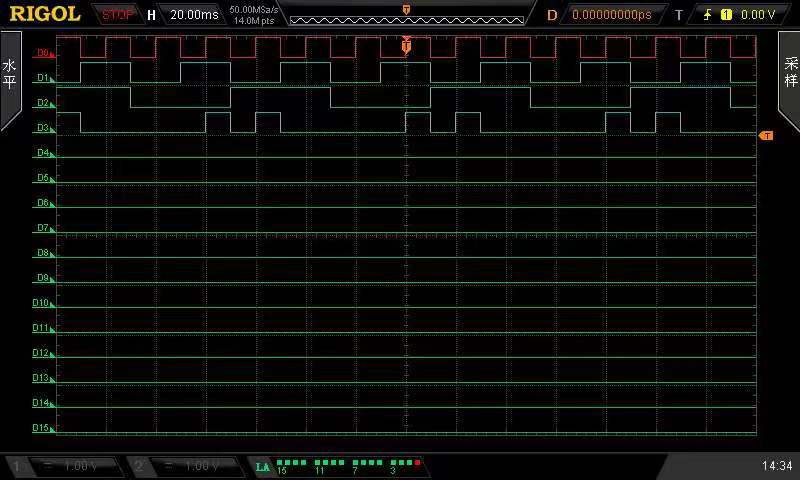
6.2（逻辑电路LU）的设计：

1.首先连接74LS197， MR，CL连接低电平， 时钟信号clock（1kHz）接CLK1， CLK2接Q0， 74LS197连接完成。

2.连接74LS151，A接Q0，B接Q1，C接Q2，G非接入低电平，然后连接D0~D7，根据真值表，D0，D8接入低电平，D1, D9，D2,D10接入Q3，D3，D11接入Q3非，D4，D12接入低电平，D5，D13接入高电平，D6,D7,D14,D15接入Q3非，74LS151连接完毕。

3.利用示波器检测输出。将示波器左右两端ground接入低电平。然后将D0接入Q0，D1接入Q1，D2接入Q2，D3接入Q3，D4接入74LS151的Y，观察示波器的波形，动态进行结果验证。

五.结果验证

示波器S进位借位的图像如图所示

示波器Y的输出如图所示

半加半减器的Y， S输出如图所示，实验结果正确，实验成功。

逻辑门LU示波器图像如图所示。

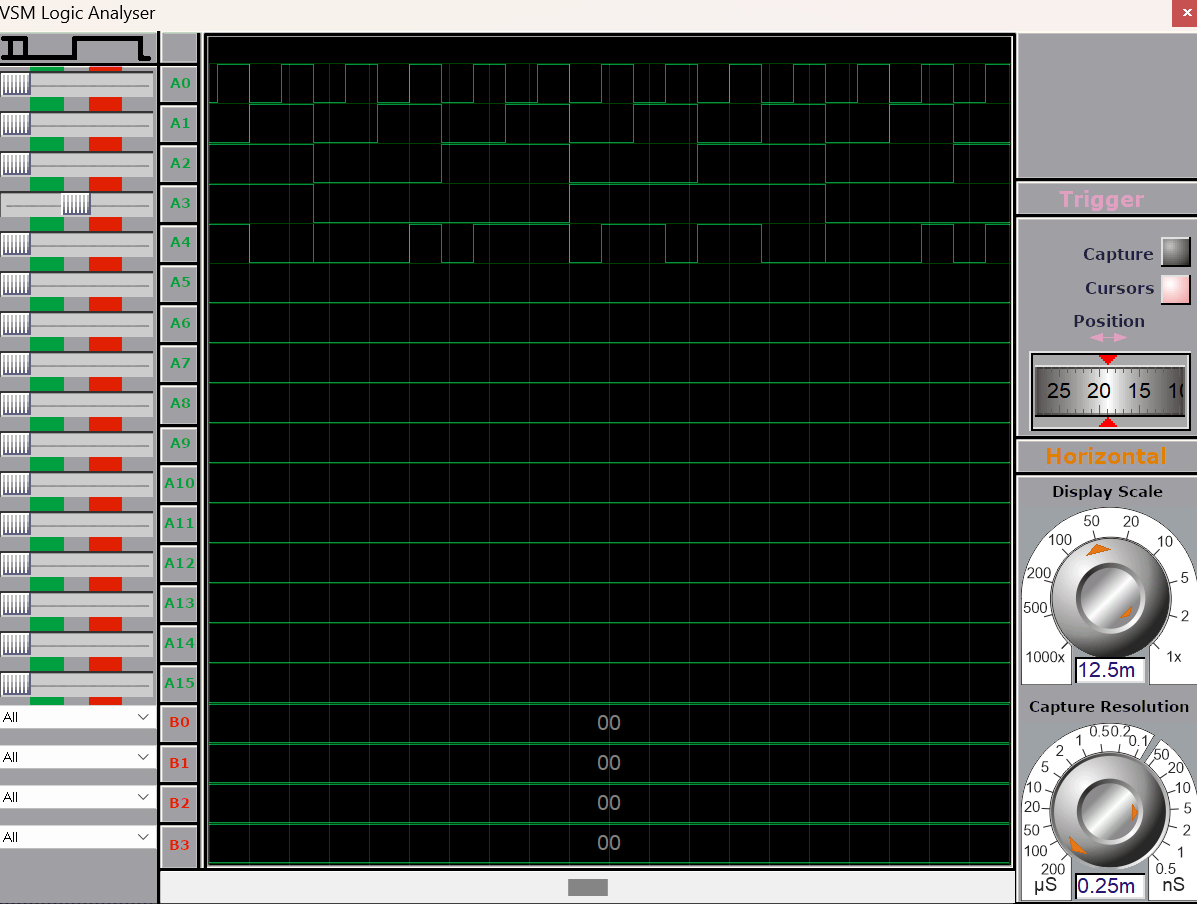
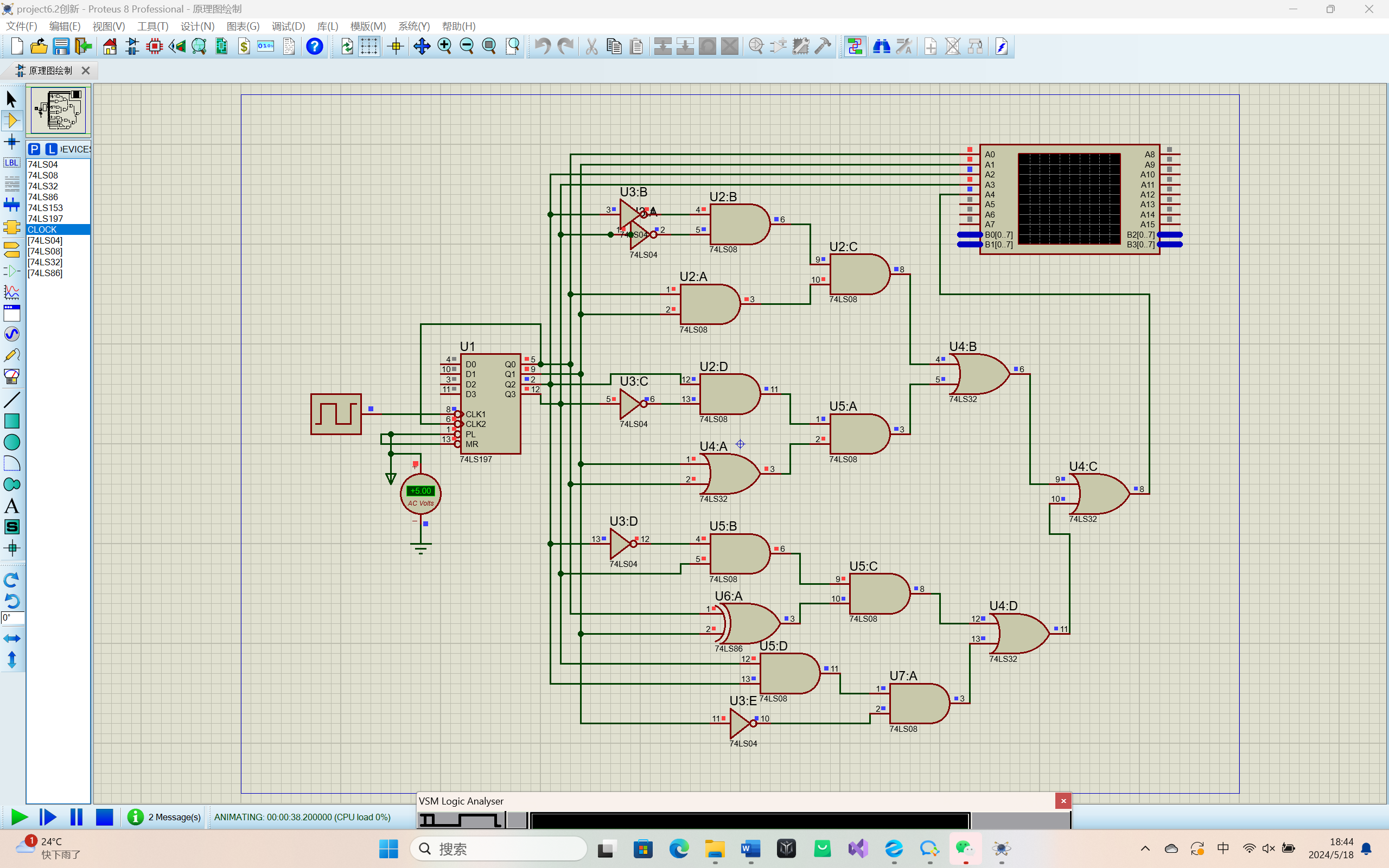
LU的输出正确，实验结果正确，实验成功。

实验成功。

六.分析与讨论（创新）

如果不使用74LS151进行选择，仅使用门电路进行操作。则当S1,S0均为0时，使用与门，即2个与门相与得到结果。当S1为0， S0为1时，使用或门，即与门与或门相与；当S1为1，S2为0时，使用异或门，即异或门与与门相与；当S1，S0均为1时，使用非门与与门相相与，最后将四个结果与四接口或门相或，即可得到答案。相与的原因是只有满足条件，才能使相应的门工作，否则不工作，原理如上。

根据原理，在porteus上设计电路图。



仿真实验结果如下， 示波器上得到正确的波形图。结果正确，创新成功。