

**ĐẠI HỌC QUỐC GIA TP. HỒ CHÍ MINH
TRƯỜNG ĐẠI HỌC CÔNG NGHỆ THÔNG TIN
KHOA KỸ THUẬT MÁY TÍNH**



**BÁO CÁO ĐỒ ÁN MÔN HỌC THIẾT KẾ VI MẠCH SỐ
HIỆN THỰC SRAM 6T 16x8
LỚP: CE222.P21**

**Giảng viên hướng dẫn:
Th.S Ngô Hiếu Trường**

**Sinh viên thực hiện:
Đoàn Đăng Quang - 22521198
Lê Minh Hùng - 22520506**

LỜI CẢM ƠN

Lời đầu tiên, chúng em xin gửi lời cảm ơn sâu sắc đến Thầy Ngô Hiếu Trường, Giảng viên môn Thiết kế Vi Mạch Số. Nhờ sự hướng dẫn và hỗ trợ trực tiếp từ Thầy trong suốt quá trình học tập, nhóm chúng em mới có thể tiến hành xây dựng, nghiên cứu và hoàn thành bài báo cáo này. Trong thời gian học tập với Thầy, chúng em đã học được nhiều kiến thức quý giá, tiếp thu thêm nhiều kinh nghiệm, cũng như phát triển các kỹ năng sống và làm việc. Đó đều là những hành trang cần thiết cho chúng em hoàn thiện bản thân hiện tại và tiến xa hơn trong tương lai. Một lần nữa, chúng em xin chân thành cảm ơn Thầy. Chúc Thầy luôn dồi dào sức khỏe, vững bước trên con đường sự nghiệp giảng dạy cao quý. Mong rằng Thầy sẽ tiếp tục truyền cảm hứng, mang đến những bài học ý nghĩa và khai sáng tâm trí cho nhiều thế hệ học trò sau này.

TP. Hồ Chí Minh, ngày 3 tháng 5 năm 2025

Sinh viên thực hiện

Lê Minh Hùng

Đoàn Đăng Quang

Mục Lục

I. Tổng quan đề tài và cơ sở lý thuyết:	1
1. Tổng quan đề tài:	1
2. Cơ sở lý thuyết:	1
II. Hiện thực thiết kế:	7
1. Thiết kế Memory Cell:	7
2. Thiết kế Write Driver:	8
3. Thiết kế Mạch Precharge:	9
4. Thiết kế Sense Amplifier:	11
5. Thiết kế Mạch Address Decoder:	12
III. Mô phỏng chức năng:	14
IV. Tài liệu tham khảo:	16

Danh mục ảnh

Hình 1: Kiến trúc tổng quát SRAM	2
Hình 2: Mạch bit cell sử dụng 6 transistor	3
Hình 3: Mạch tương đương trong quá trình đọc	3
Hình 4: Cell Ratio	4
Hình 5: Pull-up ratio	5
Hình 6: Thiết kế Memory Cell	7
Hình 7: Mạch Write Driver	8
Hình 8: Tín hiệu BL và BLB khi ghi	9
Hình 9: Thiết kế mạch Precharge	9
Hình 10: Kiểm tra mạch Precharge	10
Hình 11: Mạch Sense Amplifier	11
Hình 12: Tín hiệu wordline sai	13
Hình 13: Mạch Decoder 2 tầng (NAND5 → INV)	13
Hình 14: Mạch NAND5 và INVERTER	14
Hình 15: Mô phỏng chức năng SRAM test1	15
Hình 16: Mô phỏng chức năng SRAM test1	15
Hình 17: Mô phỏng chức năng SRAM test2	16

I. Tổng quan đề tài và cơ sở lý thuyết:

1. Tổng quan đề tài:

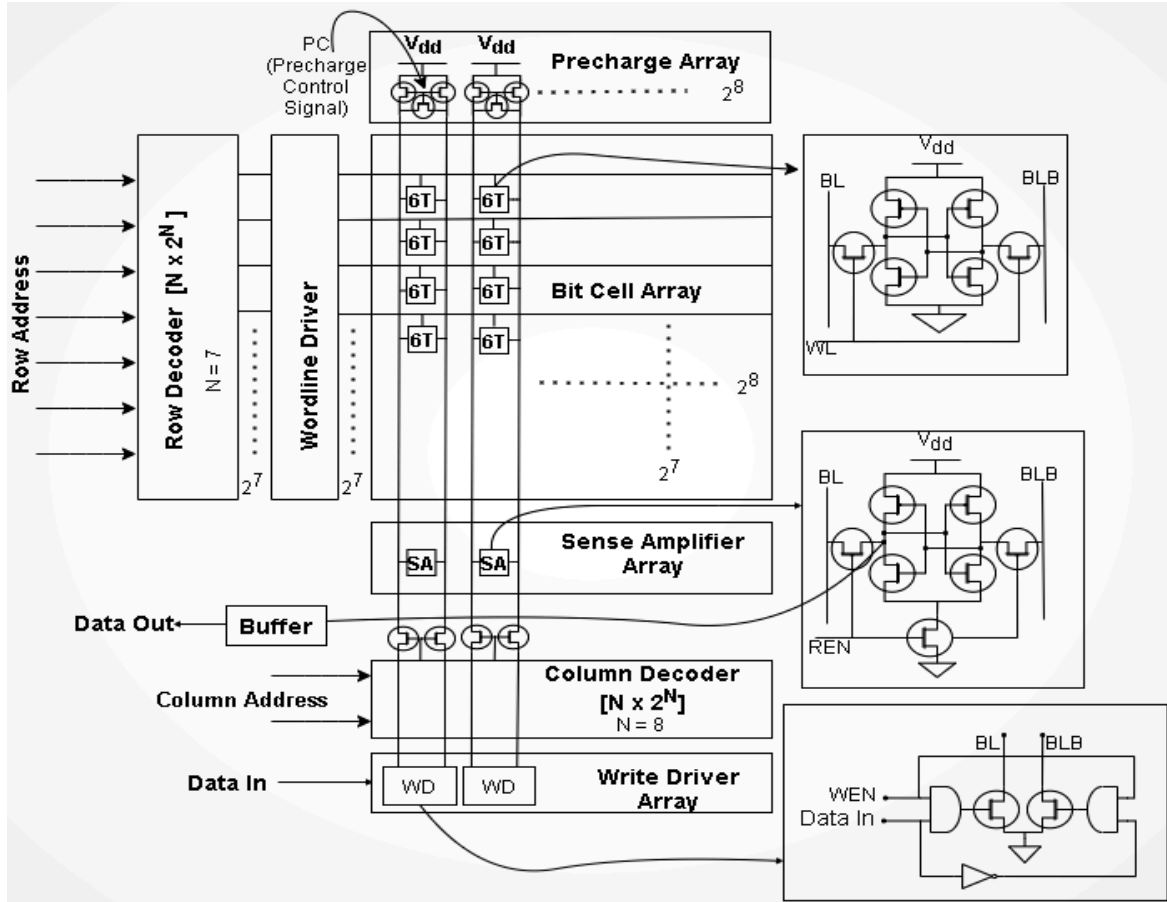
SRAM (Static Random Access Memory – SRAM) là một trong những thành phần quan trọng trong các hệ thống vi xử lý và vi mạch số. Khác với DRAM, SRAM không cần làm tươi (refresh) dữ liệu định kỳ, nhờ đó đạt được tốc độ truy xuất cao hơn và tiêu thụ điện năng thấp hơn trong các thao tác đọc/ghi nhanh. Công nghệ SRAM được ứng dụng rộng rãi trong các bộ nhớ cache (L1, L2), các thanh ghi tốc độ cao và các hệ thống nhúng yêu cầu hiệu suất cao.

Trong lĩnh vực thiết kế bộ nhớ, các ô nhớ SRAM có thể được hiện thực với nhiều kiến trúc khác nhau tùy theo yêu cầu về hiệu suất, độ ổn định và diện tích. Một số cấu trúc phổ biến bao gồm 6T, 8T, 10T hoặc thậm chí nhiều hơn, trong đó số lượng transistor được tăng lên nhằm cải thiện khả năng đọc, ghi hoặc chống nhiễu, nhưng đánh đổi bằng diện tích lớn hơn và mức độ phức tạp cao hơn trong thiết kế.

Trong số đó, kiến trúc SRAM 6T là loại phổ biến và tối ưu nhất về mật độ tích hợp, được sử dụng rộng rãi.

2. Cơ sở lý thuyết:

Ở mức cơ bản, kiến trúc SRAM bao gồm: Mảng ô nhớ (Bit Cell Array), Mạch nạp (Precharge Circuit), Bộ khuếch đại cảm nhận (Sense Amplifier), Bộ điều khiển ghi (Write Driver), Bộ giải mã hàng (Decoder).

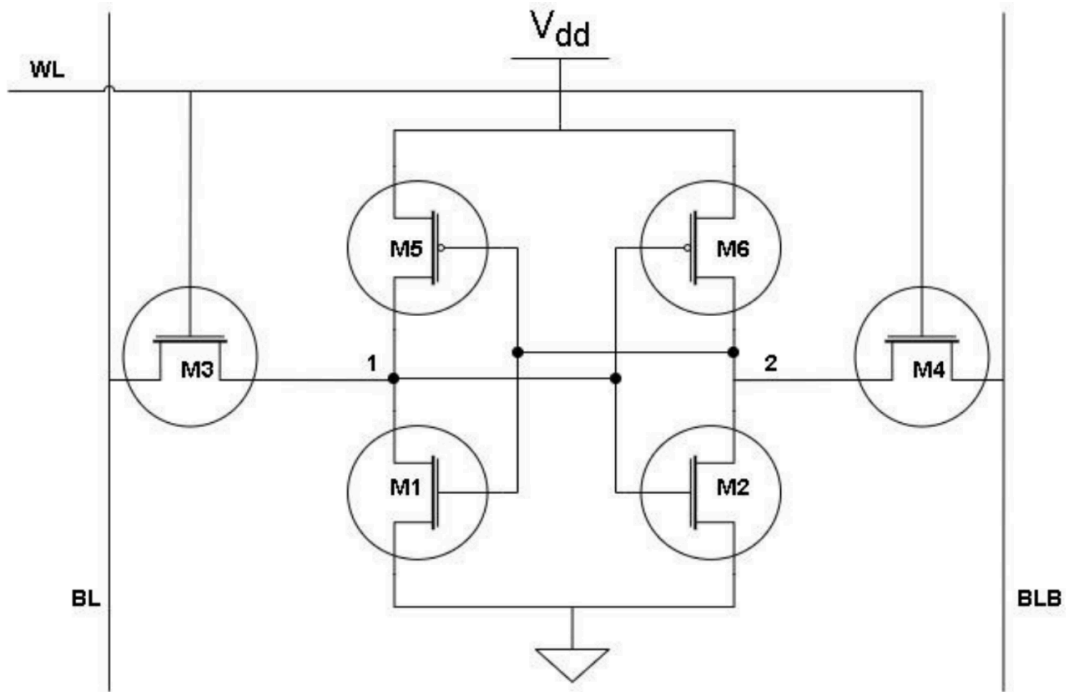


Hình 1: Kiến trúc tổng quát SRAM

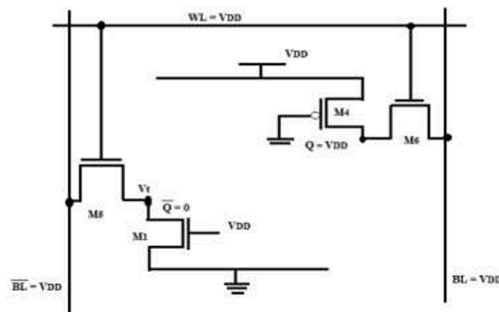
2.1. Kiến trúc ô nhớ

Cấu trúc ô nhớ gồm 4 transistor tạo thành một cặp inverter mắc chéo (cross-coupled inverters) nhằm duy trì trạng thái lưu trữ ổn định, và 2 transistor truyền (access transistors) được điều khiển bởi tín hiệu Word Line (WL) để kết nối cell với các đường Bit Line (BL và BLB) trong quá trình đọc và ghi dữ liệu.

Để cell có thể đọc và không bị mất dữ liệu, và có thể lật giá trị trong cell trong lúc ghi thì kích thước của các transistor trong cell phải tuân theo tỉ lệ nhất định.



Hình 2: Mạch bit cell sử dụng 6 transistor.



Hình 3: Mạch tương đương trong quá trình đọc

Hình trên minh họa các transistor trong quá trình đọc. Khi điện áp tại nút \bar{Q} tăng và đạt đến ngưỡng kích hoạt của transistor NMOS của Inverter còn lại, điện áp tại nút Q sẽ bắt đầu giảm. Khi đó, phản hồi dương của cặp inverter mắc chéo sẽ làm lật bit lưu trong cell nếu không được giữ đủ mạnh. Do transistor pull up \bar{Q} của đang ở trạng thái ngắt, nên dòng điện chủ yếu đi qua nhánh gồm access NMOS và pull-down NMOS. Vì dòng chỉ đi qua một nhánh nối tiếp duy nhất, để giá trị V_1 không đủ lớn để làm mất giá trị của cell thì $V_1 < V_{tn}$, tương đương với dòng của NMOS pulldown lớn hơn dòng của NMOS access. Dựa vào điều kiện này, phương trình mô tả dòng điện trong quá trình đọc được thiết lập để từ đó suy ra điều kiện sizing thích hợp giữa transistor

pull-down và access nhằm đảm bảo khả năng giữ dữ liệu, tức đảm bảo Cell Ratio đủ lớn để tránh mất bit trong khi đọc.

$$I_{\text{access}} = (\beta_{\text{access}}/2)(V_{\text{DD}} - V_1 - V_{\text{tn}})^2$$

$$I_{\text{pull-down}} = (\beta_{\text{pulldown}}/2)(2(V_{\text{DD}} - V_{\text{tn}})V_1 - V_1^2)$$

Transistor NMOS Access hoạt động ở vùng bão hòa vì $V_{\text{ds}} > V_{\text{gs}} - V_{\text{tn}} \Leftrightarrow V_{\text{dd}} - V_1 > V_{\text{dd}} - V_{\text{tn}} \text{ (} V_1 < V_{\text{tn}} \text{)}$.

Transistor NMOS Pulldown hoạt động ở vùng linear vì $V_{\text{ds}} < V_{\text{gs}} - V_{\text{tn}} \Leftrightarrow V_1 - 0 < V_{\text{gs}} - V_{\text{tn}}$

$$\frac{(W/L)_3}{(W/L)_1} < \frac{[2(V_{\text{dd}} - V_{\text{tn}})V_1 - V_1^2]}{(V_{\text{dd}} - V_1 - V_{\text{tn}})^2}$$

Hình 4: Cell Ratio.

Công thức sau khi biến đổi với vị trí các transistor như trong hình 2.

Dựa vào giá trị $V_{\text{tn}} \approx 0.227 \text{ V}$ trong PDK90nm, ta tính được cell ratio ≈ 0.7 .

Nhóm sẽ chọn tỉ lệ $W_{\text{access}}/W_{\text{pulldown}} = 0,5$ để thiết kế cell.

Trong quá trình ghi, để thay đổi giá trị lưu trữ trong cell từ logic ‘1’ thành ‘0’, bitline tương ứng được kéo xuống mức thấp, trong khi wordline được kích hoạt ở mức cao để mở transistor access. Khi đó, access NMOS dẫn và tạo đường dẫn cho dòng điện từ node lưu trữ (đang ở mức ‘1’) đi xuống bitline (đang ở mức ‘0’). Tuy nhiên, cùng lúc đó, transistor PMOS pull-up bên trong inverter vẫn đang cố gắng giữ node ở mức cao thông qua dòng cấp từ V_{DD} . Do đó, để lật giá trị thành công, dòng điện I_{D} của access NMOS phải lớn hơn dòng của PMOS pull-up.

Khi dòng được xả từ node về bitline qua NMOS giá trị của node sẽ từ V_{dd} giảm đến giá trị của V_{tn} .

NMOS access trong quá trình ghi sẽ được xem hoạt động ở vùng tuyến tính. Pmos Pullup hoạt động ở vùng bão hòa vì $V_{\text{SD}} > V_{\text{SG}} - |V_{\text{tp}}|$. Vì ta cần $I_{\text{access}} > I_{\text{pullup}}$ trong mọi trường hợp trong quá trình xả.

$$I_{pmos} = (\beta_p/2)(V_{DD} - |V_{TP}|)^2 .$$

$$\frac{(W/L)_5}{(W/L)_3} < \frac{u_n}{u_p} * \frac{[2(V_{dd} - V_{tn})V_1 - V_1^2]}{(V_{dd} + V_{tp})^2}$$

Hình 5: Pull-up ratio

Công thức pull-up ratio sau khi biến đổi với vị trí các transistor như trong hình 2.

Thay $V_{tp} \approx -0.165V$ trong PDK 90nm. Ta tính được tỉ lệ pull-up ratio $\approx 1,75$.

Nhóm sẽ chọn tỉ lệ $W_{pullup}/W_{access} = 1,5$ để thiết kế cell.

2.2. Quá trình đọc:

Quá trình đọc nhằm truy xuất giá trị hiện có mà không làm ảnh hưởng đến trạng thái lưu trữ. Để đảm bảo điều này, hoạt động đọc phải được thực hiện cẩn thận để tránh lật bit trong latch.

Trước khi bắt đầu đọc, hai đường Bit Line (BL và BLB) được nạp trước (precharged) lên mức điện áp cao. Việc này được thực hiện bởi một mạch precharge chuyên biệt nhằm tạo điều kiện để phát hiện chênh lệch điện áp khi cell kết nối với Bit Line.

Khi Word Line được kích hoạt (mức cao), hai access transistor sẽ bật, cho phép hai nút Q và \bar{Q} trong kết nối với BL và BLB tương ứng. Nếu cell đang lưu trữ giá trị logic '0' tại nút Q, thì BL sẽ bị kéo xuống mức thấp, còn BLB vẫn giữ mức cao. Trường hợp ngược lại xảy ra nếu Q = '1'.

Chênh lệch điện áp này tuy nhỏ nhưng là đủ để mạch sense amplifier phát hiện và khuếch đại. Mạch sense amplifier sẽ đọc giá trị logic đúng từ chênh lệch BL - BLB, sau đó chuyển đổi thành tín hiệu đầu ra đầy đủ mức.

Sau khi hoàn tất quá trình đọc, tín hiệu WL sẽ được ngắt, ngừng kết nối giữa cell và Bit Line. Cell trở lại trạng thái ổn định ban đầu, sẵn sàng cho các thao tác tiếp theo mà không bị mất dữ liệu.

2.3. Quá trình ghi:

Quá trình ghi trong ô nhớ SRAM 6T nhằm mục đích thay đổi giá trị logic được lưu trữ tại hai nút bên trong cặp inverter mắc chéo. Để thực hiện việc này, hệ thống cần ép giá trị logic mới từ mạch ngoài vào cell, ghi đè lên trạng thái hiện tại của latch.

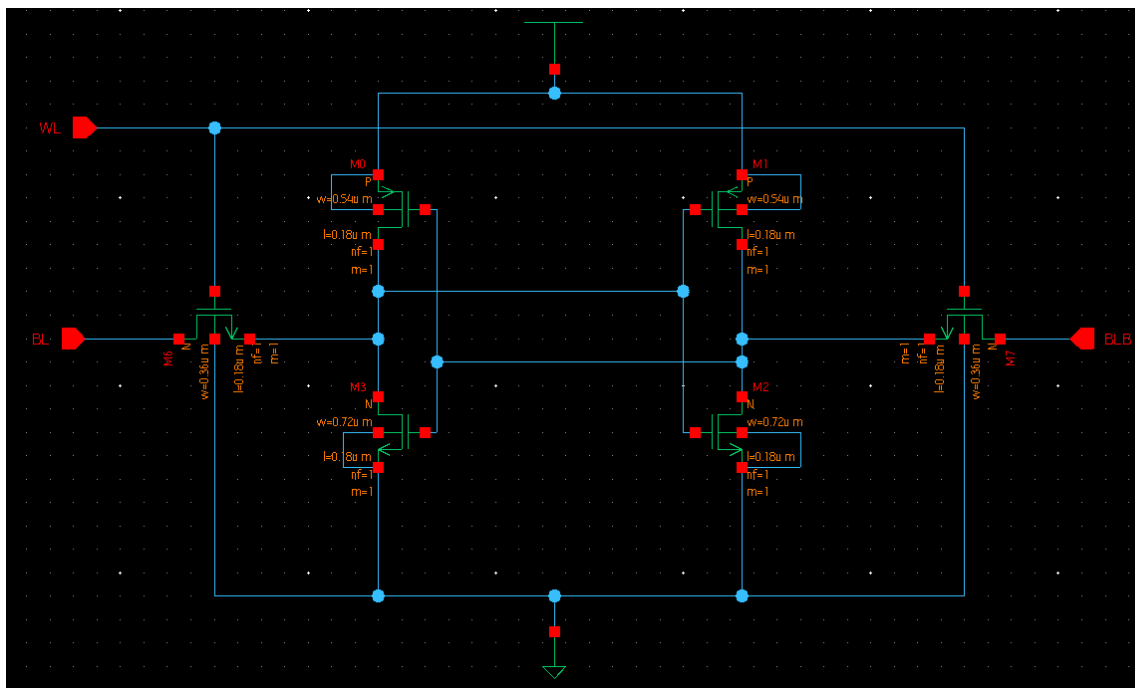
Bước đầu tiên là thiết lập cặp đường Bit Line (BL và BLB) về hai mức logic đối nghịch, tương ứng với giá trị cần ghi. Ví dụ, để ghi giá trị logic '1', BL sẽ được đặt ở mức cao (logic '1') và BLB ở mức thấp (logic '0'). Cặp tín hiệu này được chuẩn bị bởi mạch ghi bên ngoài cell SRAM. Sau khi Bit Line đã được thiết lập, tín hiệu Word Line (WL) sẽ được kích hoạt ở mức cao. Điều này làm bật hai transistor truyền trong cell, kết nối trực tiếp hai nút lưu trữ bên trong cell với các đường BL và BLB. Lúc này, dòng điện từ các Bit Line bắt đầu ảnh hưởng lên nút Q và \bar{Q} .

Khi hai access transistor được bật, nếu thiết kế sizing hợp lý, giá trị logic mới từ Bit Line sẽ ghi đè lên giá trị cũ trong latch. Điều này xảy ra nhờ khả năng thắng thế của dòng ghi so với khả năng giữ trạng thái của cặp inverter. Để đảm bảo khả năng ghi tốt, transistor truyền thường được thiết kế có tỷ lệ W/L lớn hơn, trong khi PMOS pull-up bên trong latch được giảm kích thước để làm suy yếu khả năng giữ.

Sau khi dữ liệu đã được ghi thành công, tín hiệu WL được hạ xuống mức thấp để tắt kết nối với Bit Line. Trạng thái mới đã được nạp vào sẽ tự duy trì ổn định nhờ hồi tiếp dương giữa hai inverter mắc chéo.

II. Hiện thực thiết kế:

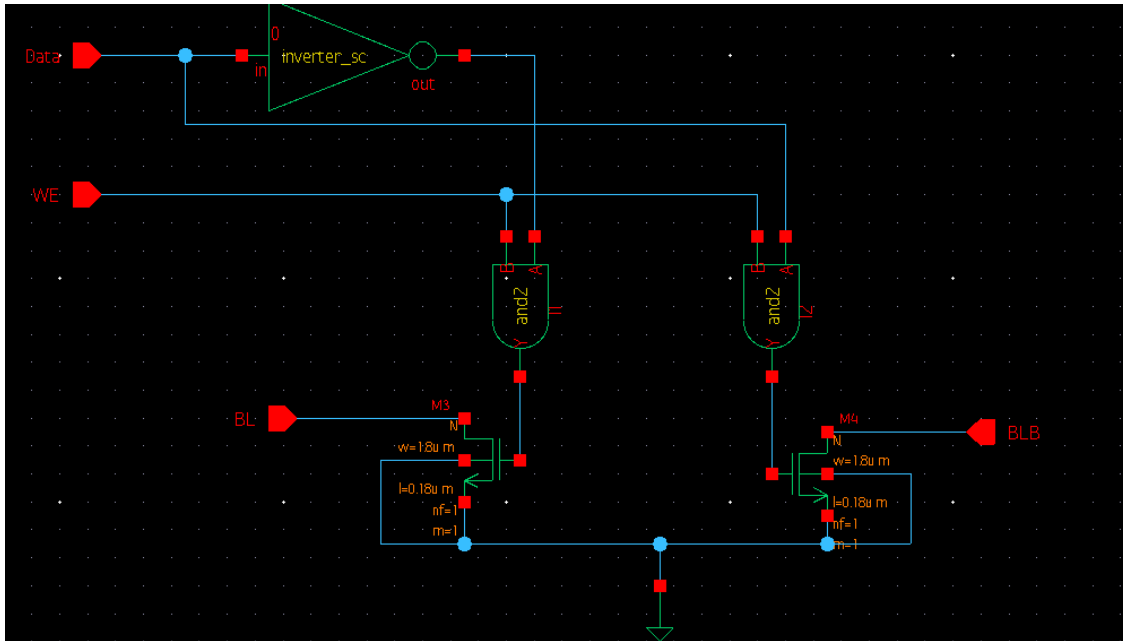
1. Thiết kế Memory Cell:



Hình 6: Thiết kế Memory Cell.

Kích thước PMOS là 0.54 μ m, NMOS access là 0.36 μ m, NMOS pulldown là 0.72 μ m, các giá trị này thỏa mãn cell ratio và pull-up ratio đã tính ở phần cơ sở lý thuyết.

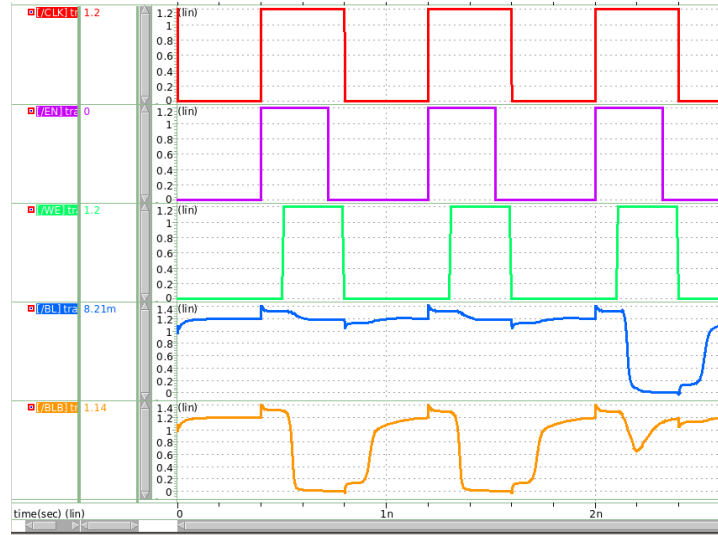
2. Thiết kế Write Driver:



Hình 7: Mạch Write Driver

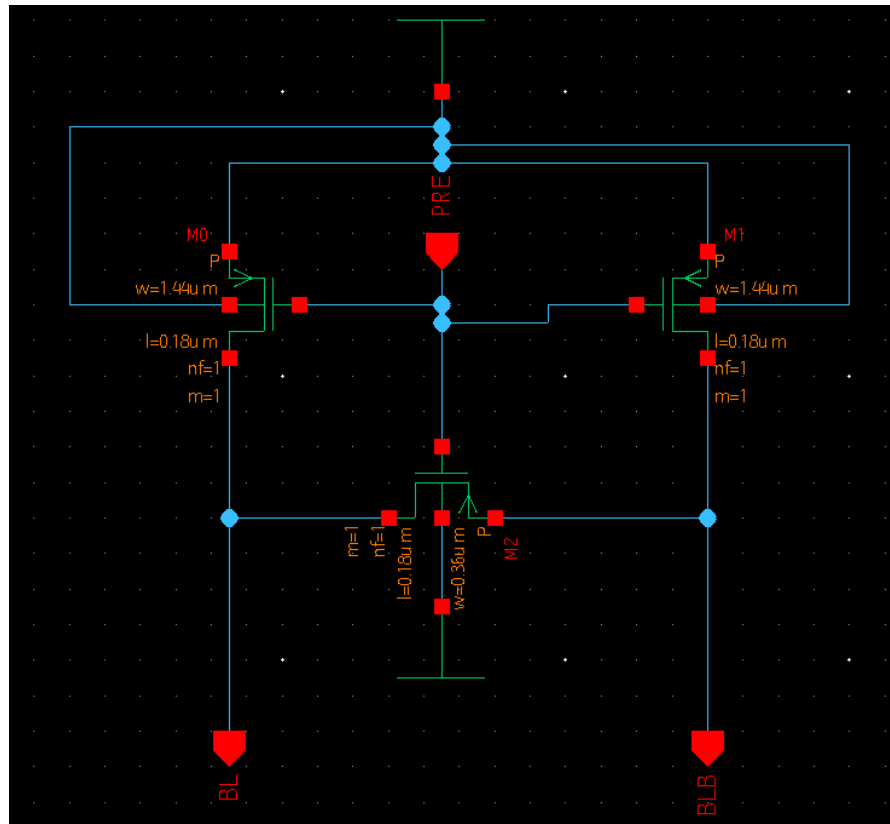
Mạch ghi được thiết kế sử dụng inverter để tạo hai tín hiệu đối nhau từ đường Data, sau đó kết hợp với tín hiệu WE qua hai cổng AND nhằm điều khiển cặp NMOS kéo BL hoặc BLB xuống thấp trong quá trình ghi. Kích thước transistor ghi được chọn là 1.8 μm , nhằm đảm bảo dòng kéo đủ mạnh để làm sụt điện áp nhanh trên BL/BLB. Giá trị này được xác định thông qua mô phỏng thực tế với SRAM 16x8, cho thấy tốc độ kéo sụt điện áp trên BL/BLB đạt yêu cầu.

Bên dưới là waveform kiểm tra mạch ghi với BL/BLB được nối với memory_cell[0].



Hình 8: Tín hiệu BL và BLB khi ghi

3. Thiết kế Mạch Precharge:

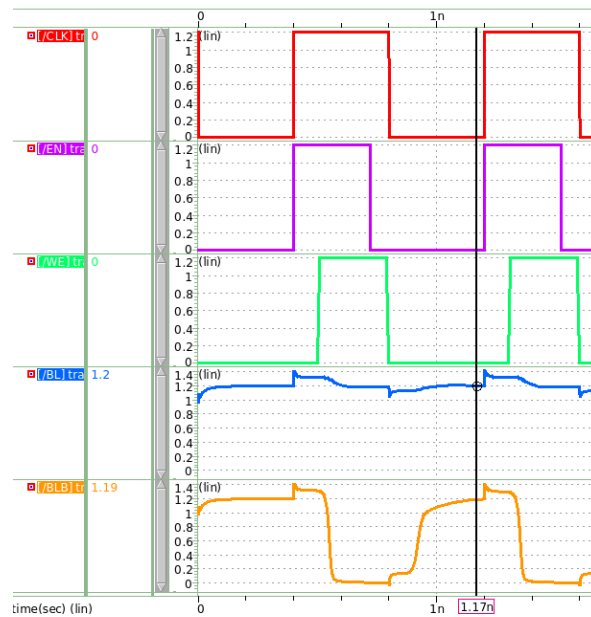


Hình 9: Thiết kế mạch Precharge

Mạch Precharge sẽ hoạt động khi giá trị PRE = 0, nhóm sử dụng giá trị mức thấp của xung clock để làm tín hiệu precharge cho mạch.

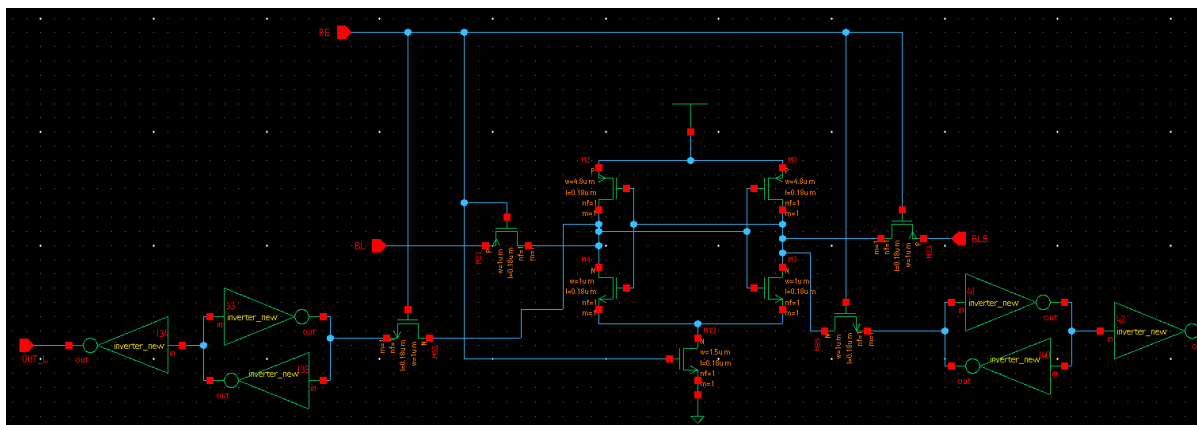
Để SRAM hoạt động với tần số cao, mạch Precharge phải đáp ứng được việc nạp lại giá trị cho BL và BLB lên 1.2V trong thời gian xung clock ở mức thấp.

Qua quá trình mô phỏng với SRAM 16x8, nhóm thực hiện testbench với chu kỳ Clock là 0.8ns thì nhận thấy giá trị của 2 PMOS pull-up với kích thước chiều rộng 1.44um và PMOS cân bằng là 0.36um thì mạch có thể nạp BL và BLB lên 1.2V trong thời gian dưới 0.4ns. PMOS cân bằng giúp tốc độ nạp nhanh hơn vì sau mỗi lần đọc ghi, sẽ có một trong hai là BL hoặc BLB ở mức điện áp thấp hơn, PMOS này góp phần làm cân bằng áp của hai bên nên sẽ giúp tăng tốc độ nạp.



Hình 10: Kiểm tra mạch Precharge

4. Thiết kế Sense Amplifier:



Hình 11: Mạch Sense Amplifier

Mạch sense amplifier sử dụng cấu trúc latch gồm hai inverter mắc chéo nhau để khuếch đại chênh lệch điện áp rất nhỏ giữa hai bitline BL và BLB. Quá trình sense được điều khiển bởi tín hiệu RE. Khi $RE = 0$, các PMOS access dẫn và kết nối trực tiếp BL/BLB đến hai node đầu vào của latch. Điều này cho phép chênh lệch điện áp giữa BL và BLB được truyền xuống các node latch và ổn định trước khi sense amplifier bắt đầu khuếch đại. Khi RE chuyển lên mức cao, một NMOS pull-down sẽ được bật để cấp dòng khuếch đại, đồng thời các PMOS access bị ngắt. Lúc này, latch bắt đầu khuếch đại chênh lệch điện áp đầu vào thông qua phản hồi dương: node nào thấp hơn một chút sẽ bị kéo xuống nhanh hơn, trong khi node còn lại bị kéo lên, làm tăng chênh lệch cho đến khi đạt mức logic rõ ràng.

Kích thước của các transistor trong cặp inverter chéo ảnh hưởng trực tiếp đến tốc độ khuếch đại. Khi inverter được thiết kế với kích thước lớn, dòng dẫn qua mỗi transistor sẽ lớn hơn nhờ tăng transconductance. Điều này giúp inverter có khả năng kéo sụt hoặc đẩy áp nhanh hơn tại các node đầu ra, đẩy nhanh phản hồi dương và rút ngắn thời gian khuếch đại. Ngoài ra, inverter lớn cũng cải thiện độ nhạy, vì nó có thể phân biệt và khuếch đại các chênh lệch rất nhỏ một cách hiệu quả hơn trước khi bị ảnh hưởng bởi nhiễu. Các inverter này phải được sizing theo đúng tỉ lệ chuẩn của công nghệ để đảm bảo điện trở kéo lên và kéo xuống cân bằng, từ đó giữ cho thời gian lên (rise time) và thời gian xuống (fall time) xấp xỉ bằng nhau, tránh thiên lệch trong quá trình latch.

Kích thước của các PMOS access cần được lựa chọn cẩn thận. Nếu quá nhỏ, chúng có thể không truyền đầy đủ tín hiệu từ BL/BLB xuống node latch, làm giảm độ nhạy. Ngược lại, nếu PMOS access quá lớn, chúng sẽ tạo ra dòng rò đáng kể hoặc duy trì sự

ảnh hưởng từ bitline ngay cả sau khi RE bật, khi đó, latch đang khuếch đại mà vẫn còn bị “nú” bởi áp BL hoặc BLB. Điều này gây lệch điện áp trên các node khuếch đại, dẫn đến latch sai logic hoặc bị trễ trong quá trình phân biệt.

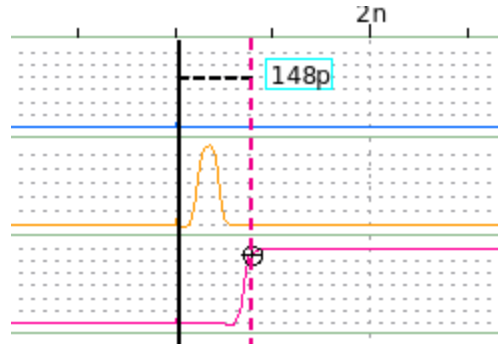
Sau khi latch ổn định, trạng thái logic được giữ lại nhờ đặc tính giữ của cặp inverter chéo. Kết quả sau đó được truyền qua tầng đệm inverter để tạo đầu ra logic mạnh hơn, đồng thời cách ly tải khỏi các node latch để tránh làm ảnh hưởng đến độ ổn định sau khi sense kết thúc. Toàn bộ thiết kế này đảm bảo rằng dữ liệu từ SRAM được đọc ra nhanh chóng, chính xác và tin cậy, ngay cả khi tín hiệu đầu vào có chênh lệch nhỏ.

5. Thiết kế Mạch Address Decoder:

Mạch Decoder hoạt động để giải mã 4 bit địa chỉ, hoạt động khi có tín hiệu EN=1.

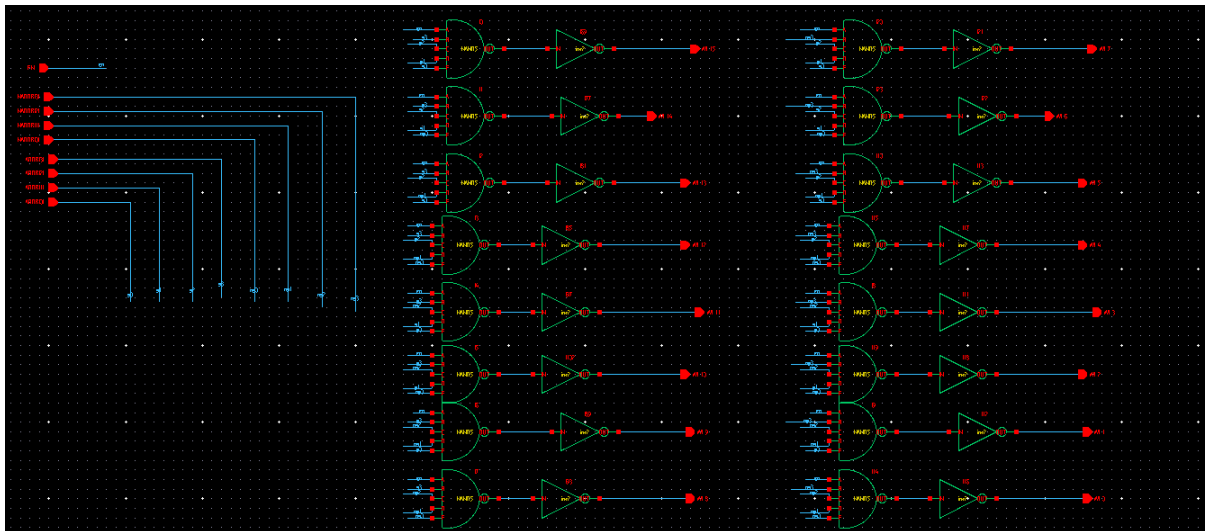
NMOS access transistor trong cell memory có kích thước bằng 2 lần transistor đơn vị nên 1 wordline cho 8 cell (SRAM 16x8) sẽ phải tải 32C.

Để đảm bảo SRAM hoạt động ổn định và đúng thời điểm, tốc độ giải mã địa chỉ trong mạch decoder phải đủ nhanh. Khi xảy ra cạnh lên của xung clock — báo hiệu bắt đầu một chu kỳ mới — tín hiệu địa chỉ sẽ được cập nhật, đồng thời tín hiệu EN được bật để kích hoạt quá trình giải mã. Trong kiến trúc decoder gồm 4 tầng (NAND4 → INV → NAND2 → INV) với tín hiệu EN chỉ đi qua NAND2, đường đi của tín hiệu EN sẽ ngắn hơn đáng kể so với các bit địa chỉ. Điều này dẫn đến tình trạng EN tác động sớm, gây bật wordline sai (của địa chỉ trước đó), như được quan sát trong hình bên dưới với chênh lệch thời gian ~148ps (mô phỏng decoder không có tải 32C vào đầu ra). Khi wordline trước được bật trong lúc bitline chưa được thiết lập đúng, sẽ gây ra hiện tượng sụt áp không mong muốn trên BL hoặc BLB, làm ảnh hưởng đến biên áp phân biệt trong quá trình đọc.



Hình 12: Tín hiệu wordline sai.

Vì tải wordline chỉ khoảng 32C (tương đối nhỏ), nên để đảm bảo các tín hiệu vào decoder có timing path cân bằng và tránh bật sai wordline sớm, nhóm quyết định sử dụng kiến trúc decoder 2 tầng: $\text{NAND5} \rightarrow \text{INV}$. Dù NAND5 có logical effort lớn hơn, nhưng nhờ chỉ gồm 2 tầng nên tổng delay vẫn được tối ưu, không gây ảnh hưởng đáng kể đến tốc độ giải mã. Qua mô phỏng trên mạch SRAM 16×8 , kết quả cho thấy sau khi bật EN, wordline đúng được kích hoạt khoảng 155ps sau cạnh lên clock, đảm bảo thời gian định địa chỉ chính xác và ổn định.



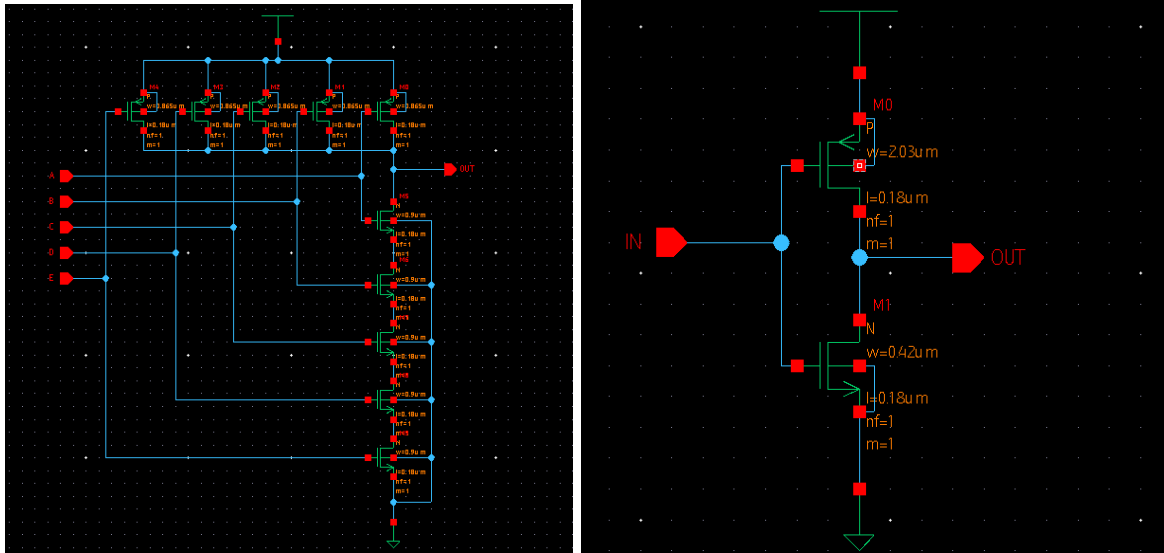
Hình 13: Mạch Decoder 2 tầng ($\text{NAND5} \rightarrow \text{INV}$)

Trong thiết kế decoder hai tầng gồm $\text{NAND5} \rightarrow \text{INV}$, điện dung đầu vào của NAND5 được chọn là 9.8C. Để tính C_{in} cho tầng INV , phương pháp Logical Effort được áp dụng nhằm tối ưu độ trễ toàn mạch. Với logical effort của NAND5 là $G = 49/29$.

Tổng Path effort được tính bằng $F = G.H = (49/29) \times (32/9.8) \approx 5.52$.

Vì đường truyền có 2 tầng, stage effort tối ưu là $f = F^{1/2} \approx 2.35$.

Từ đó, C_{in} của inverter được tính theo công thức $C_{inINV} = C_{load}/f = 32/2.35 \approx 13.62C$. Width của PMOS và NMOS sẽ được tính bằng cách nhân k_p hoặc k_n với $0.18\mu m$.



Hình 14: Mạch NAND5 và INVERTER

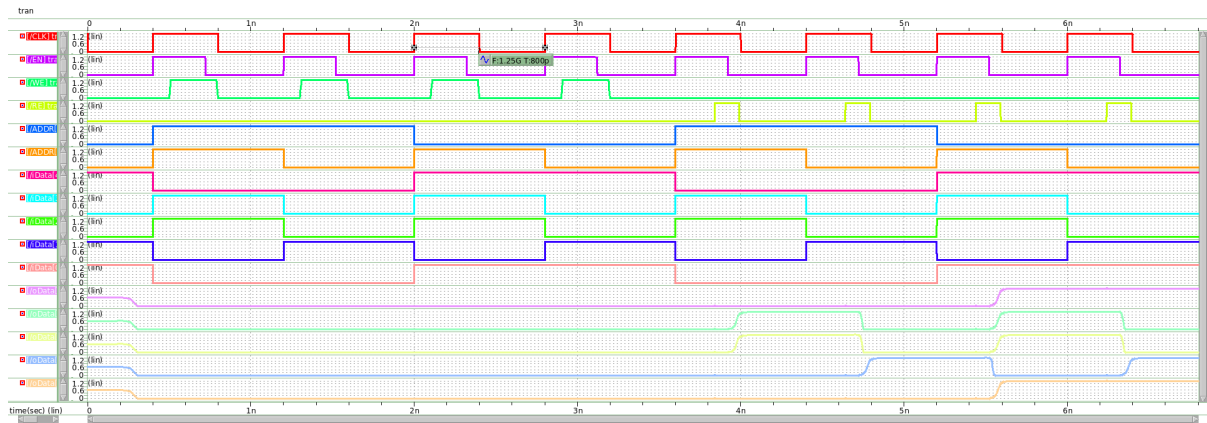
Kích thước pmos và nmos của NAND5 trong Decoder lần lượt là $0.865\mu m$ và $0.9\mu m$.

Kích thước pmos và nmos của inverter trong Decoder lần lượt là $2.03\mu m$ và $0.42\mu m$.

III. Mô phỏng chức năng

Tín hiệu trên waveform lần lượt là CLK, EN, WE, RE, ADDR[1], ADDR[0], iData[4:0], oData[4:0].

ADDR[3:2] sẽ được gán mặc định là “10”, iData[7:5] cũng sẽ được gán giá trị hằng số để giảm bớt tín hiệu cần mô phỏng.



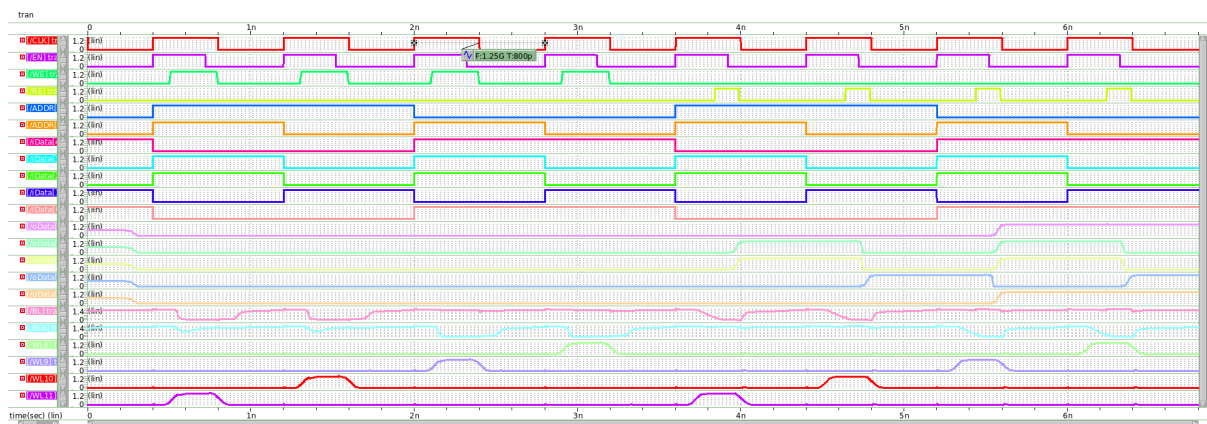
Mô phỏng thực hiện việc ghi liên tiếp vào các địa chỉ 11, 10, 01, 00 và đọc ra liên tiếp từ các địa chỉ 11, 10, 01, 00.

Địa chỉ 11 ghi '01100', địa chỉ 10 ghi '00010', địa chỉ 01 ghi '11101' và địa chỉ 00 ghi '10011'.

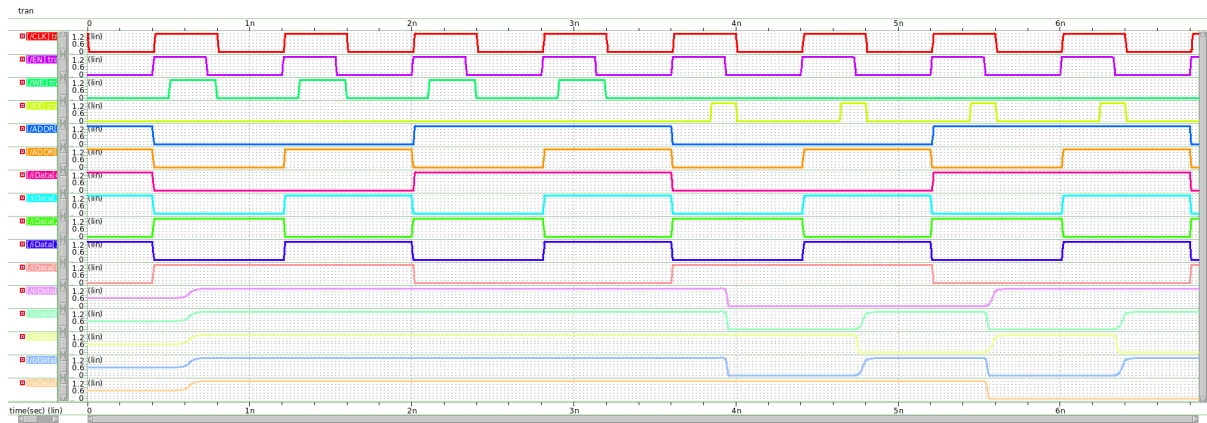
Bắt đầu đọc tại cạnh lên xung clock tại 3.6ns, đọc lần lượt các địa chỉ 11, 10, 01, 00 được các giá trị '01100', '00010', '11101' và '10011'. Giá trị đọc tại các địa chỉ đều bằng giá trị ghi vào địa chỉ đó.

Mạch vẫn đảm bảo hoạt động đúng chức năng Testbench trên, được cài đặt với chu kỳ là 0.8ns (1.25GHz).

Waveform bên dưới thêm các tín hiệu BL,BLB của bit0 và WL8 đến WL11 để có thể quan sát giá trị của các WL và BL/BLB khi chạy mô phỏng.



Hình 16: Mô phỏng chức năng SRAM test1



Hình 17: Mô phỏng chức năng SRAM test2

Tín hiệu trên waveform lần lượt là CLK, EN, WE, RE, ADDR[1], ADDR[0], iData[4:0], oData[4:0].

ADDR[3:2] sẽ được gán mặc định là “10”, iData[7:5] cũng sẽ được gán giá trị hằng số để giảm bớt tín hiệu cần mô phỏng.

Thay đổi giá trị input ghi so với test1 và địa chỉ ghi được bắt đầu từ 00.

IV. Tài liệu tham khảo:

- [1] Y. Alekhya and J. Sudhakar, “Design Analysis of SRAM Cell with Improved Noise Margin based on Aspect Ratio Adjustments,” 2017, doi: 10.29042/2018-2645-2650.
- [2] N. H. E. Weste and D. M. Harris, CMOS VLSI Design: A Circuits and Systems Perspective, 4th ed., Boston, MA, USA: Addison-Wesley, 2010.
- [3] D. Dutt, P. Mittal, B. Rawat, and B. Kumar, “Design and Performance Analysis of High-Performance Low Power Voltage Mode Sense Amplifier for Static RAM,”