

HW1-1

1. Use composer and hspice to simulate the capacitance characteristic of pMOS as shown in Fig. 1 with body connected to vdd=1.8V. (30%) (*hint*: .probe DC ctot=par("lx18(MN)"))
 - (a) Assume the W/L = 5*10um/0.5um, $V_G = 0V \sim 3.6V$. (use CIC 0.18um hspice model). (10%)
 - (b) Modify the W/L = 50um/0.5um, redo the simulation and plot, comments the capacitance difference compared to (a). (10%)

W/L = 5*10um/0.5um 及 W/L = 50um/0.5um 等效的 W、L 相同，故 simulation 得到的結果大致相同。

simulaiton:4% ; comment:6%

- (c) Modify the W/L = 5um/5um, redo the simulation and plot, comments the capacitance difference compared to (a) and (b). (10%)

Gate capacitance 主要是由 oxide capacitance、depletion capacitance 及 overlap capacitance 組成；當 PMOS 操作在 accumulation 及 strong inversion 時是被前二電容 dominate，而(a)、(b)及(c)的面積(=W*L)相同，因此 gate capacitance 大致相同；當 PMOS 操作在 weak inversion 時，gate capacitance 是被 overlap capacitance dominate，而此電容與 width 成正比，因此(c)在此操作下 gate capacitance 較小。

simulaiton:4% ; comment:6%

HW1-2

- a) Choose the size (m=1) and the input DC voltage of M1. Use function “.tf v(out) vin” to find the AC gain>5. (5%)

$$V_{out} = V_{DD} - I_D * R_D$$

由於題目 output common mode 固定，所以我們可知電流以固定，而 mos 的電流如下也應固定：

$$I_D = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{gs} - V_{th})^2$$

即可得到 Size 與 input DC 電壓的關係，size 線性提升的同時 vov 會根號下降。把電流在對 vgs 進行微分，可以得到 gm：

$$gm = \mu C_{ox} \frac{W}{L} (V_{gs} - V_{th})$$

由於 W/L 線性上升，Vov 根號減少，gm 會根號上升。
而 gain 的公式如下(因 rout 被 Rd dominant)

$$A_V \cong g_m * R_D$$

得知 gain 會隨 size 提升而根號上升，所以設計時可盡量提升 size，L 適當的提升，也能降低 Rout 確定 AC 阻值被 Rd 決定。

- b) Find the linear range (1. Definition: 10% gain deviation. 2. Range of both input and output) and gain of this common source with voltage transfer curve V_{in} vs. V_{out} only. (10%)

由(a)小題的檔案進行模擬，可藉由 lis 檔或圖像檔標明±10%的範圍

- c) Use the same width and length with m=20 to find input DC voltage again. And redo the (b). (15%)

直接使用(a)小題的 Size，唯 mos 的 m 值變為原本的 10 倍，重新尋找 vin 的 DC 值，使 Vout 為 0.9。最後再次尋找線性範圍。

- d) Comment on what makes the difference of gain and linear range between (b) and (c). (20%)

Gain 上升如上面所說，而線性區變小可以看 vov 減少的時候，vgs-vth 的量減低，造成同樣 vgs 的改變量會對 vov 造成的影響更大，造成 gm 變動量提升，所以線性區減小。

如 a 小提解釋，沒寫出 ID 固定，size 上升 Vov 根號下降 gain 根號倍上升-5

只寫觀察到的現象 or 亂解釋-8~9

會錯意-16

HW1-3

使用指令 .dc vd 0 1.8 0.001 sweep vg 0 1.8 0.3

本題主要要你們比較不同 length 對 MOS 的 channel length modulation 的影響，length 越大，ro 越趨近於無限大，也就是說進入 saturation(相同 Vgs)的 Id 不會受到 Vds 而上升，當 ro 無限大時，就可以視為一個理想電流源。

Channel length modulation

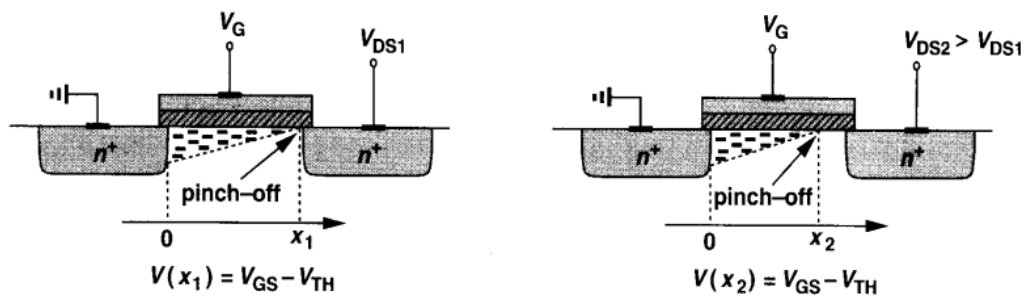


Figure 2.16 Pinch-off behavior.

$$L = (x_1 - 0)$$

$$\Delta L = x_1 - x_2$$

$$L' = L - \Delta L$$

當 $V_{DS} > V_{GS} - V_{th}$ ，有效通道長度 L' 並會不會等於 L ，隨著 V_{DS} 越大， L' 越小，因此我們加入修正項， $\Delta L/L = \lambda V_{DS}$

$$I_D \approx \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS}),$$

In saturation,