

分类号.....

密级.....

UDC.....

基于 FPGA 的全数字

调制解调技术的研究

艾砾

导师姓名(职称) 卜祥元（高工） 答辩委员会主席 李鸿屹（教授）

申请学科门类 工 学 论文答辩日期 2005 年 2 月 28 日

申请学位专业 通信与信息系统

二〇〇五年二月二十二日

摘 要

软件无线电是上世纪末新兴的一门学科，它突破了传统的无线电台以硬件为核心的功能单一、可扩展性差的设计局限性，强调以可编程的硬件作为通用平台，尽量地用可升级、可重配置的软件来实现各种无线电功能的设计新思路。软件无线电的设计思想是将宽带 A/D 和 D/A 的变换尽可能地靠近天线，通过对数字化后的信号采用数字信号处理 (DSP) 技术，在可编程控制的硬件平台上，利用软件来实现无线电台的各部分功能。由于软件无线电对硬件的依赖程度很小，具有高度的开放性、灵活性和可编程性，使得通信系统的开发将重点放在软件的研究上，因此可以很好的解决通信系统间的通信标准不同的问题，极大缩短通信系统开发的时间和成本。

本文研究了一种基于软件无线电技术的数字发送和接收系统，根据实际需要在 FPGA 和通用 DSP 相结合的软件无线电平台上实现 AM,FM,PSK 等调制解调方式。在具体实现方面，结合 FPGA 的特点进行设计。主要对调制解调算法，成型滤波，锁相环实现载波同步、位同步等各部分进行了详细介绍，整个部分可通过配置参数解调不同的调制信号，具有很强的通用性。

关键词：软件无线电、解调、数字锁相环、FPGA

ABSTRACT

Software radio is a new technology which promising in the end of last center. It is very different from those old transmitter-receivers, which tie to hardware and their function was limited. The software radio is based on programmable hardware, all functions realized by software, when you want to update you software, you will find the programmable hardware can be easy reconfigured. The thought way of software radio is to let the A/D and D/A change as near as possible, then realize al kinds of functions by using digital signal processing technology, thus, we can pay more attention to the function of the radio. The problem of different communication protocol between different communication systems will be resolved easy. The research period and cost will be reduced greatly.

The thesis is based on the research of digitalized sender and receiver system of software radio. The main responsibility of this thesis is to realize AM、FM、PSK modulation and demodulation on the software radio platform based on DSP and FPGA. According to the characteristics of FPGA, it provides detailed explanations on the carrier synchronization, bit synchronization and other related parts of DPLL, the arithmetic of modulation and demodulation, and match filter. This method may realize demodulation different modulated signals by means of configuring parameters, which has universal application for engineering design.

Keyword: Software Radio、demodulation、DPLL、FPGA

目 录

摘 要	1
ABSTRACT	II
第一章 绪 论	1
1.1 引言	1
1.1.1 软件无线电简介	1
1.1.2 软件无线电实现关键技术	2
1.2 课题背景与研究现状	3
1.2.1 FPGA 背景知识	3
1.2.2 数字调制解调背景知识	4
1.2.3 历史及现状	4
1.3 本文研究的主要内容	5
1.4 本课题的研究意义及主要工作	6
1.5 本论文的结构	6
第二章 调制解调算法原理	8
2.1 模拟调制解调的数字实现	9
2.1.1 AM 调制解调	9
2.1.2 FM 调制解调	10
2.2 MPSK 调制解调算法	12
2.2.1 MPSK 调制算法 ^[1]	12
2.2.2 MPSK 解调算法	14
2.2.3 MPSK 调制解调结构	17
2.3 成型滤波实现	18
2.3.1 成型滤波器原理	18
2.3.2 码间串扰量的分析	19
2.3.3 成型滤波器实现	20
2.4 锁相环理论实现 ^[4]	21
2.4.1 锁相环结构	22
2.4.2 锁相环参数分析	22
第三章 数字调制解调的算法实现	26
3.1 调制解调的整体设计	26
3.1.1 整体结构优化	26
3.1.2 控制寄存器与接口定义	30
3.2 载波同步环路实现	31
3.2.1 载波相位差错检测（鉴相）	31
3.2.2 载波环路滤波	33
3.3 符号同步环路实现	34
3.3.1 定时偏差检测器	34
3.3.2 环路滤波与重采样	35

3.4 自动增益控制 (AGC) 环路实现.....	36
3.5 锁定检测控制实现	38
第四章 基于 FPGA 实现的优化设计	40
4.1 利用 CORDIC 计算特殊函数	41
4.1.1 CORDIC 算法原理	42
4.1.2 CORDIC 实现混频	43
4.1.3 CORDIC 实现直角坐标到极坐标转换	45
4.2 滤波器的设计实现	46
4.2.1 FIR 滤波器的基本设计	46
4.2.2 分布算术式 FIR 滤波器	49
第五章 系统的调试及性能指标分析	54
5.1 系统硬件结构	54
5.2 系统调试	56
5.3 调制解调性能测试	59
第六章 结束语	63
致 谢	64
附录一 调制解调电路板实物图	65
附录二 程序模块清单	66
参考文献	67

第一章 绪 论

1.1 引言

为了使信号便于在带通信道中传输，必须对信号进行调制解调。传统的数字调制解调技术已经相当成熟，但是传统的数字调制解调中上变频、滤波器、下变频、锁相环等高速器件大多用模拟器件实现。这给后继的数字信号处理带来了很大的制约性，严重影响了数字通信的精确性，像并行多通道处理就更加困难了。随着软件无线电技术快速发展的条件下，数字信号处理芯片的处理能力的不断提高，全数字的调制解调才逐渐浮出水面。全数字调制解调与传统的解调相比，具有频率分辨率高、相位噪声小、稳定度高、易于调整及控制灵活等特点，随着软件无线电技术的发展，全数字调制解调实现了多种调制方式和多通道解调，本文正是采用软件无线电技术，研究基于FPGA的多种调制方式全数字调制解调技术的实现。

1.1.1 软件无线电简介

软件无线电(Software Radio)是二十世纪末提出的一种新的设计思想，其完整的概念和结构体系是由美国 MITRE 公司的科学家 Joseph Mitola 于 1992 年 5 月在国家远程系统会议(National Telesystems Conference)上明确提出^[3]。

以现代通信理论为基础，以数字信号处理为核心，以微电子技术为支撑的软件无线电又称为软件可定义的无线电(Soft-Defined Radio)，它突破了传统的无线电台以功能单一、可扩展性差的硬件为核心的设计局限性，强调以可编程的硬件作为通用平台，尽量地用可升级、可重配置的软件来实现各种无线电功能的设计新思路。软件无线电的设计思想是将宽带 A/D 和 D/A 的变换尽可能地靠近天线，对数字化后的信号采用数字信号处理(DSP)技术，在可编程控制的硬件平台上，利用软件来实现无线电台的各部分功能，即整个无线电台从高频、中频、基带直到控制协议部分全由软件编程来实现。由于软件无线电对硬件的依赖程度很小，具有高度的开放性、灵活性和可编程性，使得通信系统的开发将重点放在软件的研究上，因此可以很好的解决通信系统的标准问题，极大缩短通信系统开发的时间和成本，这也正是软件无线电与各种通信系统越来越紧密结合的重要原因。它已经成为继固定通信到移动通信之后的无线通

信领域的又一突破。

理想的软件无线电结构如下图所示，应该在天线之后就进行数字化，并使所有的过程软件化和可编程化，如图 1.1。

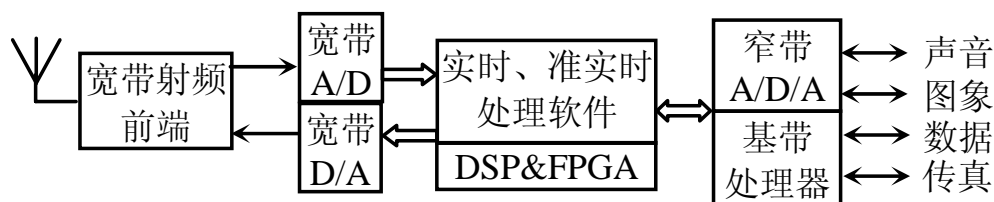


图 1.1 理想软件无线电电台基本结构框图

显然，理想的软件无线电台是对天线接收的模拟信号经过放大后直接采样，实现完全的可编程性，其后所有的信号处理包括下变频、带通滤波、载波提取、I/Q 解调、低通滤波、位同步提取、信道编解码、信源编解码、加密解密等全部由 ADC 变换器之后的可编程芯片处理，可见理想的软件无线电台可以实现完全的可编程性，因此可以实现通信中的各种调制方式。

1.1.2 软件无线电实现关键技术

实现软件无线电的关键技术主要有：射频天线、宽带 ADC 转换、高速数字信号处理和高性能的总线结构等方面。

- 软件无线电的射频段应具备接入多个波段甚至覆盖全波段的功能，它具有频率高、带宽宽的两大特点。我们可以采用多频段组合式天线和智能天线来实现。多频段组合式天线是在全频段甚至每个频段使用几付天线组合起来以形成宽带天线。智能天线的思想是：天线以多个高增益的动态窄波束分别跟踪多个用户，窄波束对准期望用户，波瓣零点对准期望信号以外的干扰信号，以达到信干比最大。
- 软件无线电的发展方向是 ADC 和 DAC 尽量靠近 RF 端，这样高频宽带信号的数字化对采样频率、位数及动态范围就提出了较高的要求。目前，由于受 A/D 转换器的成本和分辨率的限制以及受 DSP 芯片处理速度的影响，要在 RF 端对信号进行数字化有很大困难，所以优先考虑在 IF 上进行 A/D 转换。我们可以采用多个高速采样保持电路和 ADC，通过并串变换，将量化速度降低，以提高采样分辨率。
- 在目前，数字信号处理和数字控制的方案大致有：数字信号处理器（DSP）、

可编程逻辑器件 (FPGA)、可由参数控制的硬件电路、用户定制集成电路 (ASIC)。对于以上 4 种方法, 可编程性能为 DSP 最高 (可用汇编或 C 语言), 后者依次降低, ASIC 不具编程能力; 运算速度则相反, 以 ASIC 为最高, DSP 最低; 功耗以 DSP 为最高, ASIC 最低。在软件无线电的设计中, 要综合考虑器件性能和特点, 构架可编程性能高、运算速度快、功耗低的系统。另外, 虚拟无线电也是可供选择的一种方法, 其思想是使用高速 ADC 作为数字与模拟的接口, 处理器的核心使用高性能的工作站硬件。这种方案使得用户可以利用工作站的硬件和软件设计新的算法, 并且可以在工作站上方便地进行系统结构的试验。

- 由于软件无线电需要进行高速的 A/D/A 变换及数字信号处理, 必须使用多个 CPU 并行处理; 其次, 数字信号处理的数据要高速交换, 系统总线必须具有极高的 I/O 传输速率。在符合要求的系统总线中, VME 总线技术最成熟、通用性最好、得到的支持最广泛, 是软件无线电的首选总线方式。总线结构采用时分机制, 实现起来比较简单, 但在无线通信系统中各个相邻功能模块间的数据流是一种接力机制, 应用总线结构就显得带宽过窄和控制复杂, 吞吐率较低, 其可扩展性也受到限制。软件无线电的高速网络交换方式是重要的发展方向, 清华大学在国家“863”软件无线电项目中提出了一种基于交换的硬件平台, 其结构采用适配交换网为各功能模块提供统一的数据通信服务, 各个功能模块都是由 DSP 组成的功能板, 遵循相同的通信接口和协议, 它们之间的耦合很弱, 能够极大地提高平台的灵活性, 可以适应于多种无线电通信系统, 并已证明具有更好的吞吐率和实时性能。

1.2 课题背景与研究现状

1.2.1 FPGA 背景知识

现场可编程门阵列 (FPGA) 是在专用 ASIC 的基础上发展出来的, 它克服了专用 ASIC 不够灵活的缺点。与其他中小规模集成电路相比, 其优点主要在于它有很强的灵活性, 即其内部的具体逻辑功能可以根据需要配置, 对电路的修改和维护很方便。随着 VLSI (Very Large Scale IC, 超大规模集成电路) 工艺的不断提高单一芯片内部可以容纳上百万个晶体管, FPGA / CPLD 芯片的规模也越来越大, 目前, FPGA 的容量

已经跨过了百万门级，使得 FPGA 成为解决系统级设计的重要选择方案之一。

和其他通用 DSP 相比，FPGA 在处理方式上和设计编程上有很大的区别，它更强调数据的平行处理和流水线处理并且有更强的灵活性和可编程型，所以 FPGA 在定点数据处理方面有很大的优势。

目前的 FPGA 是基于查找表结构，查找表（Look-Up-Table）简称为 LUT，LUT 本质上就是一个 RAM。目前 FPGA 中多使用 4 输入的 LUT，所以每一个 LUT 可以看成是一个有 4 位地址线的 16x1 的 RAM。当用户通过原理图或 HDL 语言描述了一个逻辑电路以后，PLD/FPGA 开发软件会自动计算逻辑电路的所有可能的结果，并把结果事先写入 RAM，这样，每输入一个信号进行逻辑运算就等于输入一个地址进行查表，找出地址对应的内容，然后输出即可。这种结构更接近于硬件实现，而且不同的硬件算法不同的编写方式对资源的使用和速率的提高影响很大，象面积与速度互换，并串转换等，都是在运行速度与所耗资源方面进行调整。

1.2.2 数字调制解调背景知识

全数字调制解调的信号处理包括下变频混频、带通滤波、载波提取、IQ 解调、低通滤波、位同步提取等全部由 A/D 变换器之后的专用可编程芯片和 DSP 芯片处理，可见可以实现完全的可编程性，因此可以实现通信中的各种调制方式，完全可以根据要求实现 FDMA、TDMA 和 CDMA 等各种多址方式。

全数字调制解调的理论基础主要有信号采样理论（抽样定理）、多速率信号处理信号采样理论。信号采样理论是任何模拟信号（语音、图像以及生物医学信号等等）数字化的理论基础，它的实质是一个连续时间模拟信号经过抽样变成离散序列后，能否由此离散序列样值重建原始模拟信号的问题。采样的速率越高其带宽越宽，对不同的信号会有更好的适应性。但是随着采样速率的提高带来的问题就是采样后的数据流速率很高，导致后续的信号处理速度更不上，很难满足实时性要求，所以很有必要在相应位置进行降速处理。多速率信号处理技术为这种二次采样提供了理论依据。

1.2.3 历史及现状

由于无线通信具有设备简单、便于携带、易于操作、架设方便等特点，在军事通信领域是不可或缺的重要通信手段。然而，军用电台往往是根据某种特定的用途而设计的，功能单一，有些电台的基本结构相似，而信号特征差异很大。例如工作频段不同，有的工作在 HF 频段，有的在 VHF、UHF 频段，调制方式不同，波形结构不同，

通信协议不同，数字信息的编码方式、加密方式不同，等等。电台之间的这些差异极大的限制了不同电台之间的互连互通，给协同作战带来了困难。以美军为例，目前装备电台约 75 万部，共有 30 个系列 125 种，大部分为传统电台，工作频段固定，功能单一。各军、兵种使用的电台大部分无法互通，更无法组网。美军与盟军之间的互通能力更差，由于信息交换不及时，在“海湾战争”和“伊拉克战争”中，美国就与盟军多次发生“误伤”。我军军用电台也有类似的情况，各军兵种之间互联互通能力较差，战场协同困难，不适应未来战争的需要。

世界各国正对软件无线电技术进行积极的研究，并且已经出现了一些实用系统。目前主要有“易通话”系统(Speakeasy)、联合战术无线电系统(JTRS)、美国 HARRIS 公司的 AN/PRC-117F 和德国 RS (rohde-schwarz) 公司 M3TR。

我国国内近几年也开展了软件无线电技术的研究，许多单位都在此领域进行了研究，并取得了许多的优秀成果。本课题就是在这种背景下，做为兵器科学研究院“十五”支撑技术预先研究课题——野战软件无线电通信终端技术研究。

1.3 本文研究的主要内容

根据该野战软件无线电电台的基本功能：话音通信、数字传输、扩频通信并要求系统具有软件升级的能力，射频模块采用已有的商用模块，只具有射频放大和变频的能力，并无调制、编解码的功能，因此该电台的主要功能均由中频及信号处理分系统予以实现。中频及信号处理分系统主要完成如下功能：

一、语音调制方式及技术指标

- 1、调制方式：调幅 (AM)、调频 (FM)
- 2、技术指标：

		调幅 (AM)	调频 (FM)
技术指标	载波频率	70MHz	70MHz
	载波频差	± 2.5 kHz	± 2.5 kHz
	频带宽度	20kHz	60kHz
	载波功率	-10 dBm~0dBm	-10 dBm~0dBm
	调制度	50~95 %	/
	最大频偏	/	± 15 kHz

二、数据调制调制方式及速率

- 1、调制方式：DQPSK DBPSK D8PSK
- 2、数据速率：2.4kbps、4.8 kbps、9.6 kbps

- 3、中频载波：70M($\pm 2\text{kHz}$ 最大载波频偏)
- 4、中频采样率：6.144*5M
- 5、基带成形：根升余弦方式，滚降系数 0.35

1.4 本课题的研究意义及主要工作

传统的数字调制解调技术已经相当成熟，但是传统的数字调制解调中上变频、滤波器、下变频、锁相环等高速器件大多用模拟器件实现。这给后继的数字信号处理带来了很大的制约性，严重影响了数字通信的精确性，像并行多通道处理就更加困难了。随着软件无线电技术快速发展的条件下，数字信号处理芯片的处理能力的不断提高，全数字的调制解调才逐渐浮出水面。全数字调制解调与传统的解调相比，具有频率分辨率高、相位噪声小、稳定度高、易于调整及控制灵活等特点。而且由于采用了可编程芯片，可以充分发挥软件无线电的优势，实现多种方式，多种速率，多种信道的调制解调。

本课题的工作重点是针对当前短波通信主要特点，对多种调制解调方式的实现进行研究实现。选择可行性实现方案，并针对现有文献的研究不足，对硬件算法在 FPGA 上实现进行优化。主要对调制解调算法，成型滤波，锁相环实现载波同步、位同步等各部分进行了设计与调试。主要工作有：

- 1、研究与选择合适的调制与解调算法并用 matlab 仿真部分验证解调算法的性能与可行性。
- 2、在 HSP50210 与 HSP50214 硬件平台上实现解调算法，并测试性能。
- 3、调制方面：在 FPGA 上完成 AM,FM,BPSK,QPSK 调制，并上变频到中频输出。
- 4、解调方面：在 FPGA 上实现对下变频、抽取后的 AM,FM,BPSK,QPSK 信号解调并测试调制解调的性能。

1.5 本论文的结构

本文共六章

第一章阐述了 FPGA 实现全数字调制解调技术的基本概念、关键技术，并简单介绍了软件无线电的研究现状和本课题的研究背景。

第二章分析了实现各种调制解调的原理、性能及理论分析，包括调制解调算法，

锁相环理论实现。

第三章结合硬件平台讲述方案选择，优化可重复使用各种模块及讲述数字通信中的载波同步和码元同步的具体实现。

第四章主要根据 **FPGA** 特殊结构，讲述在实现各模块中所采用的硬件算法优化。

第五章给出了系统的软硬件实现和调制解调器调制解调信号的测试结果。

第六章为本文的结束语。

第二章 调制解调算法原理

为了便于信号发射，提高信道利用率、发射功率效率以及改善通信质量，人们研制出各种通信信号的调制方式。软件无线电中的各种调制信号是以一个通用的数字信号处理平台为支撑，利用各种软件来产生的。每种调制算法都做成软件模块形式，要产生某种调制信号只需要调用相应的模块即可。

为了满足同一硬件平台实现多种调制解调的需要，我们尽量采用相同的实现结构。从原理上讲 I/Q 两路信号调制可以实现任何信号，所以本章调制解调实现方式着重 I/Q 两路信号调制，如图 2.1 所示：

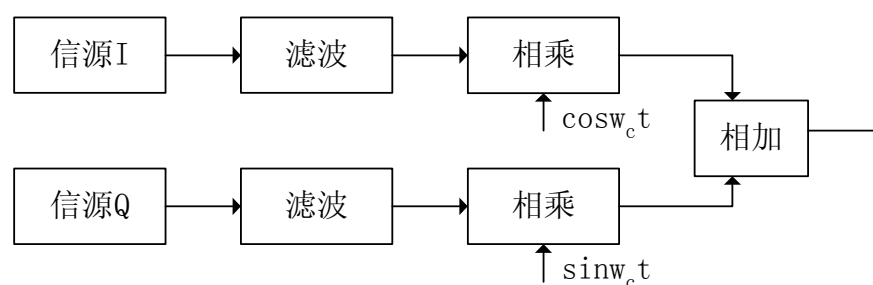


图2.1 正交调制的实现框图

根据图 2.1，可以写出它的时域表达式：

$$S(t) = I(t) \cos(w_c t) + Q(t) \sin(w_c t) \quad (2-1)$$

而解调是调制的逆过程，所以数字正交解调的原理是将已调信号搬到基带来并分成 I/Q 两路，再根据不同的调制方式采用解调算法。如图 2.2 所示：

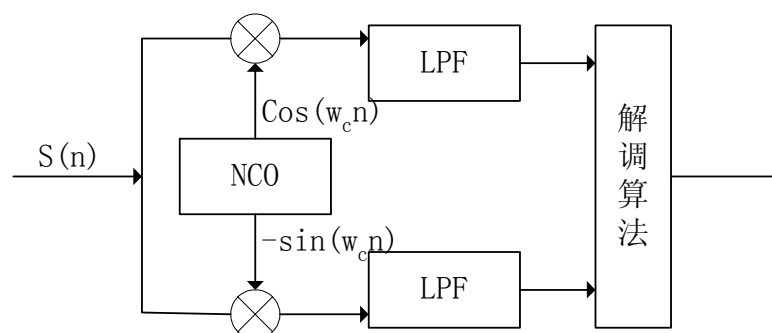


图2.2 数字正交解调的通用模型

对于解调算法主要有相干解调和非相干解调，一般而言，相干解调性能比非相干解调性能好，但复杂度也相应的要高。

2.1 模拟调制解调的数字实现

2.1.1 AM 调制解调

AM 调制:

调幅就是使载波的振幅随调制信号的变化规律而变化。用单音信号进行调幅时，其数学表达式可以写为：

$$S(t) = A(1 + m_a \gamma_\Omega(t)) \cos \omega_c t \quad (2-2)$$

其中， γ_Ω 为调制信号， m_a 为调制指数，它的范围在(0,1)之间，如果 $m_a > 1$ ，已调波的包络会出现严重的失真，而不能恢复原来的调制信号波形，如要实现正交调制，只要令：

$$\begin{aligned} I(t) &= A(1 + m_a \gamma_\Omega(t)) \\ Q(t) &= 0 \end{aligned} \quad (2-3)$$

把(2-2)进行傅氏变换：

$$S(\omega) = A\pi[\delta(\omega + \omega_c) + \delta(\omega - \omega_c)] + \frac{1}{2} A m_a V_\Omega(\omega - \omega_c) + \frac{1}{2} A m_a V_\Omega(\omega + \omega_c) \quad (2-4)$$

式中， $V_\Omega(\omega)$ 为 $\gamma_\Omega(t)$ 频谱。所以有正弦波调制的调幅信号有三种频率成分组成：载波、载波和调制频率的差频（下边带）、载波和调制信号的和频（上边带）。调幅波所占的频谱宽度等于调制信号最高频率的两倍。调幅信号的波形如下图：

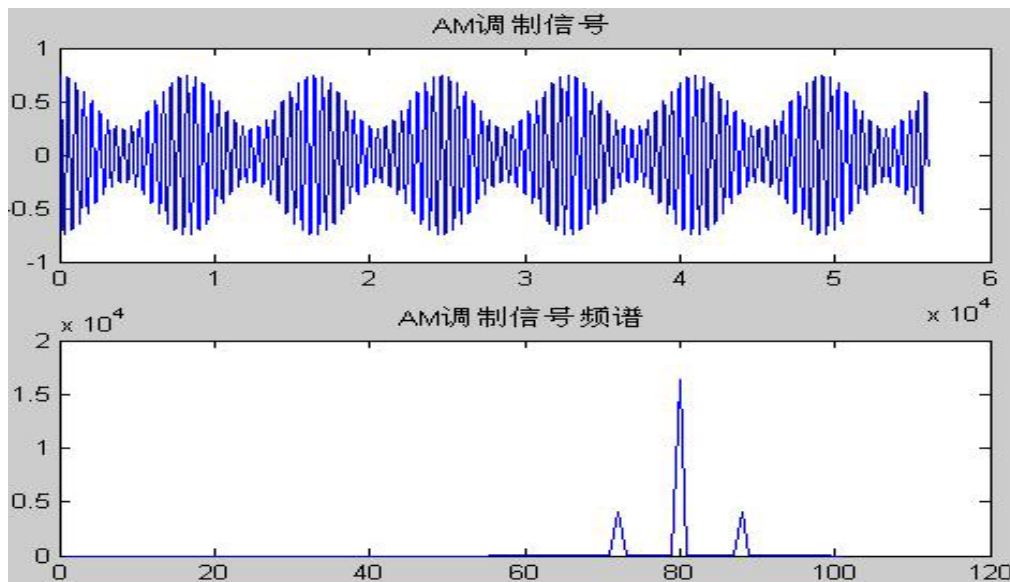


图 2.3 AM 调幅信号波形与频谱

AM 解调:

对(2-2)正交分解，得同相和正交分量：

$$\begin{aligned} \text{同相分量: } X_I(n) &= A(n) \cos(\phi_0) \\ \text{正交分量: } X_Q(n) &= A(n) \sin(\phi_0) \end{aligned} \quad (2-5)$$

对同相与正交分量平方之和开方:

$$\sqrt{X_I^2(n) + X_Q^2(n)} = A_0 + m(n) \quad (2-6)$$

减去直流分量 A_0 就可接的调制信号 $m(n)$ 。这种方法, 具有较强的抗载频失配能力, 即本地载波与信号载波之间允许一定的载频偏差。当由于传输信道或其他一些原因而造成本地载波与信号的载波之间存在频差和相差时, 同向分量和正交分量可表示为:

$$\begin{aligned} X_I(n) &= A(n) \cos[\Delta\omega(n)n + \Delta\phi(n)] \\ X_Q(n) &= A(n) \sin[\Delta\omega(n)n + \Delta\phi(n)] \end{aligned} \quad (2-7)$$

式中, $\Delta\omega = \omega_c - \omega_{L0}$; $\Delta\phi = \phi_0 - \phi_{L0}$; $\Delta\omega(n); \Delta\phi(n)$ 表示差频和差相可以是常量也可以是随机变量。 $\omega_{L0}; \phi_{L0}$ 为本地载波角频率和初始相位。对它们平方之和开方同样得(2-6)式。所以, AM 信号用正交解调算法解调时, 不要求载频严格的同频同相。

2.1.2 FM 调制解调

FM 调制

调频(FM)是载波的瞬时频率随调制信号成线性变化的一种调制方式, 单音调频信号的数学表达是可以写为:

$$S(t) = A[\cos(\omega_c t + k_f \int_0^t v_\Omega(t) dt)] \quad (2-8)$$

把上式展开并化简得:

$$\begin{aligned} S(t) &= A \cos(\omega_c t) \cos(k_f \int_0^t v_\Omega(t) dt) - A \sin(\omega_c t) \sin(k_f \int_0^t v_\Omega(t) dt) \\ &= A \cos(\omega_c t) \cos \Phi - A \sin(\omega_c t) \sin \Phi \end{aligned} \quad (2-9)$$

式中, ω_c 为载波角频率, $v_\Omega(t)$ 为调制信号, $\Phi = k_f \int_0^t v_\Omega(t) dt$; 所以在实现 FM 时要对调制信号进行积分, 然后对这积分后的信号分别取正弦和余弦即可。因此, 用正交调制法实现时只需令:

$$\begin{aligned} I(t) &= \cos \Phi \\ Q(t) &= \sin(\Phi) \end{aligned} \quad (2-10)$$

调制信号的带宽 B_w 为:

$$B_w = 2(m_f + 1)F \quad (2-11)$$

式中, $F = \Omega / 2\pi$ 为调制频率。调频信号中含有无穷多个频率分量, 理论上调频信号的频带宽度为无限宽。但各次幅度依次下降, 高次边频分量可略去不计, 因而调频

信号可近似认为具有有限频谱。下图是 FM 调制信号和频谱：

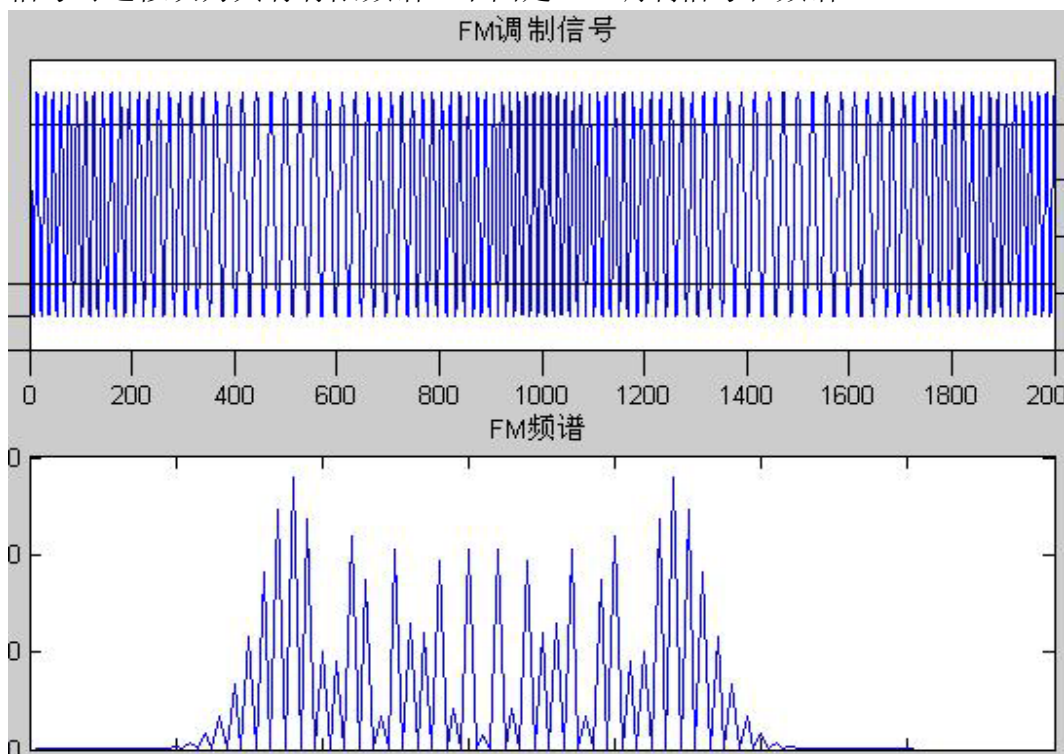


图 2.4 FM 调制信号波形与频谱

FM 解调

数字信号表达式：

$$S(n) = A_0 \cos[\omega_c n + k \sum m(n) + \Phi_0] \quad (2-12)$$

式中， k 为比例因子， Φ_0 为常数。对信号进行正交分解得：

$$\begin{aligned} \text{同相分量: } X_I(n) &= A_0 \cos[k \sum m(n) + \Phi_0] \\ \text{正交分量: } X_Q(n) &= A_0 \sin[k \sum m(n) + \Phi_0] \end{aligned} \quad (2-13)$$

对正交与同相分量之比值进行反正切运算：

$$\begin{aligned} \Phi(n) &= \arctg\left[\frac{X_Q}{X_I}\right] \\ &= k \sum m(n) + \Phi_0 \end{aligned} \quad (2-14)$$

然后，对相位差分，即可求得调制信号：

$$\Phi(n) - \Phi(n-1) = m(n) \quad (2-15)$$

FM 信号用正交解调方法解调时，具有较强的抗载频失配能力，本地载波与信号的载波存在频差和相差时，同相分量和正交分量可表示为：

$$\begin{aligned} X_I(n) &= A_0 \cos[\Delta\omega \cdot n + \Delta\Phi + k \sum m(n)] \\ X_Q(n) &= A_0 \sin[\Delta\omega \cdot n + \Delta\Phi + k \sum m(n)] \end{aligned} \quad (2-16)$$

同样对正交与同相分量之比值反正切及差分运算，就可得到调制信号：

$$\begin{aligned}
 & \arctg\left(\frac{X_Q(n)}{X_I(n)}\right) - \arctg\left(\frac{X_Q(n-1)}{X_I(n-1)}\right) \\
 &= [\Delta\omega \cdot n + \Delta\Phi + k \sum m(n)] - [\Delta\omega \cdot (n-1) + \Delta\Phi + k \sum m(n-1)] \\
 &= \Delta\omega + m(n)
 \end{aligned} \tag{2-17}$$

当载波失配差频和差相是常量时，解调输出只不过增加了一个直流分量，减去直流分量就可得到调制信号 $m(n)$ 。

2.2 MPSK 调制解调算法

相移键控 (PSK) 信号广泛应用于无线通信之中。在 PSK 信号的解调方法中，普遍使用了利用 Costas 环提取相干载波进行相干解调的方式。这种方法解调性能很好，但是在某些条件下，设计和实现起来却很困难，尤其当传输的速率很低的时候，用模拟的方法设计实现这样的解调是很困难的。但是，随着高速数字信号处理器的广泛应用，为用数字方法实现解调提供了有利条件。可以用数字锁相环实现对载波的跟踪，这样就可以省去大量的硬件电路。下面就介绍适用于数字信号处理器实现的全数字 PSK 解调技术。该技术能很方便、灵活的实现 PSK 信号解调，而且可以大大降低对接收机本身的振荡频率精度和稳定度的要求。

2.2.1 MPSK 调制算法^[1]

M 进制相移键控信号中，载波相位有 M 种取值，所对应的 M 种持续时间为 T_s 的符号可以表示为

$$S_{MPSK}(t) = \left[\sum_n \sqrt{\frac{2E_s}{T_s}} g(t - nT_s) \right] \cos[\omega_c t + \phi(n)] \tag{2-18}$$

其中 E_s 为单位符号的信号能量，即 $0 \leq t \leq T_s$ 时间间隔内的信号能量； ω_c 为载波角频率； $\phi(n)$ 为载波在 $t = nT_s$ 时刻的相位， $\phi(n) = \left\{ \frac{2\pi}{M} i + \theta \right\}$ ， $i = 1, 2, \dots, M-1$ ， θ 为初相位； $g(t)$ 是成形函数。

假设 $\theta = 0$ ，得

$$S_{MPSK}(t) = \cos \omega_c t \sum_n \cos \phi(n) \sqrt{\frac{2E_s}{T_s}} g(t - nT_s) - \sin \omega_c t \sum_n \sin \phi(n) \sqrt{\frac{2E_s}{T_s}} g(t - nT_s) \tag{2-19}$$

令

$$a(n) = \sqrt{\frac{2E_s}{T_s}} \cos \phi(n) \quad (2-20)$$

$$b(n) = \sqrt{\frac{2E_s}{T_s}} \sin \phi(n) \quad (2-21)$$

则有

$$S_{MPSK}(t) = \left[\sum_n a(n)g(t-nT_s) \right] \cos \omega_c t - \left[\sum_n b(n)g(t-nT_s) \right] \sin \omega_c t \quad (2-22)$$

可以简写为

$$S_{MPSK}(t) = I(t) \cos \omega_c t - Q(t) \sin \omega_c t \quad (2-23)$$

$$I(t) = \sum a(n)g(t-nT_s) \quad (2-24)$$

$$Q(t) = \sum b(n)g(t-nT_s) \quad (2-25)$$

常把 $I(t)$ 称为同相分量, $Q(t)$ 称为正交分量。MPSK 信号可用矢量图 2-5 来描述。

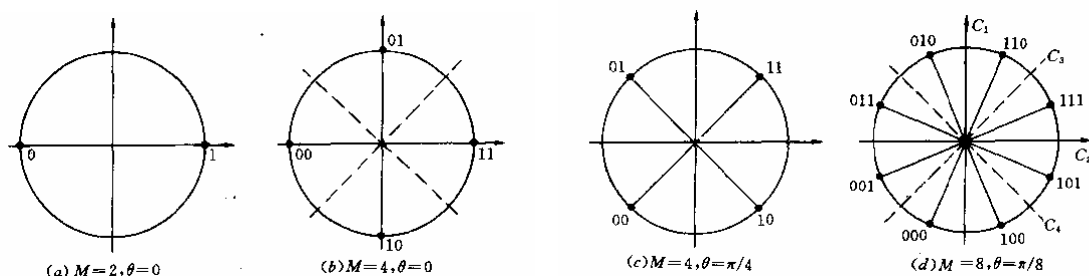


图 2-5 MPSK 信号矢量星座图

通常的传输信道的带宽是有限的, 当基带信号经过信道传输时, 将会由于信道带宽受限而产生严重失真。成形滤波就是通过对基带信号进行滤波处理, 使其成为时域无限而频域有限的信号, 从而消除由于信道带限带来的信号失真。

成型滤波的实现主要是在 I/Q 两路基带信号时, 在式 (2-24) 与式 (2-25) 中 $g(t-nT)$ 就是成型滤波的函数。

在理论上, Nyquist 第一准则成功的解决了成形滤波器的设计问题, 但是它只给出了一个抽象的理论准则, 而对于如何具体设计成形滤波器并没有一个明确的答案。在实际应用中, 升余弦滤波器是较为广泛采用的成形滤波器, 因为它有如下的优点:

- 满足 Nyquist 第一准则;

- 可以消除理想低通滤波器设计上的困难，有一平滑的过渡带
- 通过引入滚降系数，改变传输信号的成形波形，可以减小抽样定时脉冲误差所带来的影响，即降低码间干扰。

关于成型滤波器的设计后面有详细的介绍。

2.2.2 MPSK 解调算法

解调的主要工作是载波同步和符号同步，解调的最终目的是消除频差项，判决出正确的码元数据。

载波同步：

如果我们能够跟踪相位的变化，并且得出正确的相位估计值 $\hat{\phi}$ ：

$$\hat{\phi} \approx 2\pi f_0 + \phi_0 \quad (2-26)$$

那么消除由于 f_0 的存在而引入的调制项可以通过坐标旋转而获得，即：

$$I'(n) = I(n)\cos\hat{\phi} - Q(n)\sin\hat{\phi} \quad (2-27)$$

$$Q'(n) = Q(n)\cos\hat{\phi} + I(n)\sin\hat{\phi} \quad (2-28)$$

其中： $I'(n)$ 、 $Q'(n)$ 是 $I(n)$ 和 $Q(n)$ 经过旋转 $\hat{\phi}$ 角而得到的数据输出。对于 BPSK 方式调制方式：

$$\begin{aligned} I'(n) &= \frac{1}{2}a(n)\cos\Delta\phi + n'_1 \\ Q'(n) &= -\frac{1}{2}a(n)\sin\Delta\phi + n'_2 \end{aligned} \quad (2-29)$$

其中： $\Delta\phi = \omega_0 n + \phi_0 - \hat{\phi}$ ， n'_1 、 n'_2 是 n_1 和 n_2 经过旋转变换后的值，由于旋转变换是一种线性变换，因此 n'_1 、 n'_2 与 n_1 和 n_2 具有相同的统计特性。

由于 $\hat{\phi}$ 是解调器跟踪接收相位时的估值，由式(2-29)可知 $\Delta\phi \approx 0$ ，因此， $I'(n)$ 就是 BPSK 解调的数据输出，而 $Q'(n)$ 的值则反映了由于存在相位误差（ $\Delta\phi$ 并不是绝对为0）而残留的干扰。

同理，当为 QPSK 时

$$\begin{aligned} I'(n) &= \frac{1}{2}a(n)\cos\Delta\phi - \frac{1}{2}b(n)\sin\Delta\phi + n'_1 \\ Q'(n) &= -\frac{1}{2}b(n)\cos\Delta\phi - \frac{1}{2}a(n)\sin\Delta\phi + n'_2 \end{aligned} \quad (2-30)$$

此时 $I'(n)$ 、 $Q'(n)$ 是 QPSK 解调器的同相和正交数据的输出，而 $b(n)\sin\Delta\phi$ 和 $a(n)\sin\Delta\phi$

两项则是同相和正交通道之间由于相位误差 $\Delta\phi$ 而引起的互扰。

在上述两种情况下，解调器工作的原理就是用估计出的相位 $\hat{\phi}$ 对接收数据进行坐标旋转变换，消除 $\cos(\omega_0 n + \phi_0)$ 和 $\sin(\omega_0 n + \phi_0)$ 两个因子，提取出传输的数据，从而完成解调过程。旋转变换运算中，相位估计 $\hat{\phi}$ 与解调器性能有很大关系，它的跟踪性能直接关系到解调器性能的优劣。通常设计解调器时大都采用锁相环路，如 Costas 环，在用数字实现时也必须使用锁相环才能跟踪接收相位。这里所说的锁相环是一种数字锁相环（DPLL）。

DPLL 通过鉴相器提取出相位误差。DPLL 的鉴相器类型有很多，如正弦型、过零检测型、奈奎斯特鉴相器以及希尔伯特型鉴相器。其中希尔伯特型鉴相器是通过同相和正交两路信号相除取反正切，从而提取出相位信息。这种方法使得鉴相器的线性度好，线性范围宽。

鉴相器输出的相位误差 ε_c 去驱动二阶环路滤波器，从而实现相位跟踪，用时序表示为：

$$\begin{aligned}\hat{\phi}(n+1) &= \hat{\phi} + k_1 \hat{f}(n) + k_2 \varepsilon_c \\ \hat{f}(n+1) &= \hat{f}(n) + \varepsilon_c\end{aligned}\quad (2-31)$$

由式（2-18）产生的相位估值 $\hat{\phi}(n+1)$ 用于下一个采样点的运算。常数 k_1 、 k_2 为数字滤波器的参数，调整它们可以在噪声背景下使跟踪性能达到最佳。

正交解调中对于载波相位的估计有很多种方法。

符号同步：

为了实现对码元的正确判决，还需要进行码元定时（符号同步）。由于各通信系统的要求不同，因此在工程设计时必须依据具体的要求才能确定。一般来说采样频率 f_s 与频差 f_0 和数据传输速率 f_r 有密切的关系，通常在每个信号持续期间，至少要采样两次，在选取 f_s 值时，应使 f_s 为 f_r 的整数倍。

对于一个符号采样两次的时候，我们可以根据中间点和采样点的关系来提取符号相位信息。一般的算法为：

$$\theta = \{X_I(k-1) - X_I(k)\} \cdot X_I(k-1/2) + \{X_Q(k-1) - X_Q(k)\} \cdot X_Q(k-1/2) \quad (2-32)$$

在上式中多次使用乘法，这将耗费大量的硬件资源，所以我们采用一种改进的算法：直接判决法（见式 2-33），避免乘法计算的出现。

$$\begin{aligned}DET'(\tau) &= \{\text{sgn}[X_I(k-1)] - \text{sgn}[X_I(k)]\} \cdot X_I(k-1/2) \\ &\quad + \{\text{sgn}[X_Q(k-1)] - \text{sgn}[X_Q(k)]\} \cdot X_Q(k-1/2)\end{aligned}\quad (2-33)$$

在上式中由于采用了 $\text{sgn}()$ 函数, 只需要对数据的符号进行判断, 而且 sgn 函数取值为 ± 1 , 所以大括号内的值为 0 或 ± 2 , 这样就避免了乘法的出现。下面对这种算法及改进类型进行性能分析。

对于 (2-32) 取统计平均:

$$\begin{aligned} E\{\theta\} &= \frac{\sigma_a^2}{\pi} \cdot \frac{8}{4-\alpha^2} \cdot \sin\left(\frac{\alpha\pi}{2}\right) \cdot \sin(2\pi\tau/T) \\ &= K_t \cdot \sin(2\pi\tau/T) \end{aligned} \quad (2-34)$$

当 $\alpha = 0.35$, $\sigma_a^2 = 1$ 时, $K_t = 0.343$, 由上式可知, 定时偏差检测具有正弦特性。

直接判决法对于 (2-33) 取统计平均:

$$E\{DET'(\tau)\} = 2\sigma_a \cdot [g(T/2 - \tau) - g(T/2 + \tau)], \quad |\tau| < T/2 \quad (2-35)$$

其中:

$$g(t) = \frac{\sin(\pi/T)}{\pi/T} \cdot \frac{\cos(\alpha\pi/T)}{1 - (2\alpha\pi/T)^2} \quad (2-36)$$

具有类似于正弦的曲线形式, 通过仿真得到的 S 曲线如下图:

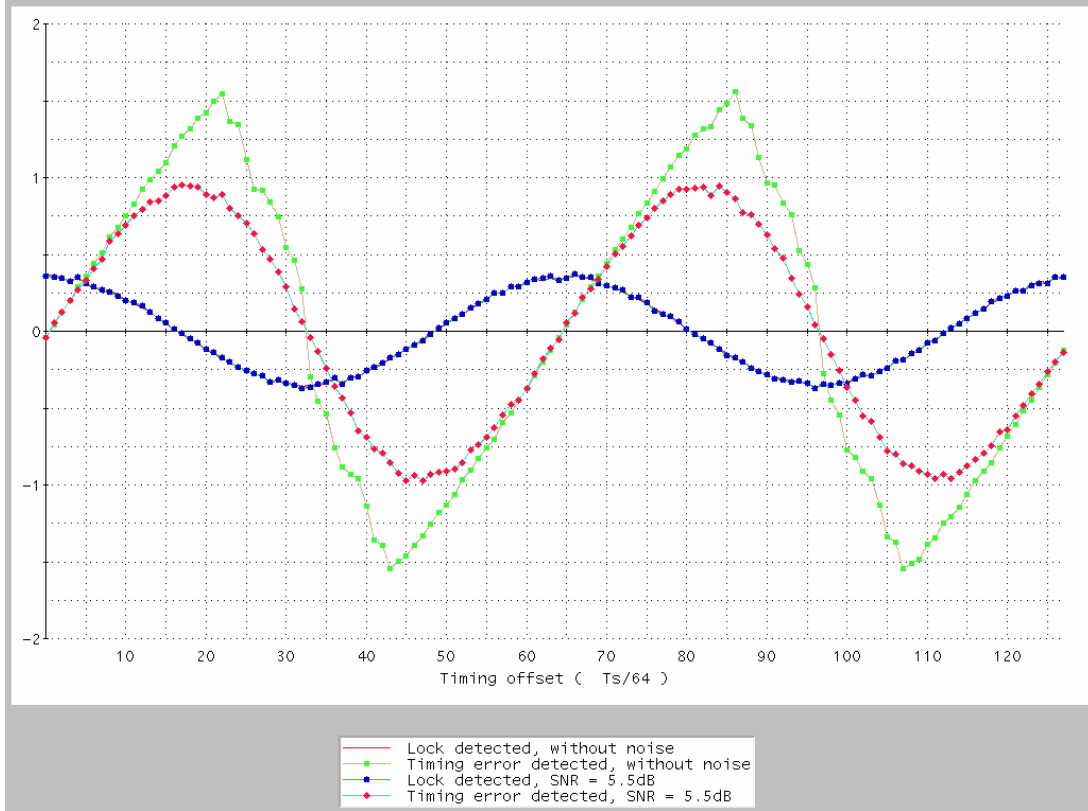


图 2-6 符号同步定时偏差检测 (TS 为符号周期)

由于使用算法中使用了取符号函数, 所以得到的曲线与信噪比是相关的。图 2-6

中比较了无噪声和 $\text{SNR}=5.5\text{dB}$ 两种情况下的定时偏差检测 S 曲线。在定时偏差 τ 比较小的情况下，两条曲线基本重合。

对于中高速数据传输，例如： $r_b = 64\text{Kbps}$ ，假定 $f_0 \leq \pm 2\text{KHz}$ ，因此我们可以取 $f_s = 128\text{KHz}$ ，这样在每个符号周期内采样两次，如图 2-3 所示。码元定时是在旋转之后进行的。码元定时误差信号是基于这样的现象：当同相信道数据产生跃变（由 0 变为 1 或者相反）时，奇数采样点值 $s_b(n)$ 应该为 0，因此导出码元定时误差信号为：

$$\varepsilon_T = S_b(n-1)[\text{SGN}(S_a(n-1)) - \text{SGN}(S_a(n))] \quad (2-37)$$

误差信号用来驱动数字锁相环，锁相环可以是一阶或者二阶，适当的设置锁相环的环路滤波器的增益，从而调整跟踪的带宽，完成码元的定时和跟踪。

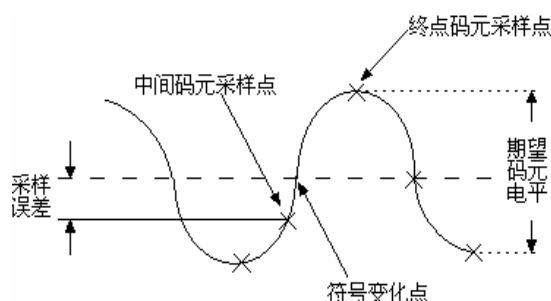


图 2-6 I/Q 通道基带采样跟踪误差示意图

2.2.3 MPSK 调制解调结构

调制信号的产生采用 I/Q 正交调制，首先是串并转化，然后加差分，成型滤波，最后是和载波混频输出。调制的结构图如下：

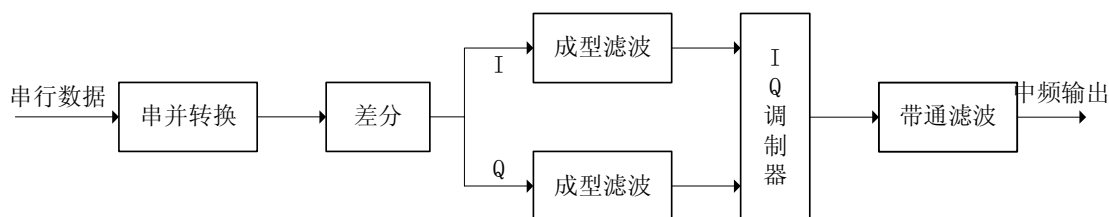


图 2-7 MPSK 调制

由于 MPSK 存在相位模糊问题，所以需要加差分与解差分来消除相位模糊。信号源部分差分编码的实现是通过星相图的偏移来实现的，解差分是通过比较前后两码元在星相图上相对位置偏移位置的距离和方向来实现的。如下表为 D8PSK 的差分实现：

码元	000	001	010	011	100	101	110	111
偏移	0	$\pi/4$	$3\pi/4$	$\pi/2$	$7\pi/4$	$3\pi/2$	$+\pi$	$+5\pi/4$

表 2-1 D8PSK 差分的一种定义

中频信号的解调也是按正交相干解调来实现,。整个相干解调的核心集中在载波同步和符号同步,在这里我们采用数字锁相环实现载波同步和码元同步。本设计的主要流程如下图所示,首先是中频采样,DDS混频,然后再低通滤波、成型滤波,由CORDIC提供载波相位,通过二阶环路低通滤波实现载波同步。在实际工程中还包括AGC(自动增益控制)的设计。

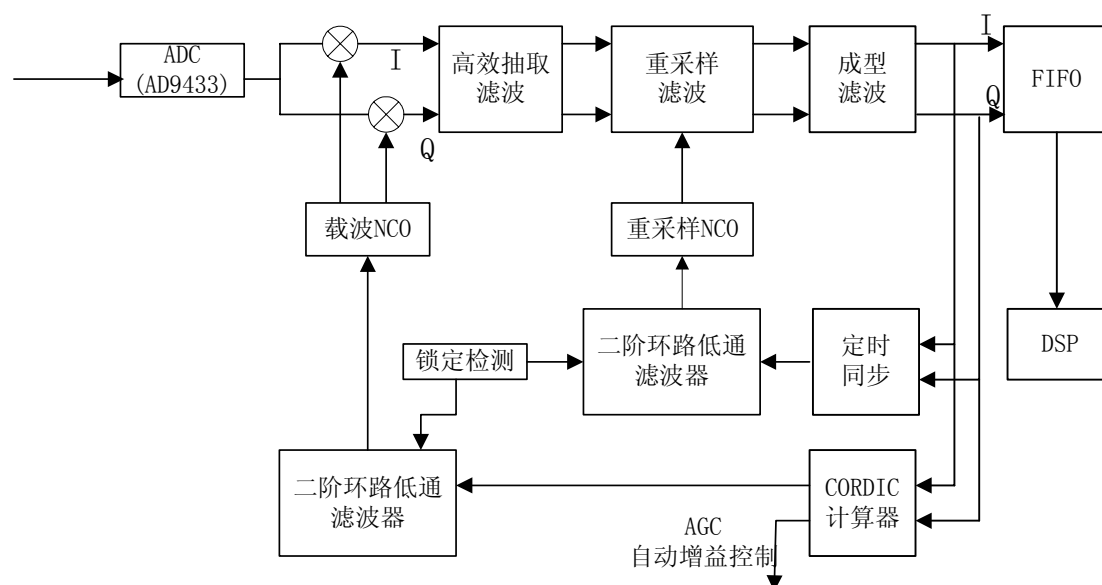


图2-8 MPSK解调总体结构

2.3 成型滤波实现

在通信系统中,接收端的信号常常受信道噪声的干扰,必须对噪声进行抑制。按照信息传输原理,对数字基带信号在接收端进行匹配滤波就可以有效地滤除噪声,使信噪比达到最佳。采用数字滤波器的方法来设计高效的匹配滤波器是全数字接收机的一项关键技术。

另一方面,通常的传输信道的带宽是有限的,当基带信号经过信道传输时,将会由于信道带宽受限而产生严重失真。成形滤波就是通过对基带信号进行滤波处理,使其成为时域无限而频域有限的信号,从而消除由于信道带限带来的信号失真。

2.3.1 成型滤波器原理

设 $C(\omega)$ 、 $H_T(\omega)$ 、 $H_R(\omega)$ 分别为信道、成形滤波器的发送和接收滤波器的传递函数,要实现匹配滤波,必须使

$$|H_T(\omega)| = |H_R(\omega)| = |H(\omega)|^{\frac{1}{2}} \quad (2-38)$$

其中 $H(\omega) = H_T(\omega) \cdot H_R(\omega) \cdot C(\omega)$, $H(\omega)$ 在分段叠加后应该为理想低通函数。实际常使

$$H_R(\omega) = H_T(\omega) = H(\omega)^{\frac{1}{2}} \quad (2-39)$$

设计收、发匹配滤波器时, 传统方法一般选 $H(\omega)$ 为滚降的升余弦型函数, 即

$$H(\omega) = \begin{cases} 1 & , \quad 0 \leq |\omega| \leq (\omega_H - \omega_\alpha) \\ \frac{1}{2} \cdot \left[1 + \sin\left(\pi \cdot \frac{\omega_H - \omega}{2\omega}\right) \right] & , \quad (\omega_H - \omega_\alpha) < |\omega| \leq (\omega_H + \omega_\alpha) \\ 0 & , \quad |\omega| > (\omega_H + \omega_\alpha) \end{cases} \quad (2-40)$$

其中 ω_H 为带宽, ω_α 为带宽扩展量。设滚降系数 $\alpha = \frac{\omega_\alpha}{\omega_H}$, 则冲激响应可表示为:

$$h(t) = \frac{\sin(\omega_H t)}{\omega_H t} \cdot \frac{\cos(\alpha \cdot \omega_H t)}{1 - \left(\frac{2\alpha \cdot \omega_H t}{\pi}\right)^2} \quad (2-41)$$

信道理想时 $C(\omega) = 1$, 可以计算出 $H_T(\omega)$ 和 $H_R(\omega)$ 的传递函数, 进而推出滤波器的冲激响应为:

$$h_T(t) = h_R(t) = \frac{\sin[2\pi f_H t(1-\alpha)] + 4 \cdot T \cdot \cos[2\pi \cdot f_H t(1+\alpha)]}{\pi t \cdot (T^2 - 16t^2 \cdot \alpha^2)} \quad (2-42)$$

其中 $f_H = \frac{1}{2T} = \frac{\omega_H}{\pi}$, T 为码元周期。显然, 这种方法设计的滤波器其系数长度是无限的, 截短造成频谱泄漏, 采用窗函数法可以改善。

2.3.2 码间串扰量的分析

考虑一般的数学信号模型

$$r(t) = \sum_n a_n h(t - nT - \varepsilon T) + n(t) \quad (2-43)$$

其中 $\{a_n\}$ 为传输的数据, $h(t)$ 为成形滤波器, $n(t)$ 为加性噪声。如果采用时钟无偏差, 在第 k 个时刻 $t = kT + \varepsilon T$ 所得到的信号的采样值为

$$r_k = a_k h_0 + n_k \quad (2-44)$$

它不存在码间串扰, 只有加性噪声对采样信号产生的影响。如果采样时钟存在偏差, 在第 k 个时刻 $t = kT + \varepsilon_1 T$, ($\varepsilon_1 \neq \varepsilon$) 所得到的信号的采样值为

$$r_k = a_k h((\varepsilon_1 - \varepsilon)T) + \sum_{n \neq k} a_n h((k-n)T + (\varepsilon_1 - \varepsilon)T) + n_k^1 \quad (2-45)$$

从式 (2-45) 知, 除了加性噪声 n_k^1 对信号采样值产生影响外, 还有其它码元 $a_n (n \neq k)$ 对信号的采样值产生影响, 这就是所谓的码间串扰。

码元 $a_n (n \neq k)$ 的串扰系数为 $h((k-n)T + (\varepsilon_1 - \varepsilon)T) \neq 0$ ，它与 h_0 之比为

$$\begin{aligned} \left| \frac{h((k-n)T + (\varepsilon_1 - \varepsilon)T)}{h_0} \right| &= \left| \frac{\sin((k-n) + (\varepsilon_1 - \varepsilon))\pi}{((k-n) + (\varepsilon_1 - \varepsilon))\pi} \right| \cdot \left| \frac{C \cdot w((k-n)T + (\varepsilon_1 - \varepsilon)T)}{C \cdot w(0)} \right| \\ &< \left| \frac{\sin((k-n) + (\varepsilon_1 - \varepsilon))\pi}{((k-n) + (\varepsilon_1 - \varepsilon))\pi} \right| \end{aligned} \quad (2-46)$$

这是因为

$$Cw(0) = 1 \quad (2-47)$$

$$\begin{aligned} |w(t)| &= \left| \int_{-\alpha f_N}^{\alpha f_N} W(f) \cos(2\pi f t) df \right| < \int_{-\alpha f_N}^{\alpha f_N} |W(f) \cos(2\pi f t)| df \leq \int_{-\alpha f_N}^{\alpha f_N} W(f) \cos(2\pi f t) df \\ &< \int_{-\alpha f_N}^{\alpha f_N} W(f) df = w(0) \end{aligned} \quad (2-48)$$

其中 $\left| \frac{h((k-n)T + (\varepsilon_1 - \varepsilon)T)}{h_0} \right|$ 表示引入窗函数后的码元 $a_n (n \neq k)$ 的串扰系数与 h_0 之比，即引

入滚降系数后的码元 $a_n (n \neq k)$ 的串扰系数与 h_0 之比。 $\left| \frac{\sin((k-n) + (\varepsilon_1 - \varepsilon))\pi}{((k-n) + (\varepsilon_1 - \varepsilon))\pi} \right|$ 表示采用理想

成形滤波函数时，码元 $a_n (n \neq k)$ 的串扰系数与 h_0 之比。

上式表明，滚降系数 α 的引入，等价于产生一个带宽为 αf_N 的窗函数，用它去修正传输信号的成形波形。在采样时钟存在偏差时，相应的各码元的干扰系数都降低了，即降低了码间串扰量。从另外一个角度讲，当系统允许的码间串扰量确定时，引入滚降系数能够降低对采样时钟精度的要求。考虑到抽样脉冲宽度不可能理想的为零。因此为了减小抽样定时脉冲误差所带来的影响，滚降系数 α 不能太小，通常选择 $\alpha \geq 0.2$ 。

2.3.3 成型滤波器实现

在理论上，Nyquist 第一准则成功的解决了成形滤波器的设计问题，但是它只给出了一个抽象的理论准则，而对于如何具体设计成形滤波器并没有一个明确的答案。在实际应用中，升余弦滤波器是较为广泛采用的成形滤波器，因为它有如下的优点：

- 满足 Nyquist 第一准则；
- 可以消除理想低通滤波器设计上的困难，有一平滑的过渡带
- 通过引入滚降系数，改变传输信号的成形波形，可以减小抽样定时脉冲误差所带来的影响，即降低码间干扰。

下图为 Matlab 设计的根升余弦滤波器

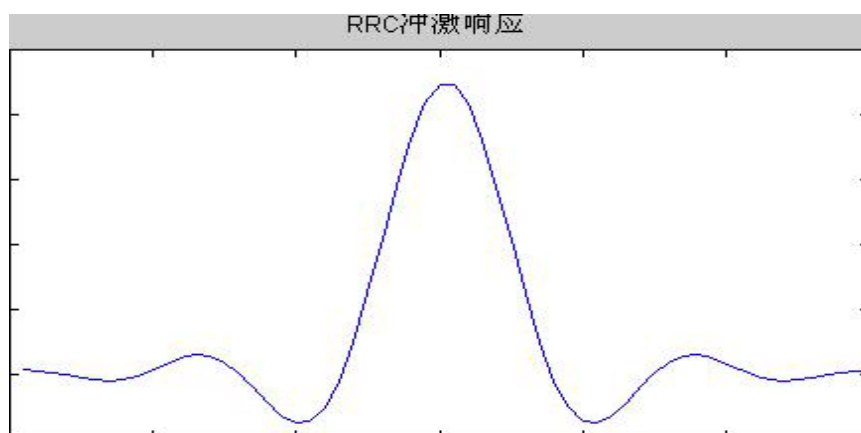


图 2-9 根升余弦滤波器波形

下图为成型后波形:

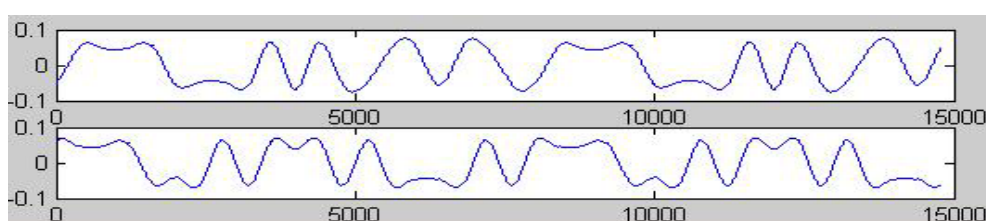


图 2-10 成型后基带波形

2.4 锁相环理论实现^[4]

锁相环路实质是一个相位差自动调节系统。它能较好的实现通信中的载波同步与符号同步。对于模拟锁相环的研究已经非常成熟，而数字锁相环是在模拟锁相环基础上发展起来的，在基本结构上并没有太大的改变。主要由鉴相器、环路滤波器和数控振荡器(NCO),下图为锁相环结构图，其中环路滤波为二阶低通滤波。

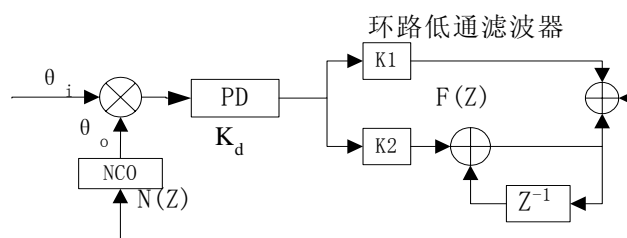


图2-11: 数字锁相环结构

2.4.1 锁相环结构

下面我们简要的分析图 2-11 中三个部件的工作原理。鉴相器(PD: phase detect)是相位比较装置,所以有时也叫做相位比较器或相敏检波器。它把输出信号 θ_o 与输入信号 θ_i 的相位进行比较,产生对应于两个信号相位差的误差信号输入环路滤波器。

鉴相器是用来鉴别两个信号相位差的,在相干解调中,它和解调算法是密切相关的。不同的信号,不同的锁定要求所需要的鉴相器也不同。其主要的指标有(1)鉴相特征形状;(2)鉴相增益 K_d ;(3)输入信号的漏泄;(4)工作频率(5)对频率的鉴别能力。这些是为了使锁相环快速锁定所提出的要求。

DPLL 通过鉴相器提取出相位误差。DPLL 的鉴相器类型有很多,如正弦型、过零检测型、奈奎斯特鉴相器以及希尔伯特型鉴相器。其中在载波环中希尔伯特型鉴相器是通过同相和正交两路信号相除取反正切,从而提取出相位信息。这种方法使得鉴相器的线性度好,线性范围宽。

数控振荡器(NCO)是由数字直接频率合成器(DDS)实现的。主要用来消除频率偏差和相位偏差,使数控振荡器的频率向参考信号的频率接近,也就是使差拍频率越来越低,直到消除频率差而锁定。

环路滤波器的作用是滤除误差信号中的高频成分和噪声,以保证环路所要求的性能,增加系统的稳定性。

锁相环环路的阶数取决于环路滤波器,因为振荡器是一个固有积分环节,所以若无环路滤波器,则环路为一阶环;若采用一阶环路滤波器,则环路为二阶环,虽然有微分方程,可以得到环路工作的全部性能。但是只有一阶环才能精确求解,而二阶以上的环路只能借助于一些近似的方法来分析研究。

2.4.2 锁相环参数分析

调制解调中最常用的锁相环是二阶锁相环,其中理想二阶锁相环由于可以独立地调节带宽和阻尼系数,并且具有最陡的过渡带,是环路实现的最佳选择。

为了使锁相环能正常工作,锁相环的闭环传递函数 $H_c(z)$ 应该满足因果稳定性。另外,锁相过程应该起到对输入相位 θ_k 中的噪声分量进行平滑的作用,也就是说闭环传递函数应具有低通特性。在因果、稳定、低通这三个约束条件下,全数字锁相环的环路参数取值将限制在某一个区域范围内。

下图 2-12 和图 2-13 模拟和数字线性化锁相环(PLL)模型的传递函数:

$$H(S) = \frac{\theta_o(S)}{\theta_i(S)} = \frac{K_d F(S) N(S)}{1 + K_d F(S) N(S)} \quad (2-49)$$

$$H(Z) = \frac{\theta_o(Z)}{\theta_i(Z)} = \frac{K_d F(Z) N(Z)}{1 + K_d F(Z) N(Z)} \quad (2-50)$$

式中 $F(S)$ 和 $N(S)$ 分别是模拟式环路滤波器和 VCO 的传递函数； $F(Z)$ 和 $N(Z)$ 分别是数字环路滤波器和 DDS 的传递函数。在模拟是环路模型中，VCO 被模型化为一个线性装置，其频率正比于环路滤波器的输出电压，即 VCO 被模型化为一个积分器。同样，DDS 被模型化为数字累加器。

因此，VCO 的传递函数为：

$$N(S) = \frac{\theta_o(S)}{V_c(S)} = \frac{K_0}{S} \quad (2-51)$$

DDS 的传递函数为：

$$N(Z) = \frac{\theta_o(Z)}{V_c(Z)} = \frac{K_0 Z^{-1}}{1 - Z^{-1}} \quad (2-52)$$

典型的一阶模拟环路滤波器的传递函数为：

$$F(S) = \frac{1}{S} \frac{k_2 S + 1}{k_1} \quad (2-53)$$

通过双极性变换可以得到数字环路滤波器的传递函数为：

$$F(Z) = K_1 + \frac{K_2}{1 - Z^{-1}} = \frac{(K_1 + K_2) - K_1 Z^{-1}}{1 - Z^{-1}} \quad (2-54)$$

式中 $K_1 = \frac{k_2}{k_1} - \frac{T}{2k_1}$ ， $K_2 = \frac{T}{k_1}$ ， T = 取样时间。

理想二阶锁相环的模拟传递函数为：

$$H(s) = \frac{2\xi\omega_n s + \omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2} \quad (2-55)$$

其中： ω_n 为环路带宽（角频率）； ξ 为阻尼系数。

电路形式为：

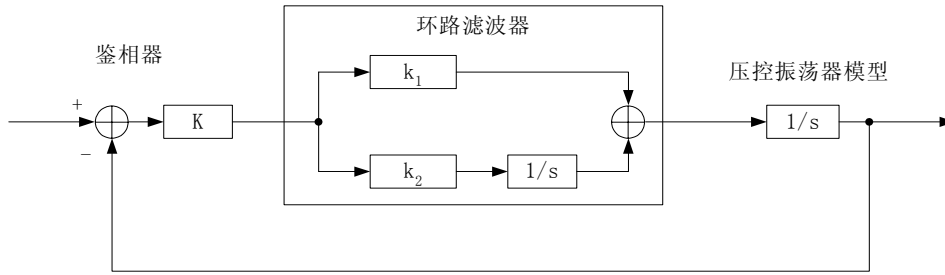


图 2-12 模拟二阶锁相环

其中， k 为鉴相器增益。参数 k_1 和 k_2 计算公式为：

$$\begin{cases} k_1 = 2\xi\omega_n / K \\ k_2 = \omega_n^2 / K \end{cases} \quad (2-56)$$

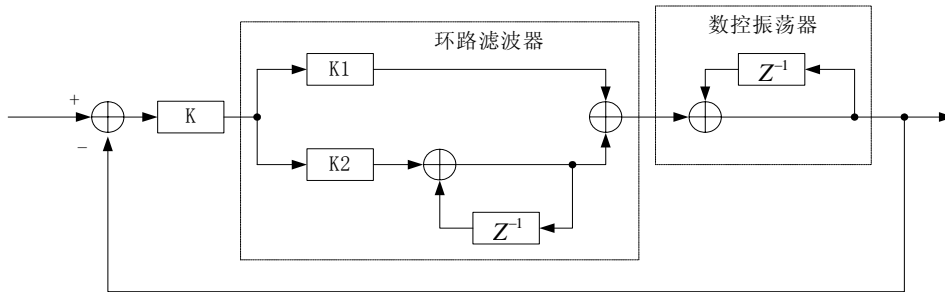


图 2-13 数字二阶锁相环

参数 K_1 和 K_2 计算公式为：

$$\begin{cases} \omega'_n = \omega_n / F_s \\ K_1 = 2\xi\omega'_n / K \\ K_2 = (\omega'_n)^2 / K \end{cases} \quad (2-57)$$

其中， ω_n 为环路带宽（角频率）； F_s 为采样率，单位为 Hz。在 $F_s \gg \omega_n$ （1000 倍以上）的情况下，此数字二阶锁相环与理想二阶锁相环等效。

环路的噪声性能可以用噪声带宽来衡量，噪声带宽越小，则对噪声的抑制能力越强。

$$B_L = \frac{\omega_n}{2} \left(\xi + \frac{1}{4\xi} \right) \quad (2-58)$$

一般情况下， F_s 和 K 总是确定的，所以设计锁相环，最重要的工作是选择合适的参数 ω_n 和 ξ ，这两个参数完全决定了锁相环的性能。

ω_n 决定了环路的捕获带宽和锁定后的稳定度。 ω_n 越大，则捕获带越宽； ω_n 越小，则锁定后的稳定度越好。这两者往往是相互矛盾的，一般的做法是，先使用较大的 ω_n

值，以获得较大的捕获带宽和较快的捕获速度；待环路锁定后，再使用较小的 ω_n 值以获得好的稳定度。

参数 ξ 如果太小，则环路收敛时间较长； ξ 太大，则环路可能会出现振荡。而且由（2-58）也可以看出， ξ 太大或太小都不利于对噪声的抑制性能。 ξ 的取值范围一般 $\sqrt{2}/2$ 与 $\sqrt{2}$ 之间。

第三章 数字调制解调的算法实现

3.1 调制解调的整体设计

我们在整体设计部分主要考虑功能模块的划分，功能及性能指标的实现，和 FPGA 资源的分配与使用。由于要实现的解调方式众多，而相对来说硬件资源有限，不可能简单的把每种调制解调方式都完全累加起来在 FPGA 中实现。而整体设计中 FPGA 资源主要体现在各个模块之间的通用与复用，由于采用统一的 I/Q 调制解调，实现结构大体一样，合理的模块划分设计将会极大的方便各个模块之间的通用与复用，从而有效的利用 FPGA 资源。

3.1.1 整体结构优化

对于调制设计，我们采用 I/Q 调制器将载波调制到 70M 的中频信号上，I/Q 两路基带信号由 FPGA 直接产生，其结构参照图 2-1。

对于解调设计，对基带信号处理，AM 解调需要做模运算 $\sqrt{X_I^2(n) + X_Q^2(n)}$ ，FM 解调需要做进行反正切运算 $\arctg[X_Q/X_I]$ ，这些操作在 MPSK 解调是同样需要。而对于 MPSK 中各种解调来说想基带混频器，各种低通滤波，抽取都是可以通用的，区别主要在于判决，各种锁相环的鉴相部分。所以只要处理好模块的通用性问题，模块复用的余地很大。

我们首先从满足最复杂的 MPSK 解调考虑。MPSK 解调的基本结构：DDS 混频，然后再低通滤波、成型滤波，由 CORDIC 提供载波相位，通过二阶锁相环路实现载波同步，同样符号同步也由二阶锁相环路实现。在实际工程中还包括 AGC（自动增益控制）的设计。AGC 需要模运算 $\sqrt{X_I^2(n) + X_Q^2(n)}$ ，载波鉴相需要反正切运算 $\arctg[X_Q/X_I]$ ，这与 AM、FM 解调需求一致。

所以本设计共有三个反馈环路：载波反馈环路、码元同步反馈环路和 AGC 反馈环路，而且三个环路相互交错。MPSK 三个环路都需要，AM 可以利用载波反馈环路，FM 可以利用 AGC 反馈环路，这样只需要 MPSK 的资源基本上就能够实现这几种解调方式。上述结构主要在一块 Xilinx 的 Virtex II 芯片 xc2v2000 上实现。其中前两个为数字锁相环是实现数字解调的关键。

所以 AM 的整体解调模块图为：

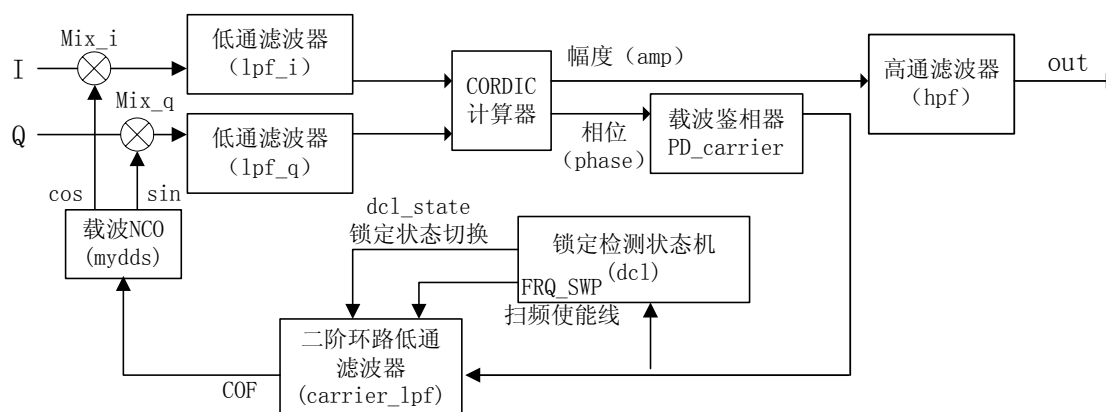


图 3-1 AM 解调框架图

其中 I/Q 输入是存在载波频差和相位偏差的基带信号。

FM 的整体解调模块稍有差别，但大体相同：

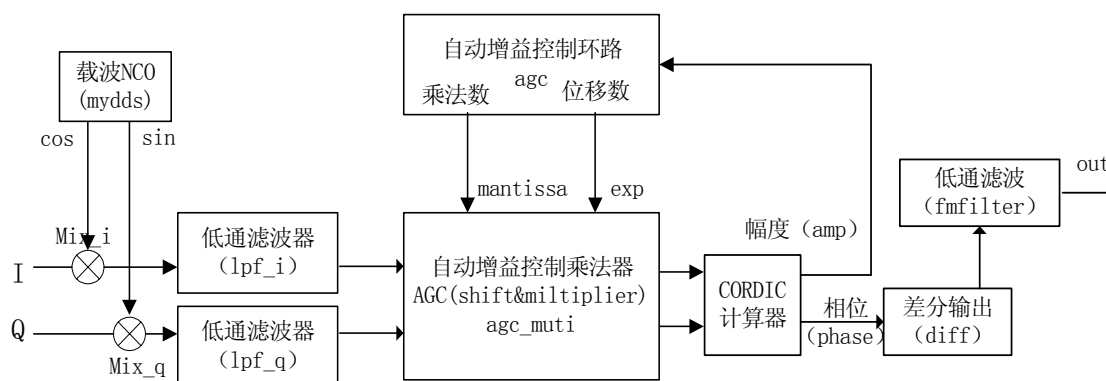
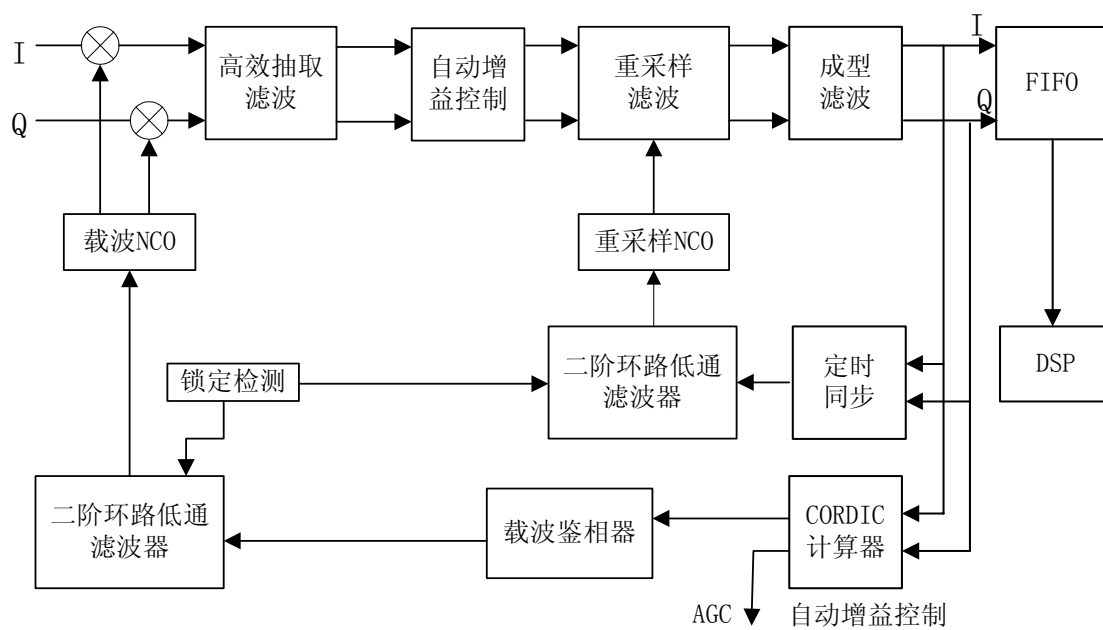


图 3-2 FM 解调框架图

MPSK 除了输出不同和后端的滤波器不同外，基本包含 AM，FM 的所有模块：



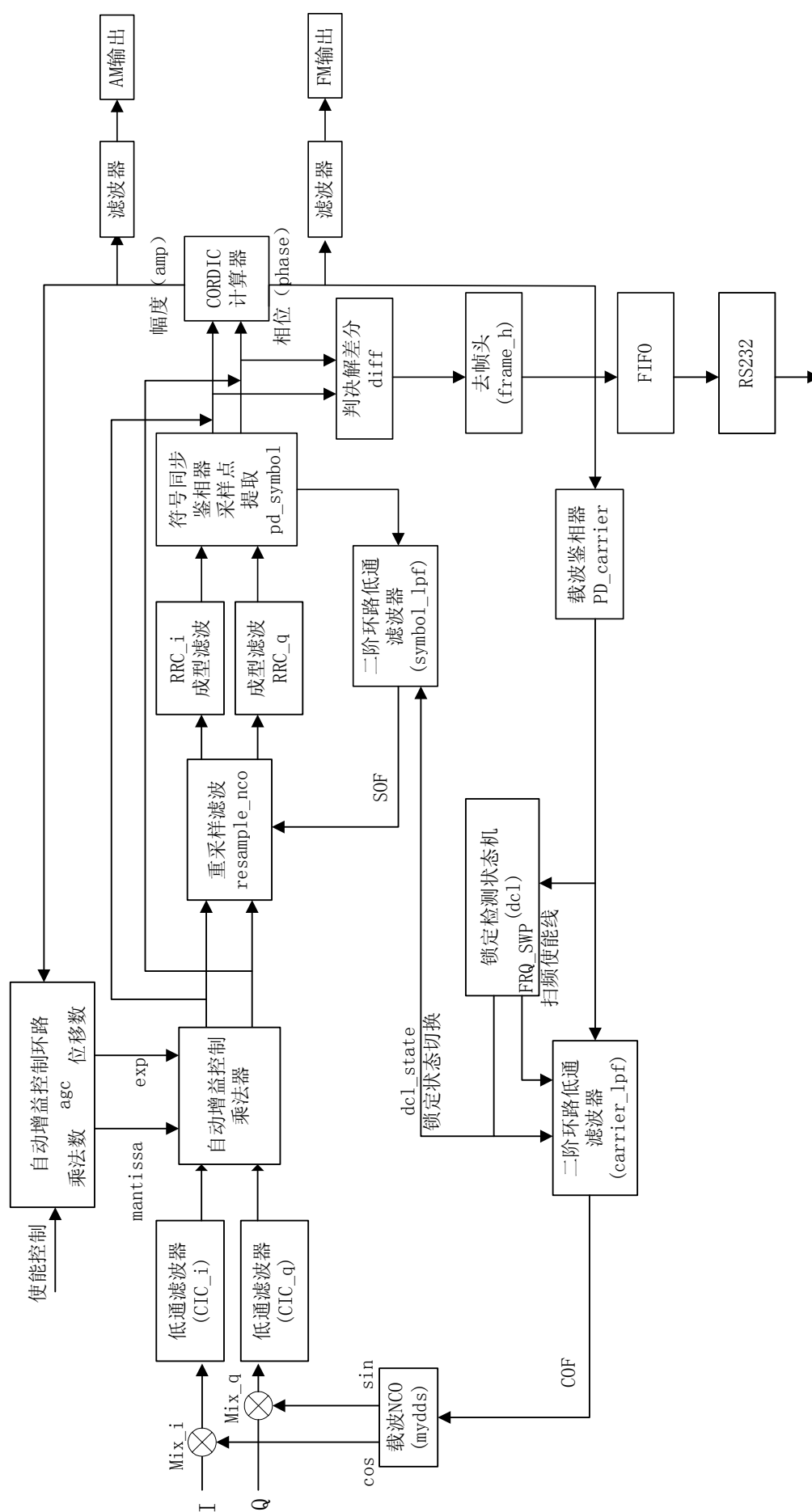


图3-4 总体解调框图

结构优化前 AM 占用 FPGA 资源情况为 20%，FM 占用 FPGA 资源情况为 18%，MPSK 为 25%，把这几种解调方式优化整合在一起总共资源占用 39% 左右。这为解调后的各种处理富余出了大量的资源，可见结构优化效果明显。

3.1.2 控制寄存器与接口定义

软件无线电的特点就是对硬件的依赖程度很小，具有高度的开放性、灵活性和可编程性。所以在程序设计过程中要考虑程序的通用性和可配置性，具体体现在可以适应不同载波频率、不同符号速率，和不同输出要求等，对于锁相环的性能调节也设置了可配置参数寄存器满足不同的信噪条件。

下表为各种控制寄存器及其简单说明：

控制寄存器名	位数 (bit)	说明
SAMP_FRQ_REG	32	本地载波频率配置控制字
NCO_CENTER_FRQ	32	重采样控制字，可以用来调节符号速率
AGC_LIMIT	16	AGC 中的阈值，载波幅度自动调节到该值附近。
AGC_SCALE_E	4	自动增益控制中调节速度控制
INTEGRATION_COUNT_ACQ	10	捕获状态下的计数次数
INTEGRATION_COUNT_TRK	10	跟踪状态下的计数次数
LOCK_ACC_ACQ	16	捕获状态下累加器初始值
LOCK_ACC_TRK	16	跟踪状态下累加器初始值
LOCK_VERIFY_LENGTH	4	验证状态下验证次数
CPH_OFFSET_REG	12	载波相位偏移角度（调整星相图位置）
CPH_SHIFT_REG	2	载波相位位移角度（调整星相图位置）
CPF_LEAD_E_ACQ	5	载波环低通滤波器捕获状态下 lead 路增益
CPF_LEAD_E_TRK	5	载波环低通滤波器跟踪状态下 lead 路增益
CPF_LAG_E_TRK	5	载波环低通滤波器跟踪状态下 lag 路增益
CPF_SWEEP_RATE	32	载波环捕获状态扫频间隔
CPF_ACC_UPPER	32	载波环频偏上限
CPF_ACC_LOWER	32	载波环频偏下限
SYMBOL_LEAD_E_ACQ	5	位同步环捕获状态下 lead 路增益
SYMBOL_LAG_E_ACQ	5	位同步环捕获状态下 lag 路增益
SYMBOL_LEAD_E_TRK	5	位同步环跟踪状态下 lead 路增益
SYMBOL_LAG_E_TRK	5	位同步环跟踪状态下 lag 路增益
CONTROL_REG	32	控制解调模式，输出模式

表 3-1 各种控制寄存器及其简单说明

我们使用的 FPGA(XC2V2000)有 575 个外部 I/O 管脚，可利用的 I/O 也相当充足，外部资源有 LED，一个显示载波锁定，一个显示帧同步。输入信号为含有频偏和相偏

的基带信号。I/O 定义如下表：

信号标记	信号名称	输入/输出	位数	说明
I_CH_IN	I 路数据	输入	16 比特	
Q_CH_IN	Q 路数据	输入	16 比特	
I_CH_OUT	I 路数据	输出	16 比特	可配置为 AM,FM 输出
Q_CH_OUT	Q 路数据	输出	16 比特	可配置为 AM,FM 输出
RESET	复位	输入	1 比特	高电平有效
FRAME_LOCK	帧同步指示	输出	逻辑	高电平表示有效
LOCK_IND	同步锁定指示	输出	逻辑	高电平表示锁定
DATA_OUT	串口数据输出	输出	1 比特	
PARAM_IN	参数输入	输入	16 比特	
PARAM_EN	参数输入使能	输入	逻辑	
PARAM_ADDR	参数输入地址	输入	5 比特	

表 3-2 外部 I/O 定义

3.2 载波同步环路实现

载波同步环路的功能是使本地载波频率和相位与接收到信号的载波频率和相位一致。载波同步系统的主要性能指标是高效率和高精度。所谓高效率就是为获得载波信号而尽量少消耗发送功率。用直接法提取载波时，发端不专门发送导频，因而效率高；而插入导频法时，由于插入导频要消耗一部分功率，因而系统的效率降低。所谓高精度，就是提取出的载波应是相位尽量精确的相干载波，也就是相位误差应该尽量小。相让误差通常由稳态相差和随机相差组成。稳态相差主要是指载波信号通过同步估计提取电路以后，在稳态下所引起的相差；随机相差是由于随机噪声的影响而引起同步信号的相位误差。实际的同步系统中，由于同步信号提取电路的不同，信号和噪声形式的不同，载波同步系统的性能除了高效率、高精度外，还要求同步建立时间快、保持时间长等。

我们的载波同步环采用的是根据第二章介绍的锁相环结构，主要由鉴相器、环路滤波器和数控振荡器(NCO)构成，在工程实现中为了扩大捕获带宽，还包括扫频模块，下面主要介绍一下具体实现。

3.2.1 载波相位差错检测（鉴相）

由上面的整体设计结构图中（图 3-3、图 3-4）可以看出，CORDIC 计算器可以得出载波的相位。但是 MPSK 是通过相位来承载信息的，不同的码元载波相位就不同，

所以要对载波相位做一些处理才能得出载波相位差错。以 QPSK 为例，假设其星相图相位为 45° 、 135° 、 225° 、 315° ，那么得出载波相位为这几个值时，载波相位差错输出都应该为 0。由于要适合多种 PSK 调制方式，并且算法要适宜于 FPGA 的实现，所以在设计算法时充分考虑通用性与可配置性，并且尽量通过位移和加法实现。

载波相位差错是通过去除 CORDIC 相位输出的相位调制得到的，为了消除相位调制，相位项经过旋转并以模 2π 的乘法将误差折入以 0° 为中心的整个角平面。以 QPSK 为例，我们把载波相位偏移 45° ，再乘 4 取模就得相位误差，然后再送入环路滤波器处理。

$$\begin{aligned} & (\theta - n \times 90^\circ - 45^\circ) \times 4 \% 180 \\ & = (\theta - 45^\circ) \times 4 \% 180 \\ & n = 0, 1, 2, 3 \end{aligned} \quad (3-1)$$

具体实现如下图 3-5 所示，通过加上 12bit 的相位偏移到 12bit 的相位实现相位旋转（旋转 45° ）乘 4 通过向左位移两位实现，相位取模通过丢弃高位实现。这时相位调制被去除，而且误差折入以 0° 为中心的 90° 范围内。

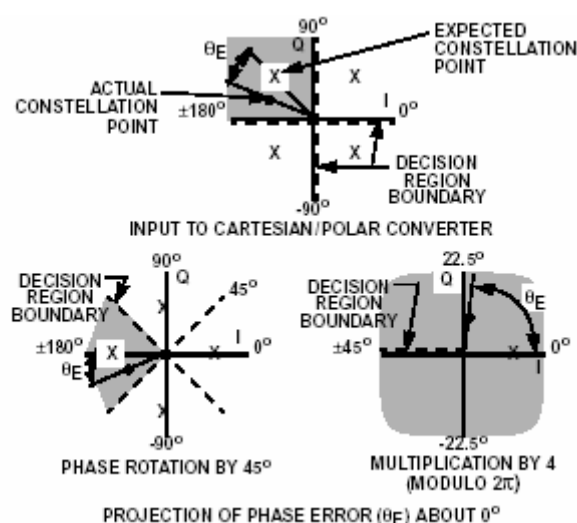


图 3-5 MPSK 鉴相 (QPSK)

这种设计可以满足不同的 PSK 要求，只需要修改不同的相位偏移和位移因子。具体配置见下表：

调制类型	相位偏移	移位因子	相位误差范围
CW	0°	0 (无移位)	$\pm 180^\circ$
BPSK	0°	1 (左移 1 位)	$\pm 90^\circ$
QPSK	45°	2 (左移 2 位)	$\pm 45^\circ$

8PSK	22.5°	3 (左移 3 位)	$\pm 22.5^\circ$
------	-------	------------	------------------

表 3-3 相位误差检测参数设置表

3.2.2 载波环路滤波

载波环路滤波器是一个二阶超前/滞后滤波器，滞后累加器输出与由超前增益加权后的采样误差相加作为频率项输出项。它与第二章所介绍的数字锁相环环路低通滤波器结构基本一样。所不同的是在滞后路累加器做了一个限幅器保持频率跟踪在所定义的范围内，这样我们就能限定频率偏差范围从而避免出现错锁。一般频率偏差范围 $x < rate_{symbol}/n$ ，(BPSK: $n=2$, QPSK: $n=4$)，这是为了防止由于频率偏差所造成的在单位码元时间内相位差正好为 MPSK 相邻相位差的整数倍。

另外为了扩大捕获带宽，在载波环路滤波器的滞后路添加了扫频模块。扫频模块用以在载波捕获阶段搜索不确定的载波范围。当扫频功能有效时，扫频模块将一个可编程的值加入载波环路滤波器的滞后支路。扫频值由环路滤波器的滞后累加器累加从而产生间于累加器上下限的扫频效果。通过载波环路滤波器上下限设置，可以设定频率扫描跟踪范围。频率扫描步长太大或太小都不利于载波快速捕获。一旦环路锁定，扫描就停止以避免不必要的增强相位抖动。

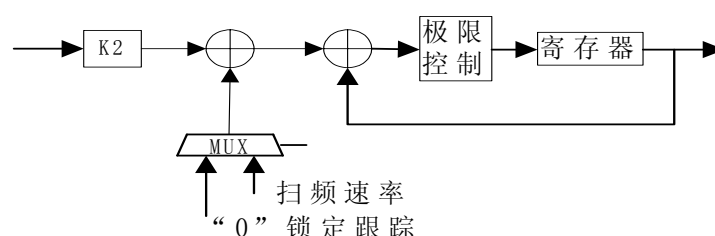


图 3-6 载波环路滤波器滞后路结构图

为了有效地对二阶环路进行控制和方便地改变环路参数，数字 PLL 的环路滤波单元采用了两个并行的滤波器：一个为 LEAD 滤波器，它直接利用 LEAD 增益参数加权鉴相误差信号生成 NCO 校正参数，这时的系统有最快的响应。另一个为 LAG 滤波器，它在利用 LAG 增益加权鉴相误差信号后，通过一个低通滤波器（累加器）生成 NCO 的校正参数，利用 LAG 参数控制 PLL 系统时由于 LAG 滤波器采用了累加器，因此系统的跟踪性能更平稳。因此，通过 LEAD 支路的使能和调整 LEAD 增益与 LAG 增益可以方便地控制环路的跟踪和捕获性能以及环路的噪声性能。当要进行扫频以捕捉载频时，关闭 LAG 支路，这时环路有最大的捕捉带宽，能快速与载波同步；当环路已经锁定后，打开 LAG 支路，这时环路噪声带宽减小。这两个参数的计算可以根据

对应的模拟环路推出，这里给出相应的结果。当环路要求的环路带宽 B_L 和衰减因子 ξ 给定后，可以求出对应的 LEAD 增益 G_{LEAD} 和 LAG 增益 G_{LAG} （为方便用数字形式表示，将环路带宽 B_L 表示成归一化环路带宽 $F = B_L/R$ ， R 为符号率）

$$\begin{aligned} G_{LEAD} &= \frac{4FR/f_{SA}}{2\pi K_D \left[1 + (4\xi^2)^{-1} \right]^2 N} \\ G_{LAG} &= \frac{(4F)^2 (R/f_{SA})}{2\pi K_D \left[1 + (4\xi^2)^{-1} \right]^2 (1 + 4\xi^2) N} \end{aligned} \quad (3-2)$$

式中 N 为相位误差的积分时间。

3.3 符号同步环路实现

符号同步的目标是通过调整基带采样频率来提取用于数据判决的最佳采样点，符号同步环路中的关键要素在于定时偏差检测器和符号环路跟踪滤波器。定时偏差检测器检测当前样值时刻与最佳判决时刻间的偏差，经过环路滤波器后调节插值数控振荡器，通过负反馈的作用，逐步减小样值时刻和最佳判决时刻间的偏差，使得从插值器输出的样值与最佳判决时刻的信号样值基本相等。

3.3.1 定时偏差检测器

在第二章的 MPSK 解调算法中已经论证了采用直接判决法的可行性，现在我们主要讲直接判决法的实现。I/Q 两路信号经过多次抽取，其速率已降到两倍码元速率，码元相位检测输出只有在 I/Q 路出现对称变化是才有，但是检测值经过低通滤波后一直存在寄存器中直到新的相位检测信号出现。采样误差检测器是一个基于判决的误差检测器，它由 I 和 Q 两路数据得出采样误差。该检测器假设输入的信号是在码元中点和码元终点上。采样误差是码元中点采样和码元转移中点之间的距离的衡量。码元转移中点是前后两个采样判决的平均值点，检测器通过比较码元终点和选定的门限得到码元采样判决。误差项由码元转移中点减去码元中点采样得到，它的符号在前后采样点是负斜率时要取反。当不存在码元转移时，误差检测器输出置零。当选择了双路误差检测时，I 路和 Q 路的误差相加除二。I/Q 通路上基带采样跟踪误差示意图（BPSK/QPSK）如下图 3-12 所示：

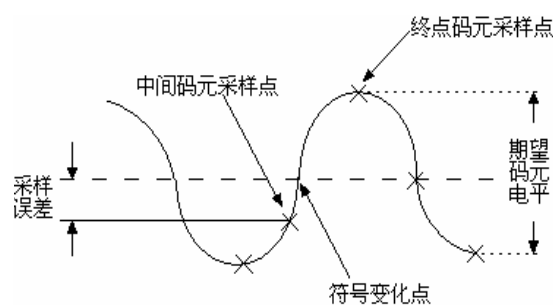


图 3-12 I/Q 通道基带定时偏差检测示意图

下图为具体实现结构框图：

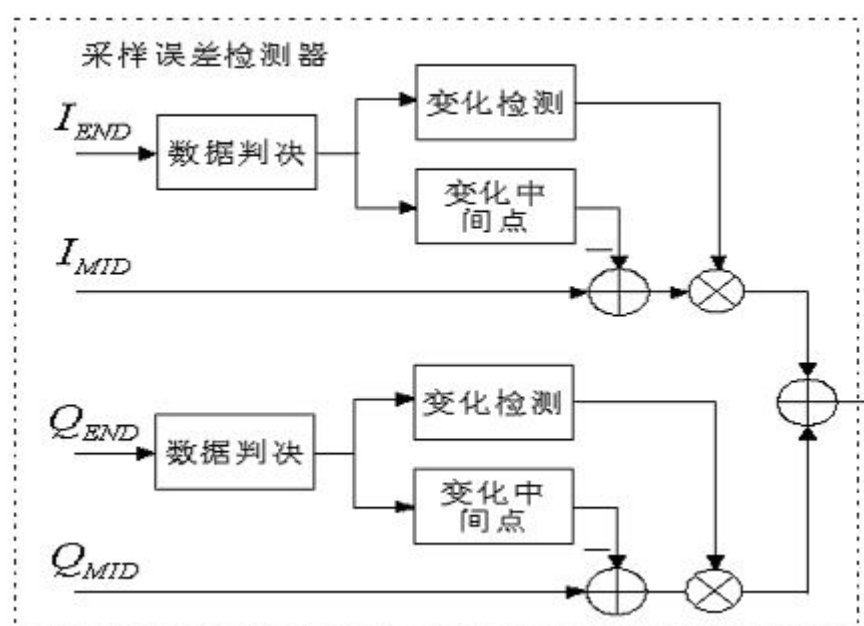


图 3-13 基带定时偏差检测结构图

对于 8PSK 的码元同步，由于 8PSK 的码元幅度带有信息量，我们将码元幅度分成四部分，I/Q 两路只有在对称部分之间发生变化时才有码元相位检测输出。

3.3.2 环路滤波与重采样

环路的符号跟踪也采用了类似载波跟踪环的结构。码元同步反馈环路的环路滤波器除了不存在频率扫描外，与载波环路的滤波器基本相似。都分捕获和跟踪两种状态，两种状态的改变由下属的锁定检测单元控制，其基本参数计算方法也一样。

重采样 NCO 和载波 NCO 结构也基本相似，只是在输出上有所不同。重采样 NCO 不包括 SIN/COS 部分，而输出的是采样脉冲。

3.4 自动增益控制 (AGC) 环路实现

AGC 单元可以对那些已滤除大信号和带外噪声的小信号提供增益补偿, 以确保小信号在重采样/内插半带滤波器及输出模式控制单元中具有足够的位分辨率。符号的判决, 定时偏差检测等模块对信号的功率都非常敏感, 另外载波相位检测也需要足够的位分辨率, 而在实际的短波通信中信号的衰落问题很严重。所以自动增益控制的性能好坏对解调性能好坏起着很重要的作用。它的功能在于调节三个信号水平:

- (1) 最小化的动态范围。
- (2) 对信噪比进行补偿。
- (3) 使输入软判决的信号保持良好。

下图为整个 AGC 设计的结构示意图:

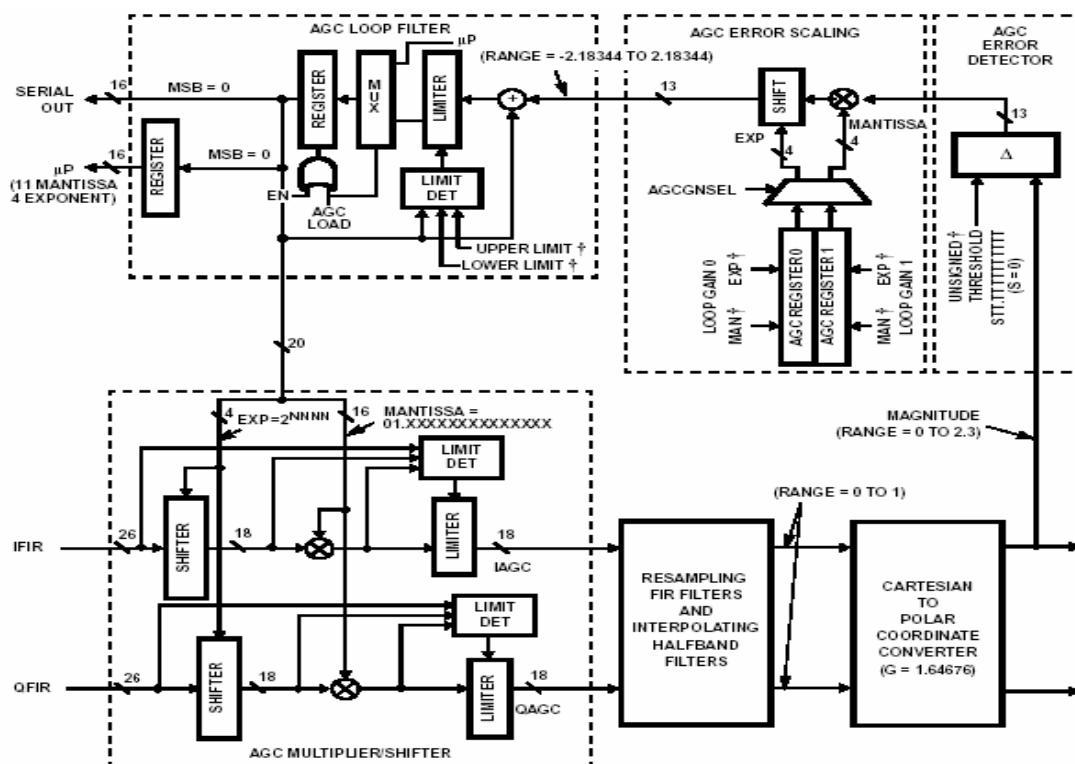


图 3-15 AGC 结构图

AGC 误差检测器的作用是通过 CORDIC 器输出的幅度值与可编程的 AGC 门限值之差而得到误差信号。不同的信号被分级 (通过乘法器和移位器进行增益调节), 然后通过环路滤波器滤波 (积分), 在乘法器中产生 I 路和 Q 路信号的增益修正, AGC 的反应速率由环路滤波中的增益控制决定。

AGC 的最重要的两个要素是补偿范围和反应速率。

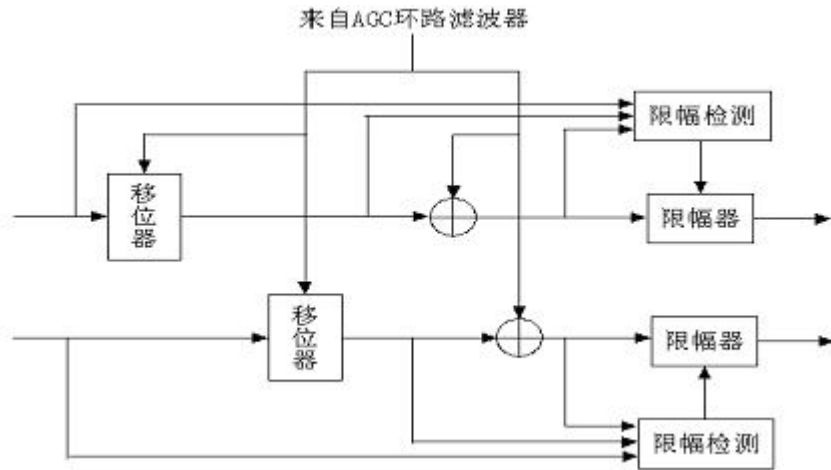


图 3-14 AGC 乘法器/位移器部分简单结构图

普通的乘法器提供的增益补偿相当有限，如果相乘后从最高位截取信号将得不到所需要得增益补偿，只能通过位移和乘法共同来补偿。而在用二进制补码表示的情况下，进入的小信号的有效位主要集中在低位，如果先乘再位移的话将会损失低位实际有效信号。所以如图 3-14，我们在设计的乘法器的时候将乘数分为位移数和乘数两部分，先位移再进行乘法。

在实际设计中，我们用 4bit 表示位移数，用 16bit 表示乘法数，这样位移器能提供的增益为 $20\log_{10} 2^N = 90.31dB$ ， $N = 1111_2 = 15$ ，位移器所提供的增益的步进为 $20\log_{10} 2 = 6.021dB$ 。乘法器提供附加的 $6.0204dB = 20\log_{10}[1 + (X)2^{-15}]$ 增益，它的步进为 $0.0338dB$ 。如果我们单用乘法器实现的话需要 $16+16=32$ 位乘法器，对于只有 18×18 硬件乘法器的 FPGA 来说，这将耗费极大的资源。AGC 增益公式如下：

$$Gain = 2^N [1 + (X)2^{-15}]$$

$$\text{或者 } Gain(dB) = 20\log_{10}(2^N [1 + (X)2^{-15}]) \quad (3-3)$$

接下来在工程上需要解决的问题是怎样将一个 30 位的二进制乘数转化为 4 位二进制位移数和 16 位二进制乘数。设 30 位的二进制乘数为 M ，代入到 (3-3) $M = 2^N [1 + (X)2^{-15}]$ ，因为 $[1 + (X)2^{-15}] < 2$ ，故可得 $N = \lceil \log_2 M \rceil$ ，在二进制数的情况下该式表示 N 为小数点前最高位的位数， X 为从次高位起 15 位的数值。

AGC 的反应速率是 AGC 的另一个重要指标，为了保持灵活性使设计能够适应不同的信道要求，在这里 AGC 的反应速率是可以设置的。它的配置通过配置环路滤波器中的增益来改变反应速率。由于是数字实现，数字 AGC 与模拟 AGC 有所区别。数字 AGC 在每次采样时才改变增益，所以它的单位为 dB/sample。

3.5 锁定检测控制实现

锁定检测控制确定捕获和跟踪两种状态，它由载波相位误差控制，在一定周期内载波相位误差之和的大小决定捕获和跟踪状态的切换。为了防止意外错锁的发生和突发噪声的影响，我们在捕获和跟踪之间加入了校验状态，满足捕获条件后进入校验状态，频率扫描停止，如果继续多次满足捕获条件才进入跟踪状态^{[23][24]}。

锁定检测器由静态计数器、积分计数器、相位误差累加器、错锁/频率累加器、增益误差累加器和锁定检测状态机组成。锁定检测器的功能是监视基带符号并且判断载波环路是否锁定输入信号。基于入锁和出锁判决，在载波跟踪环路、符号跟踪环路和锁定检测器自身中选择捕获或跟踪常数。锁定检测器可以使用状态机控制模式来配置，自动决定“锁定”，也可以通过单片机控制模式控制捕获/跟踪过程。当处于状态机控制模式时，锁定检测器的状态机监视相位误差累加器和错锁累加器的输出来决定锁定检测器状态。累加器有效地平均相位误差和错锁次数以减少它们的不一致。锁定是通过预先决定的超过多于 1025 个符号间隔（积分时间）的相位误差的幅度进行相加而得到的。当载波环路锁定后，相位误差累加器的累加器积分周期结束。在锁定检测开始时，相位误差累加器和积分计数器载入它们各自的预设值。在每一末尾采样比特，相位误差累加器加上当前相位误差的幅度，同时积分计数器的值减 1。锁定检测器状态机监视相位累加器和积分计数器输出的溢出 bit。如果相位累加器在积分计数器归零之前出现溢出，那么累加的相位误差对于载波跟踪环路来说太大而不能入锁，锁定检测器状态机进入搜索状态。在搜索状态，环路参数重载为“捕获”值。当相位累加器溢出或当积分计数器归零，积分计数器和累加器重新使用，该过程重新开始。积分计数器预设置对应于超过积分的符号数。预设置的相位误差对应于相位累加器开始到溢出时距离。此距离被与平均相位误差相等的积分周期划分。预置值由下式决定：

$$P_{r e l o a d} = F u l l s c a l e - \left(\frac{L o c k \ T h r e s h o l d}{F u l l \ S c a l e \ P h a s e} \times 128 \times I n t e g r a t i o n \ C o u n t \right) \quad (3-4)$$

式中 $F u l l \ s c a l e = 2^{18} - 1$

$F u l l \ s c a l e \ p h a s e = 90^\circ (\text{BPSK}); 45^\circ (\text{QPSK}); 22.5^\circ (8\text{PSK})$

$L o c k \ T h r e s h o l d < 11.25^\circ (8\text{PSK})$

$I n t e g r a t i o n \ C o u n t =$ 在符号周期内测出的积分周期。

错误锁定检测器是用来在高信噪比环境下指示错误锁定的方波数据。错锁检测是

通过监测积分和清除滤波器 Q 路分支的细微积分步骤决定的。如果积分幅度高于符号周期的一半但小于符号周期时，达到错锁状态。通过把占用整个积分周期的错锁的数目相加，锁定检测状态机决定是否存在错锁环境。错锁累加器是用来把整个积分周期内可能出现的错锁数目相加起来，同时也可配置为把频率误差检测器的输出相加。

为了用于步进捕获，使用了静态计数器。在这种模式下，载波环路滤波器内的前向累加器在每一个积分检测周期后均到达一个新的频率点。静态计数器的作用是延长锁定累加器的积分时间，直到环路重新稳定。

捕获和跟踪模式是由内部状态机或外部的单片机控制的。内部状态机监控相位误差累加器的滚降和与积分累加器有关的错锁累加器。环路滤波器和锁定检测累加器的参数首先依据是否为累加器或计数器滚降来决定的。同时，状态机控制输入载波跟踪环路的扫频。作为实用的接收机，需要具备系统控制能力来完成调台，环路锁定检测等功能。在接收机进入正常工作模式后，还要评估当前的状态，以确定系统是否失锁或错锁。系统的控制状态机工作如下图所示：

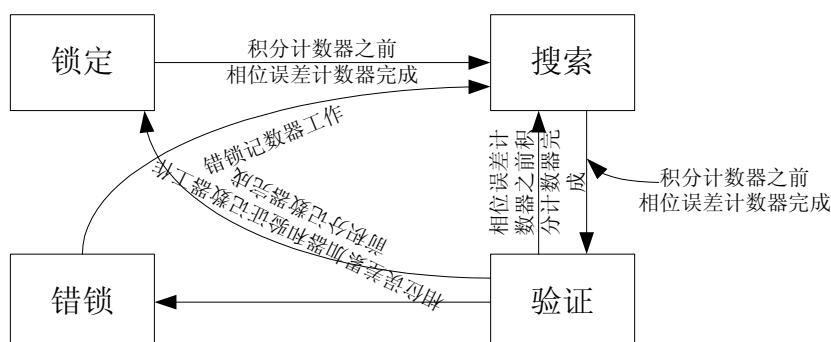


图 3-15 捕获/跟踪状态图

捕获/跟踪工作时，首先完成有关工作寄存器配置，然后系统进入搜索（Search）状态，如果在规定的时间内载波跟踪环路的相位误差积累不超过门限，可以认为系统找到了载波，进入验证状态（Verify）。在经过一定时间验证后，如果误差超过门限，则重新回到搜索状态，否则进入到锁定状态。这时，如果工作在高信噪比环境时，接收机可能进入错锁，因此系统控制单元要检测是否进入错锁。（通过检测在半个符号间隔内的基带信号的积分是否超过一个符号间隔内基带信号的积分）在正确锁定后，如果锁定积累误差超过门限值，解调器重新进入搜索状态。

第四章 基于 FPGA 实现的优化设计

在第三章中讨论的自动增益控制（AGC）环路实现将比较大的乘法器转化为位移与比较小的乘法，如果我们单用乘法器实现的话需要 $16+16=32$ 位乘法器，优化后只需要 4bit 表示位移数，用 16bit 表示乘法数。用这种类似浮点数的方法去实现乘法就是针对明确的目标所做出的有效的优化算法。

由上面的例子可知 FPGA 和其他通用 DSP 以及软件编程相比，在处理方式上和设计编程上有很大的区别，从硬件资源上来说 FPGA 芯片由底层可编程硬件单元，Block Ram 资源，布线资源，可配置 IO 单元，时钟资源等构成。底层可编程硬件单元一般由触发器（FF）和查找表（LUT）组成，FPGA 规模大，频率高，寄存器、触发器资源多，在现代数字系统中比较适合实时性要求高，频率快的系统。从数据处理方面来说它更强调数据的平行处理和流水线处理并且有更强的灵活性和可编程型，所以 FPGA 在定点并行数据处理方面有很大的优势。从实现结构上来讲，FPGA 更类似于硬件的各种组合逻辑与寄存器实现（主要是 RAM 与寄存器实现），所以对于各种复杂的计算，FPGA 直接综合支持很差，这就需要编程设计的时候就从硬件设计的角度考虑。

而且 FPGA 的设计还要考虑资源以及频率的问题，也称面积和速度的问题，FPGA 的资源是指可以用所消耗的触发器(FF)和查找表(LUT)以及在 FPGA 中集成的 RAM、硬件乘法器等来衡量，“速度”指设计在芯片上稳定运行，所能够达到的最高频率，这个频率受设计的时序状况影响，和设计满足的时钟周期，PAD to PAD Time, Clock Setup Time, Clock Hold Time, Clock-to-Output Delay 等众多时序特征量密切相关。面积和速度的互换是 FPGA/CPLD 设计的一个重要思想。从理论上讲，一个设计如果时序余量较大，所能跑的频率远远高于设计要求，那么就能通过功能模块复用减少整个设计消耗的芯片面积，这就是用速度的优势换面积的节约；反之，如果一个设计的时序要求很高，普通方法达不到设计频率，那么一般可以通过将数据流串转换，并行复制多个操作模块，对整个设计采取“乒乓操作”和“串并转换”的思想进行运作，在芯片输出模块再在对数据进行“并串转换”，是从宏观上看整个芯片满足了处理速度的要求，这相当于用面积复制换速度提高，这些都针对不同算法要求有着不同的处理技巧。

FPGA 程序的设计要注意硬件的原则，这主要是针对 HDL 代码而言，首先应该明

确 FPGA/CPLD、ASIC 的逻辑设计所采用的硬件描述语言(HDL)与软件语言(如 C、C++ 等)是由本质区别的。以 Verilog HDL 语言为例,虽然 Verilog 很多语法规则和 C 语言相似,但是 Verilog 作为硬件描述语言,它的本质作用在于描述硬件。应该认识到 Verilog 是采用了 C 语言形式的硬件抽象,它的最终实现结果是芯片内部的实际电路。所以评判一段 HDL 代码的优劣的最终标准是:其描述并实现的硬件电路的性能(象面积和速度等)。片面的追求代码的整洁、简洁,这是错误的,另外,Verilog 作为一种 HDL 语言,是分层次的。比较重要的层次有:系统级(System)、算法级(Algorithm)、寄存器传输级(RTL)、逻辑级(Logic)、门级(Gate)、电路开关(Switch)设计等。系统级和算法级与 C 语言更相似,可用的语法和表现形式也更丰富。自 RTL 级以后, HDL 语言的功能就越来越侧重于硬件电路的描述。

本章的内容就是根据 FPGA 的特点和要实现的算法特点,介绍在实际设计中所采用的适合 FPGA 硬件实现的优化算法,下面的内容主要介绍 CORDIC 算法和滤波器的实现。

4.1 利用 CORDIC 计算特殊函数

在设计中经常有些特殊的函数需要实现,如果利用 FPGA 实现某种数字信号处理算法,并且算法使用了一个非普通的(超越)代数函数,象 $x^{\frac{1}{2}}$ 等,我们可以利用泰勒级数来近似这个函数,也就是^[7]:

$$f(x_0) = \sum_{k=0}^K \frac{df^{(k)}(x-x_0)}{dx} x^k \Big|_{x=x_0} \quad (4-1)$$

这样问题就化简成一系列的乘法和加法运算,在本次设计中也存在这类函数比如在上文中多次提到的模运算 $\sqrt{X_I^2(n) + X_Q^2(n)}$, 反正切运算 $\arctg[X_Q/X_I]$, 在校正基带信号频偏和相偏时的复数乘法器:

$$\begin{aligned} I_{OUT} &= I_{IN} \cos(\omega_c) - Q_{IN} \sin(\omega_c) \\ Q_{OUT} &= I_{IN} \sin(\omega_c) + Q_{IN} \cos(\omega_c) \end{aligned} \quad (4-2)$$

这些算法如果用普通的乘法和加法实现的话,不但程序相当复杂,所耗资源也相当可观,所以几乎没有可行性。一种更为有效的方法就是基于坐标旋转数字式计算机(Coordinate Rotation Digital Computer, CORDIC), CORDIC 由 J.Volder 于 1959 年提出,并首先应用于导航系统,使得矢量的旋转和定向运算不需要做查三角函数表、乘法、

开方以及反三角函数等复杂运算。该算法的基本思想是通过一系列固定的、与运算基数相关的角度的不断偏摆以逼近所需的旋转角度。由于其基本运算单元只有移位与加减法，这就为该算法的 VLSI 实现打下了良好的基础。

4.1.1 CORDIC 算法原理

CORDIC 是一种很适合 FPGA 的算法，它的主要思想是通过迭代实现向量的旋转，在不断的迭代中使某个量向所需要的目标收敛。由于 FPGA 擅长位移运算，加法运算，和查表法。所以 CORDIC 的做法是将 $\arctg(2^{-i}), i=1, 2, \dots$ 的值存起来，通过查表法来运算，之所以选择 $\arctg(2^{-i})$ 是因为在二进制中与 2^{-i} 进行乘法运算的实质是位移运算。

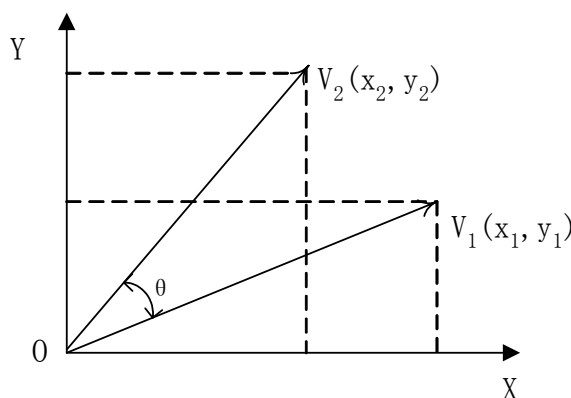


图 4-1 CORDIC 原理示意图

该算法的基本原理如图 4-1 所示，初始向量 V_1 旋转角度 θ 后得到向量 V_2 ：

$$\begin{aligned} x_2 &= x_1 \cdot \cos \theta - y_1 \cdot \sin \theta \\ y_2 &= y_1 \cdot \cos \theta + x_1 \cdot \sin \theta \end{aligned} \quad (4-3)$$

对 (4-3) 做一下变换有：

$$\begin{aligned} x_2 &= (x_1 - y_1 \cdot \tan \theta) \cdot \cos \theta \\ y_2 &= (y_1 + x_1 \cdot \tan \theta) \cdot \cos \theta \end{aligned} \quad (4-4)$$

为了在硬件上实现方便，作如下约定：每一次旋转的角度 θ 正切值为 2 的倍数。

即：

$$\theta_i = \arctg(2^{-i}) \quad (4-5)$$

$$\text{则 } \cos \theta_i = \sqrt{\frac{1}{1 + 2^{-2i}}} \quad (4-6)$$

并且约定以 δ_i 代表向量的旋转方向，+1 表示逆时针旋转，-1 表示顺时针旋转。故

第 i 步的旋转可用下式表示：

$$\begin{aligned} x_{i+1} &= (x_i - \delta_i \cdot y_i \cdot 2^{-i}) \cdot \sqrt{\frac{1}{1+2^{-2i}}} \\ y_{i+1} &= (y_i + \delta_i \cdot x_i \cdot 2^{-i}) \cdot \sqrt{\frac{1}{1+2^{-2i}}} \end{aligned} \quad (4-7)$$

$\sqrt{1/1+2^{-2i}}$ 称为模校正因子，对于字长一定的运算，它是一个常数，我们用 K 表示它。以 16bit 字长为例：

$$K = \prod_{i=0}^{15} \sqrt{\frac{1}{1+2^{-2i}}} \approx 0.607253 \quad (4-8)$$

这样可将输入数据 X, Y 校正后再参与运算，以避免在运算中增加校正运算。这样运算迭代式可以简化成：

$$\begin{aligned} x_{i+1} &= x_i - \delta_i \cdot y_i \cdot 2^{-i} \\ y_{i+1} &= y_i + \delta_i \cdot x_i \cdot 2^{-i} \end{aligned} \quad (4-9)$$

上式运算就只有加法或减法和移位了。所以，将所需产生的角度值作为 Z_0 输入，迭代结果输出 x_n 和 y_n 就是需要的三角函数值。采用的迭代方程组如下：

$$\begin{aligned} x_{i+1} &= x_i - \delta_i \cdot y_i \cdot 2^{-i} \\ y_{i+1} &= y_i + \delta_i \cdot x_i \cdot 2^{-i} \\ Z_{i+1} &= Z_i - \delta_i \cdot \arctg(2^{-i}) \end{aligned} \quad (4-10)$$

4.1.2 CORDIC 实现混频

输入 FPGA 的数据是下变频后的 I, Q 两路基带数据，由于存在频偏和相偏，所以需要再次混频，用以校频和校相。校正公式为 (4-2)，如果把 Q 路看成数据的虚部，这是一个复数乘法器，直接实现至少需要 4 个乘法器。但是从实际意义来看这就是将信号向量旋转一个角度，所以可以直接用 CORDIC 实现。实现方法是根据 (4-10) 将 Z_0 收敛到零。

按 J.Walther 提出的迭代序列：0, 1, 2, ..., n-1, 覆盖的角度只有 $-\pi/2 \sim \pi/2$ ，而一般都要求覆盖 $-\pi \sim \pi$ ，所以我们首先将信号直接旋转到第一、四象限，然后再开始迭代。系统采用流水线结构，总计有 16 级流水单元。首先存储以下角度序列：

$$\arctg(2^0) \approx 0.7853982$$

$$\arctg(2^{-1}) \approx 0.4636476$$

.....

$$\arctg(2^{-15}) \approx 0.0017485$$

实现 CORDIC 结构可以采用两种基本结构：较为简洁的状态机和高速全流水线处理器，如果计算时间不严格的话，就可以采用下图 4-2 所示的状态机。在每个周期内都将精确地计算一次（4-10）的迭代。这一设计中两个筒状移位器还可以简化成单一筒状移位器代替。

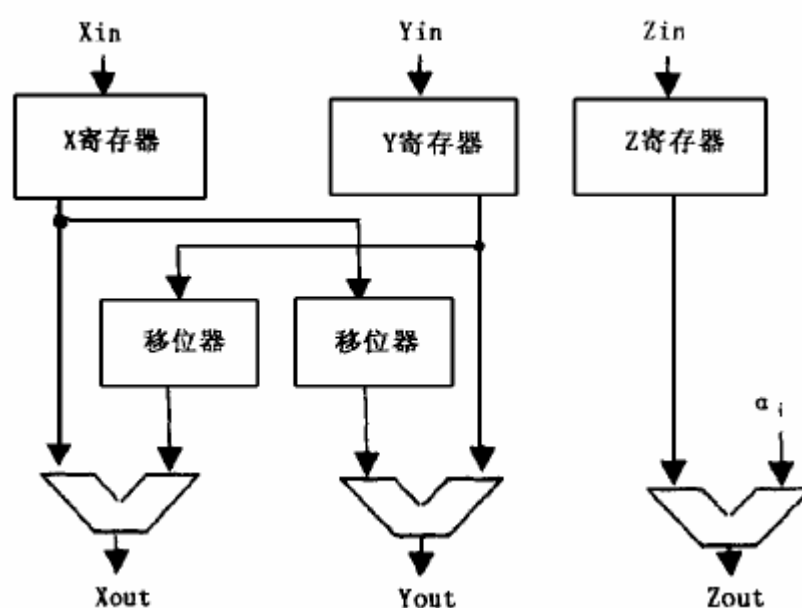


图 4-2 CORDIC 算法的基本单元结构

如果需要高速的话，就要采用高速全流水线处理结构，高速全流水线处理每一级的基本结构和图 4-2 相同，当把多个图 4-2 级连起来就形成了高速全流水线结构，如图 4-3：

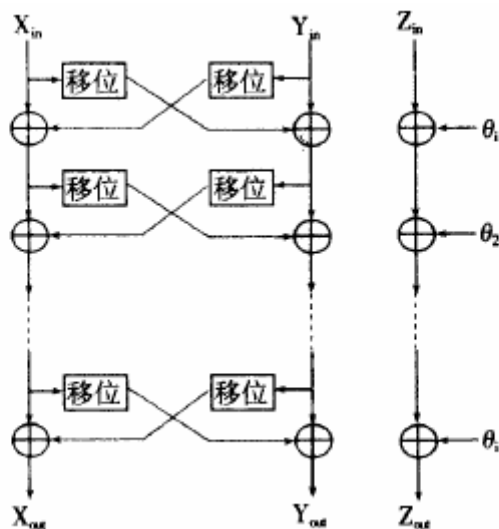


图 4-3 快速 CORDIC 流水线结构

这种方法实现的混频器，输入为 I, Q 两路和角度 θ 。输出为 I, Q 两路信号，采用的编码方式为二进制补码。

4.1.3 CORDIC 实现直角坐标到极坐标转换

CORDIC 实现相位校正主要是通过迭代将角度 θ 收敛到零，那么如果我需要得到信号的模的和相位的大小的话，同样可以通过迭代将 Y 收敛到零，这时 X 轴的幅值即为信号的模，收敛过程中角度的累加和就是相位值。如下图 4-4：

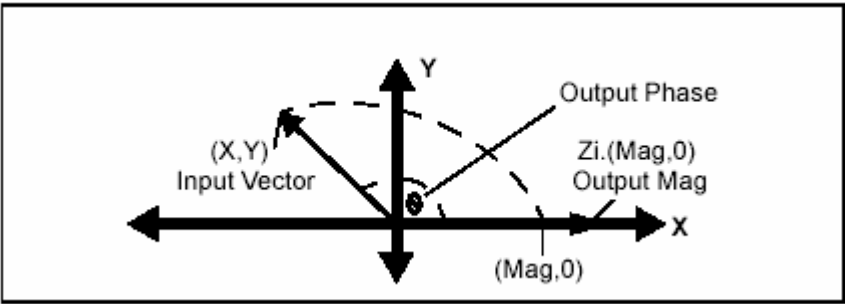


图 4-4 CORDIC 算法 Y 轴收敛示意图

CORDIC 的实现方法与上面所介绍的基本一样，输入为 X, Y 两路，输出为 X 和和角度 θ ，下面表格为输入输出的具体描述：

信号	描述	
X_IN	输入信号的 X 轴坐标	范围： $-1 \leq X_IN \leq 1$ ；
Y_IN	输入信号的 Y 轴坐标	范围： $-1 \leq Y_IN \leq 1$ ；
X_OUT	输出幅度 $Z \times \sqrt{x^2 + y^2}$	范围： $0 \leq X_OUT \leq \sqrt{2}$
PHASE_OUT	输出相位	范围： $-\pi \leq PHASE_OUT \leq \pi$

表 4-1 I/O 描述

在 CORDIC 算法原理中已经阐明需要对幅度进行修正，在这里 Z 的值为：

$$Z = \frac{1}{K} \approx 1.6468 \quad (4-11)$$

4.2 滤波器的设计实现

在解调过程中和解调后信号处理中，为了保证解调性能，我们设计了大量的滤波器，象低通滤波器，成型滤波器等。在数字系统中，滤波器的设计是数字信号处理的重要一环，关系到整个数字系统的性能好坏，因此在基于 FPGA 的数字系统中，滤波器的设计显得尤为重要。

数字滤波器有两种基本类型，有限冲激响应（FIR）滤波器和无限冲激响应（IIR）滤波器。IIR 滤波器存在非零反馈系数，由此存在极点，冲激响应一般无限，另外 IIR 滤波器具有非线性的相位特性；而 FIR 滤波器不存在反馈结构，由此不存在极点，冲激响应长度和滤波器抽头个数相同，可以保证滤波器系统的稳定性。FIR 滤波器可以一般的表达为差分方程：

$$y(n) = \sum_{i=0}^N a_i x(n-i) \quad (4-12)$$

式中， $x(n)$ 是滤波器的输入， $y(n)$ 是滤波器的输出， a_i 是滤波器的抽头系数。另外，FIR 滤波器在滤波器抽头系数对称时具有线性相位特性，尤其适合于通信系统应用。

4.2.1 FIR 滤波器的基本设计

FIR 滤波器可以很方便的以多相结构实现抽取和内插，此外 FIR 滤波器设计已有成熟的算法，如等波纹最佳逼近设计等。在 FIR 滤波器的等波纹最佳设计中，涉及 5 个参数：1) 通带边缘频率（包括上限边缘和下限边缘）；2) 阻带边缘频率（包括上限边缘和下限边缘）；3) 通带容限误差；4) 阻带容限误差；5) 滤波器长度。在设计的时候智能给定 4 个参数，第 5 个参数随之确定。设计时应合理的选择参数以达到整体各项要求。

FIR 滤波器的设计任务，就是要决定一个系统函数 $H(Z)$ ，使它的频率响应满足要求，这里很重要的一环是保证 $H(Z)$ 具有线性相位。下面的设计是从时域出发，用有限

长的 $h(n)$ 去近似理想的无限长的 $h_d(n)$ ，使其频率响应逼近要求的频率响应 $H_d(e^{j\omega})$ 。

根据上述基本思路，利用窗函数设计线性相位FIR滤波器可按以下三个步骤进行：

- (1) 确定滤波器的性能要求，确定各临界频率和滤波器单位脉冲响应长度 N ；
- (2) 根据性能要求和 N 值，合理地选择单位脉冲响应 $h(n)$ 的奇偶对称性，从而确定理想频率响应 $H_d(e^{j\omega})$ 的幅频和相频特性；
- (3) 选择适当的窗函数 $W(n)$ ，求得所需设计的FIR滤波器单位脉冲响应；

用FPGA实现半带滤波器首先要确定阶数，并得到它的冲激响应。采用窗函数设计法，可以利用matlab很容易的得到所需的参数。由于用matlab得到的参数都是小数，需要先把所有的系数都乘以同一个数进行放大，把得到的整数作为滤波器的系数就可以用FPGA来实现了。

由FIR滤波器的系统函数为：

$$H(z) = \sum_{n=0}^{N-1} h(n)z^{-n} \quad (4-13)$$

其差分方程为：

$$y(n) = \sum_{k=0}^{N-1} h(k)x(n-k) \quad (4-14)$$

因为直接型结构简单直观，且当具有系数对称结构时，总运算量可减少一半，且系数调整方便，故硬件实现较多地采用直接型结构。

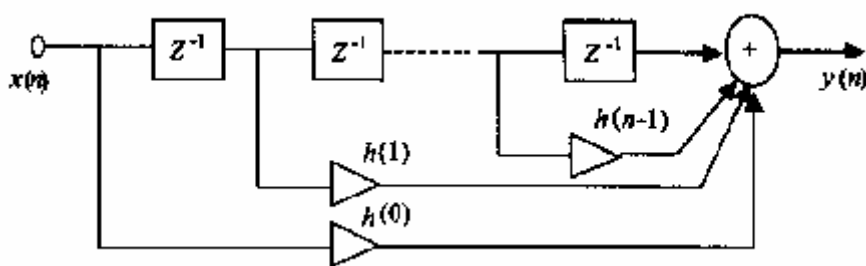


图 4-5 FIR滤波器的直接型结构

一般而言，常用的FIR滤波器是线性相位的，即滤波器的系数满足中心对称性，即

$$h(n) = \pm h(N-1-n) \quad (4-15)$$

于是，当 $h(n)$ 为偶对称时，其系统函数为：

$$H(z) = \sum_{n=0}^{\frac{N}{2}-1} h(n)[z^{-n} + z^{-(N-1-n)}] \quad (N \text{ 为偶数}) \quad (4-16)$$

$$H(z) = \sum_{n=0}^{\frac{N-1}{2}-1} h(n)[z^{-n} + z^{-(N-1-n)}] + h(\frac{N-1}{2})z^{-\frac{N-1}{2}} \quad (N \text{ 为奇数}) \quad (4-17)$$

这样, 只需要做 $N/2$ (当 N 为奇数时为 $(N+1)/2$) 次而不是 N 次乘法就可以实现滤波器的功能, 可以大大地节约硬件资源的消耗, 提高速度。简化结构如下图 4-6(a)、(b) 所示。它的主要特性是滤波器对不同频率的正弦波所产生的相移和正弦波的频率成直线关系。因此在滤波器的通带内的信号通过滤波器后, 除了由相频特性的斜率决定的延迟外, 可以不失真地保留通带内的全部信号^[16]。

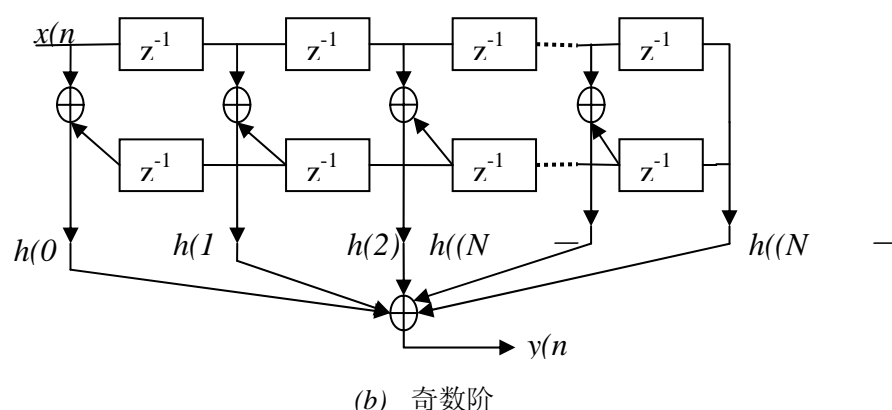
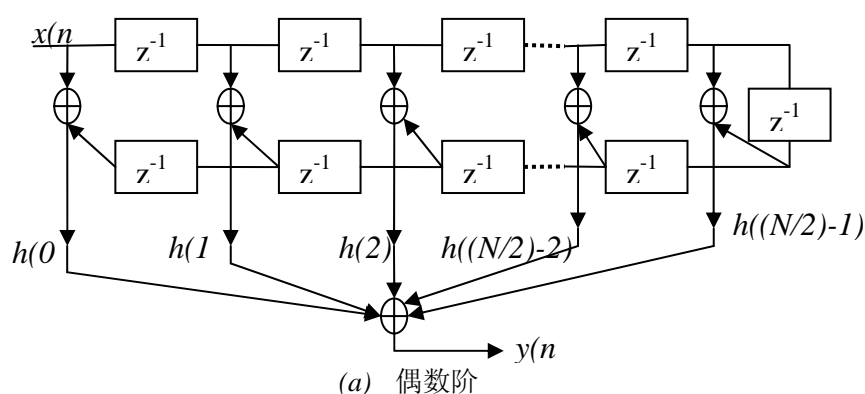


图 4-6 线性相位 FIR 系统直接型

数字滤波器主要通过乘法器、加法和移位寄存器实现。FPGA 实现 FIR 滤波除

了在乘法方面有一定瓶颈外，其他方面都相当适合。在实际设计中有分布算术式 FIR 滤波器（以下简称 DA 滤波器）和乘累加式 FIR 滤波器（以下简称 MAC 滤波器）。

乘累加式 FIR 滤波器用于 FPGA 中集成了硬件乘法器的场合，在合适的处理时钟和滤波器阶数的情况下，乘累加式 FIR 滤波器所耗资源将会相当少。对高阶滤波器而言，如果输入数据速率相对于处理时钟速率不能满足一定的关系，占用 slice 资源也是很多的，而且会大量占用硬件乘法器资源和 Block Ram 资源。所以对于这种高阶滤波器，如果输入数据速率和主处理时钟速率之间的间隔并不是足够大的话，并不适合于 MAC 滤波器，对 Slice 资源、硬件乘法器和 Block Ram 资源都是很大的浪费。

分布算术式 FIR 滤波器的设计完全通过 Slice 资源中的查找表和触发器等来实现，没有使用硬件乘法器和 Block Ram 资源，所以对于 Slice 资源占用相对较多。在本次设计中，由于对滤波器的速度和阶数要求较高。所以主要使用分布算术式 FIR 滤波器。

4.2.2 分布算术式 FIR 滤波器

分布式算法（Distribute Arithmetic, DA）是一项重要的 FPGA 技术，广泛地应用在计算乘积和（Sum of Product, SOP）之中。除了卷积之外，相关和 DFT 计算也都可以阐述成乘积和。当时用传统地算法单元完成一个滤波周期时，大约需用 N 个 MAC 循环。使用流水线技术可以缩短这一数量，但仍旧非常长。

在许多 DSP 应用领域，在技术上是需要通用乘法器的。即如果滤波器的系数 $c[n]$ 可以通过演绎得到，那么在技术上部分乘积项 $c[n]x[n]$ 就变成了一个常数乘法，也就是缩放。这是一个重要差别，也是 DA 设计的一个先决条件。

有关 DA 的讨论最早可以追溯到 1973 年 Croisier 发表的论文，而 DA 的推广工作则是由 Peled 和 Liu 进行的。Yiu 将 DA 扩展到符号数，Kammeyer 和 Taylor 研究了 DA 系统中的量化效应。

考虑“乘积和”内积如下：

$$\begin{aligned} y &= \langle c, x \rangle = \sum_{n=0}^{N-1} c[n] \bullet x[n] \\ &= c[0]x[0] + c[1]x[1] + \dots + c[N-1]x[N-1] \end{aligned} \quad (4-18)$$

进一步假设系数 $c[n]$ 是已知常数， $x[n]$ 是变量。无符号 DA 系统假设变量 $x[n]$ 的表达式如下：

$$x[n] = \sum_{b=0}^{B-1} x_b[n] \times 2^b, x_b[n] \in [0,1] \quad (4-19)$$

其中 $x_b[n]$ 表示 $x[n]$ 的第 b 位, 而 $x[n]$ 也就是 x 的第 n 次采样, 而内积 y 可以表示为:

$$y = \sum_{n=0}^{N-1} c[n] \cdot \sum_{b=0}^{B-1} x_b[n] \cdot 2^b \quad (4-20)$$

重新分别求和, 这也就是“分布式算法”的由来。其结果如下:

$$\begin{aligned} y &= c[0] \cdot (x_{B-1}[0] \cdot 2^{B-1} + x_{B-2}[0] \cdot 2^{B-2} + \dots x_0[0] \cdot 2^0) \\ &+ c[1] \cdot (x_{B-1}[1] \cdot 2^{B-1} + x_{B-2}[1] \cdot 2^{B-2} + \dots x_0[1] \cdot 2^0) \\ &\vdots \\ &+ c[N-1] \cdot (x_{B-1}[N-1] \cdot 2^{B-1} + x_{B-2}[N-1] \cdot 2^{B-2} + \dots x_0[N-1] \cdot 2^0) \\ &= (c[0] \cdot x_{B-1}[0] + c[1] \cdot x_{B-1}[1] + \dots + c[N-1] \cdot x_{B-1}[N-1]) \cdot 2^{B-1} \\ &+ (c[0] \cdot x_{B-2}[0] + c[1] \cdot x_{B-2}[1] + \dots + c[N-1] \cdot x_{B-2}[N-1]) \cdot 2^{B-2} \\ &\vdots \\ &+ (c[0] \cdot x_0[0] + c[1] \cdot x_0[1] + \dots + c[N-1] \cdot x_0[N-1]) \cdot 2^0 \end{aligned} \quad (4-21)$$

或者可以写成更为简洁的如下形式:

$$y = \sum_{b=0}^{B-1} 2^b \cdot \sum_{n=0}^{N-1} c[n] \cdot x_b[n] = \sum_{b=0}^{B-1} 2^b \cdot \sum_{n=0}^{N-1} f(c[n], x_b[n]) \quad (4-22)$$

函数 $f(c[n], x_b[n])$ 的实现需要特别注意。所指的实现方法就是利用一个 LUT 实现映射 $f(c[n], x_b[n])$ 。也就是说用一个 2^N 字宽、预先设定程序的 LUT 接受一个 N 位输入向量 $x_b = [x_b[0], x_b[1], \dots, x_b[N-1]]$, 输出为 $f(c[n], x_b[n])$ 。各个映射 $f(c[n], x_b[n])$ 都由相应的二次幂加权并累加。其中的累加可用移位加法器有效的实现。在 B 次查询循环后就完成了对内积 y 的计算。

在处理有符号数, 需要对上面的 DA 算法做一些修改。考虑到在补码中, 最高有效位是用来区分正数和负数的, 所以采用下面的 $(B+1)$ 位表达式:

$$x[n] = -2^B \cdot x_B[n] + \sum_{b=0}^{B-1} x_b[n] \cdot 2^b \quad (4-23)$$

带入表达式 $y = \sum_{n=0}^{N-1} c[n] \cdot \sum_{b=0}^{B-1} x_b[n] \cdot 2^b$ 中, 得到:

$$y = -2^B \cdot f(c[n], x_B[n]) + \sum_{b=0}^{B-1} 2^b \cdot \sum_{n=0}^{N-1} f(c[n], x_b[n]) \quad (4-24)$$

要实现有符号的 DA 系统, 可以有两种选择来修改无符号的 DA 系统。就是:

- (1)、带有加减控制器的累加器。
- (2)、采用具有一个额外输入的 ROM

在此使用的是最常见的可转换式累加器，因为表中额外的输入位还需要一个两倍字长的表。

传统的 MAC 操作实现方式与带加减控制器的 DA 结构如下：

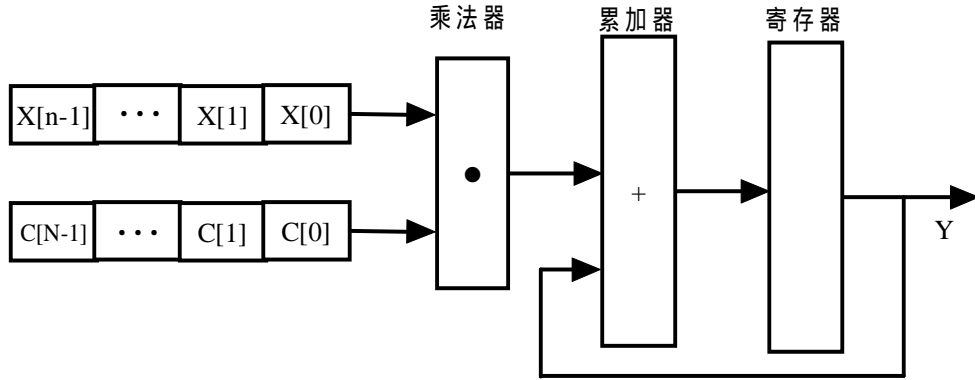


图 4-7 传统的 MAC 操作

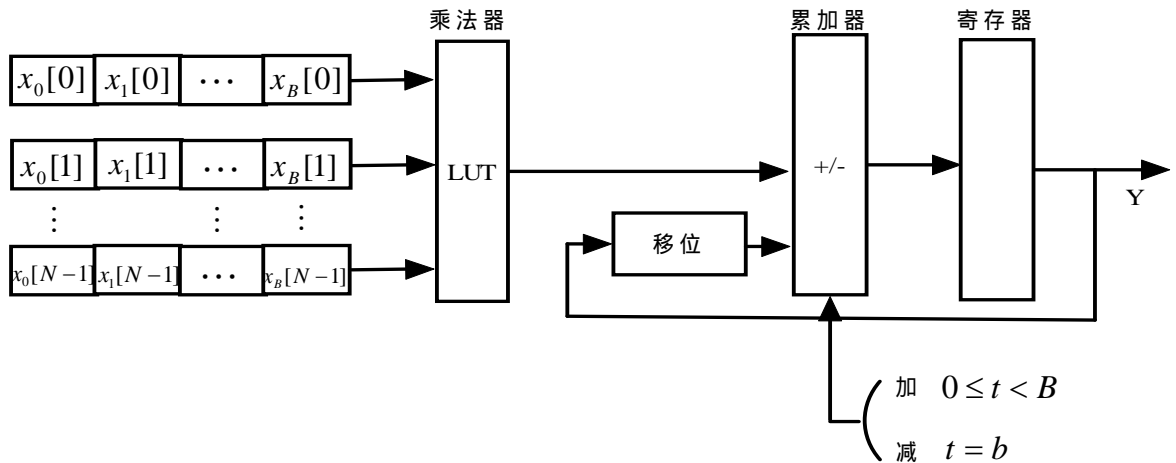


图 4-8 分布式算法的实现框图

DA 算法的主要特点，是巧妙地利用 ROM 查找表将固定系数的 MAC 运算转化为查表操作，其运算速度不随系数和输入数据位数的增加而降低，而且相对直接实现乘法器而言在硬件规模上得到了极大的改善。虽然硬件规模加大了，但是如果把系数的个数限制在 4 个或 8 个，再加上流水线寄存器，这个代价还是值得的。而且每张表都是相同的，不用为每个采样都设计一张表，减小了设计量^[28]。

我们通过一个 N 阶 FIR 滤波器的不同实现方法来进行比较。设 FIR 滤波器的单位冲激响应 $h(n)$ 为一个 N 点序列， $0 \leq n \leq N-1$ 。每一个当前的输出结果 $y(n)$ 都是由前 $N-1$ 个输入与当前输入 $x(n)$ 分别乘以不同的系数再累加得到，这样如果在速度优先的

前提下，直接实现这个 N 阶的横截型 FIR 滤波器需要 N 个专用乘法器， $N(N+2)/8$ 个累加器。用 FPGA 来实现，如果每一个乘法器都用查找表来代替，会造成查找表资源的浪费。在牺牲速度的情况下，可以只用一个乘法器和一个累加器来实现，即用 $N-1$ 个时钟延迟为代价来节省 $N-1$ 个乘法器和 $N(N+2)/8-1$ 个累加器，如上图所示传统的 MAC 操作方式实现。由于 Xinlinx 公司的 FPGA 是基于查找表结构的，其专用乘法器资源有限，DA 算法针对 FIR 滤波器的特点，用查找表代替了专用乘法器不仅节省了有限的乘法器资源，而且提高了效率。FIR 滤波器的延迟不再由滤波器的阶数决定，而是由输入数据的位数来决定，滤波器的阶数只决定了查找表的大小。

我们可以从两个方向入手对 DA 进行改进，其中第一个改进是缩小规模，而第二个改进则是提高速度。

如果系数 N 过多，用单个查找表来实现会造成查找表的规模过大，因为 LUT 的规模随着地址空间，也就是系数 N 的增加而成指数增加。这时我们可以分成几个查找表并将结果相加来实现。如果再加上流水线寄存器，这一改进并没有在速度上造成多大损失，却可以极大地减小设计规模。假定长度为 LN 的内积：

$$y = \langle c, x \rangle = \sum_{n=0}^{LN-1} c[n]x[n] \quad (4-25)$$

用 DA 结构来实现，将和分配到 L 个独立的 N 阶并行 DA 的 LUT 之中，结果如下：

$$y = \langle c, x \rangle = \sum_{l=0}^{L-1} \sum_{n=0}^{N-1} c[lL+n]x[lL+n] \quad (4-26)$$

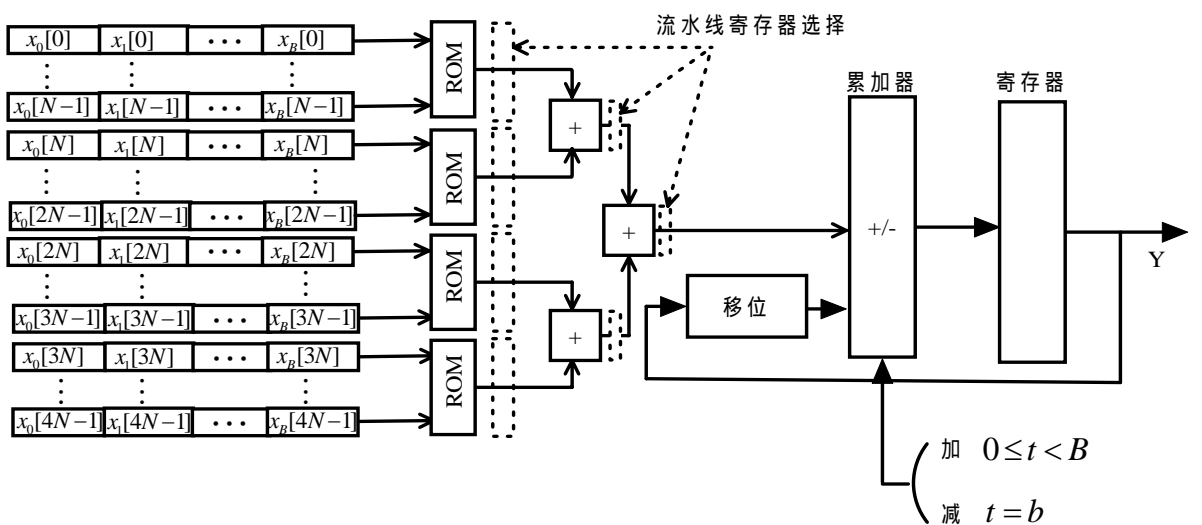


图 4-9 将表分割以简化规模的分布式算法

另一个 DA 结构的改进以增加额外的 LUT、寄存器和加法器为代价提高了速度。一个 N 阶乘积和计算的基本 DA 结构接收 N 个字中每个字内的一位。如果每个字中有两个位得以接收，则计算速度就可以从根本上翻倍。能够达到的最大速度就是使用下图所示的完全流水线式字并行结构。如下图：

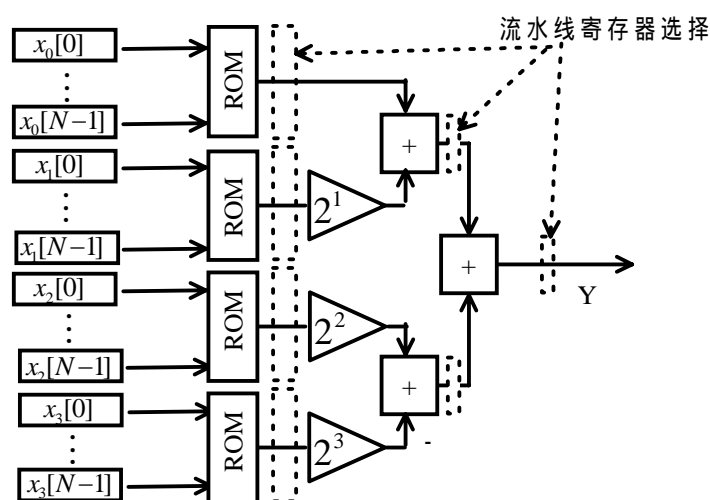


图 4-10 速度最优的高阶分布式算法

我们在设计解调中的滤波器时 MPSK 成型滤波的阶数为 64 阶，AM 的滤波器为 100 阶，FM 的滤波器 32 阶，阶数都比较高，所以都采用这种简化规模的分布式算法。

第五章 系统的调试及性能指标分析

5.1 系统硬件结构

随着大规模可编程器件的发展,采用 DSP+ASIC 结构的信号处理系统显示出了其优越性,正逐步得到重视。与通用集成电路相比,ASIC 芯片具有体积小、重量轻、功耗低、可靠性高等几个方面的优势,而且在大批量应用时,可降低成本。

现场可编程门阵列(FPGA)是在专用 ASIC 的基础上发展出来的,它克服了专用 ASIC 不够灵活的缺点。与其他中小规模集成电路相比,其优点主要在于它有很强的灵活性,即其内部的具体逻辑功能可以根据需要配置,对电路的修改和维护很方便。目前,FPGA 的容量已经跨过了百万门级,使得 FPGA 成为解决系统级设计的重要选择方案之一。

DSP+FPGA 结构最大的特点是结构灵活,有较强的通用性,适于模块化设计,从而能够提高算法效率;同时其开发周期较短,系统易于维护和扩展,适合于实时信号处理。

实时信号处理系统中,低层的信号预处理算法处理的数据量大,对处理速度的要求高,但运算结构相对比较简单,适于用 FPGA 进行硬件实现,这样能同时兼顾速度及灵活性。高层处理算法的特点是所处理的数据量较低层算法少,但算法的控制结构复杂,适于用运算速度快、寻址方式灵活、通信机制强大的 DSP 芯片来实现。

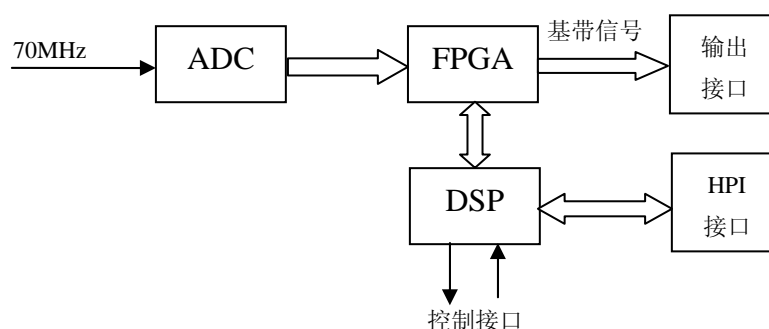


图 5-1 硬件平台功能框图

板卡各模块详细设计:

1、电源模块

电源模块要为各芯片供电,主要完成由+5V 到+3.3V、+1.8V 的转换。还要完成

数字电源和模拟电源的滤波和去扰在数字地和模拟地之间用磁珠进行隔离。整个系统的功耗主要是 1.8V、3.3V 和 5V 的供电消耗。由于 1.8V、3.3V 是由 5V 转换而来，所以： $P_{5V} \text{ 总} = (P_{1.8V} + P_{3.3V}) / \text{转换效率} + P_{5V} \text{ 直接}$ 。电源转换芯片选用 TI 公司的 TPS767D318，TPS767D310 双路输出。

主要性能如下：

- 输入电压：±5V、±8V
- 输出电压：+1.8V、+3.3V、+5V、-5.2V
- 每路输出电流范围：0–1.0A
- 工作温度：-40℃ -- +125℃

2、A/D 系统及接口设计

A/D 采用 AD 公司的 AD9433。该芯片性能介绍如下：

- 采样速率可达 350M;
- 精度可达 12-Bits;
- 67.5dB 信噪比;
- 83dB 动态范围;
- 输入带宽 750M;
- 1 路同步采集模拟差分输入通道;
- 模拟输入电压范围：峰峰值 2V;
- 最大功耗 1.5w;
- 工作温度：-40℃ -- +85℃;
- 数据输出为 COMS 兼容，逻辑高电平最小值为 2.8V，逻辑低电平典型值为 0.5V;
- 输出为二进制补码或者二进制偏移码。

3、FPGA 子系统

本部分主要实现数字下变频、调制解调等功能。调试过程中用 JTAG 从计算机下载程序，独立运行时采用自带的 FLASH 进行程序加载，整机调试时可以通过控制系统进行程序加载。

主要器件采用 Xilinx 的 VirtexII 系列 XC2V2000,具体特性如下：

- 核电压 1.8V, 外围接口电压 3.3V。
- 具有灵活的加载方式，FPGA 的软件保存在 FLASH 中，在上电复位后加载。
- 最多 408 个可用 IO，系统门为 200 万门，56 个 18X18 硬件乘法器；

FPGA 子系统的主要技术问题有以下几个方面：

a) 内部时序问题。

由于大部分功能在 FPGA 内实现，布线后内部的传输延迟必须考虑。解决办法：1、系统内多数时序工作在 50MHz 以下。2、通过对关键时序加时间限制，可以保证对时序关系要求较高的部分的延迟指标。3、尽可能多的采用 Xilinx 提供的库器件和 IP，可大大提高系统速度。4、必要时，在布局布线时进行一些人工干预，调整关键部分线路的 CLB 安排。

b) FPGA 加载设计

FPGA 的加载通过 FLASH 串行完成，通过将 M2, M1, M0 设置为 111，将 PPGA 设置为从串行模式，CCLK 为输入。FPGA 需要 2Mbits 的配置信息。配置分三步：首先清空配置存储器，然后加载配置数据到存储器，最后由 start-up 激活程序。DONE 为高表示配置完成。

4、DSP 子系统

DSP 是硬件平台的重要组成部分之一，选用 TI 公司 TMS320C6701 芯片，为浮点 DSP，负责复杂的运算处理。具体特性如下：

- 内核电压 1.8V, 外围接口电压 3.3V。
- 120-, 150-, 167-MHz 时钟频率
- 8 个独立运算单元，4 个浮/定点 ALU, 2 个定点 ALU, 2 个浮/定点乘法器
- 16K×32bit 的片内 ROM
- 512Kbit 的双口片内 RAM
- 调试过程中用 JTAG 从计算机下载程序，实际工作时，通过片外 ROM 加载。

5、通信接口

系统可以通过各种数据接口与外部进行通信。其中串口为 232 异步接口，在 FPGA 中实现串口驱动，数据在先经过 MAX203E 进行电平转换再与外部接口相连。通过 FPGA 引出一组数据总线、一组地址总线底板进行数据交换，另外 DSP 的主机接口也预留了出来。

5.2 系统调试

本着软件无线电能灵活配置的原则，在设计时为了方便载波频率，符号率等参数

的修改，以及适应不同噪声条件下信道的需要和系统调试的需要，在 FPGA 程序设计时对部分参数采用了可配置设计。表 3-1 列出了各参数及大概功能。下面为部分重要参数的具体配置方法：

mydds.v(直接频率合成器)

SAMP_FRQ_REG:

$$\text{配置方法: } F_1 = \frac{f_{IF}}{f_s} \times 2^{32} = \frac{10}{40} \times 2^{32} = 0x40000000 \quad f_s \text{ 为工作时钟。}$$

agc.v (自动增益控制器)

AGC_LIMIT: 自动增益控制中的阈值，系统会将载波幅度自动调节到该值附近。

AGC_SCALE_E: 自动增益控制中调节速度控制，该值的改变将改变 AGC 的补偿速率。

resample_nco.v (位同步重采样)

NCO_CENTER_FRQ: 重采样控制字，可以用来调节符号速率，需要保证 resample_nco 的输出为两倍符号速率。

$$\text{配置方法: } F_1 = \frac{\text{输出速率}}{\text{输入速率}} \times 2^{32} = \frac{19200}{1600000} \times 2^{32} = 0x03126E97$$

pd_lpf.v (载波环低通滤波器)

CPF_LEAD_E_ACQ: 捕获状态下 lead 路增益

$$\text{计算方法: } lead = \frac{4B_j \cdot 2R}{2\pi \cdot k_d f_s}, \text{ 其中 } B_j = 0.03, k_d = 1$$

$$\text{CPF_LEAD_E_ACQ} = 32 - [\log_2(\frac{1}{lead})] \text{ 实际情况看情况微调}$$

CPF_LEAD_E_TRK: 跟踪状态下 lead 路增益

$$\text{计算方法: } lead = \frac{4B_j \cdot 2R}{2\pi \cdot k_d f_s}, \text{ 其中 } B_j = 0.01, k_d = 1$$

$$\text{CPF_LEAD_E_ACQ} = 32 - [\log_2(\frac{1}{lead})] \text{ 实际情况看情况微调。}$$

CPF_LAG_E_TRK: 跟踪状态下 lag 路增益

$$lag = lead \cdot \frac{4B_j}{(1 + 4\xi^2)}$$

CPF_SWEEP_RATE: 扫频间隔

$$sweep\ rate = \frac{5Hz}{f_{clk}} \times 2^{32}$$

CPF_ACC_UPPER: 扫频范围上极限

$$upper\ limit = \frac{xHz}{f_s} \cdot 2^{32}$$

注意要满足 $x < \frac{rate_{symbol}}{4}$

CPF_ACC_LOWER: 扫频范围下极限等于上极限取反加 1。

symbol_lpf.v (符号同步低通滤波器):

SYMBOL_LEAD_E_ACQ: 捕获状态下 lead 路增益。

$$lead = \frac{4B_j \cdot R / f_s}{k_d \cdot \left(1 + \frac{1}{4\xi^2}\right)} \text{ 其中 } B_j = 0.01, k_d = 0.5012, \xi = 1$$

SYMBOL_LAG_E_ACQ: 捕获状态下 lag 路增益。

$$lag = lead \cdot \frac{4B_j}{(1 + 4\xi^2)}$$

SYMBOL_LEAD_E_TRK: 跟踪状态下 lead 路增益。

$$lead = \frac{4B_j \cdot R / f_s}{k_d \cdot \left(1 + \frac{1}{4\xi^2}\right)} \text{ 其中 } B_j = 0.003, k_d = 0.5012, \xi = 1$$

SYMBOL_LAG_E_TRK: 跟踪状态下 lag 路增益。

$$lag = lead \cdot \frac{4B_j}{(1 + 4\xi^2)} \text{ 实际情况看情况微调。}$$

SYMBOL_UPPER:

$$upper\ limit = \frac{xHz}{f_{\text{重采样前符号率}}} \cdot 2^{32}$$

SYMBOL_LOWER 等于 SYMBOL_UPPER 取反加 1。

在调试过程中, 比较关键的参数值是载波 LAG 环路累加寄存器, 位同步 LAG 环路累加寄存器, 相位错误累加器。由载波 LAG 环路累加寄存器我们可以判断本地载

波和接受信号间是否存在频率偏差，如果载波 LAG 环路累加寄存器稳定在某值附近做较小的波动，这说明载波环路基本同步；由位同步 LAG 环路累加寄存器我们可以判断是否位同步，如果位同步 LAG 环路累加寄存器稳定在某值附近做较小的波动，这说明位同步环路基本同步；由相位错误累加器决定载波锁定状态，可确定在一个积分周期内相位累加错误值。

这几个寄存器的值测试在 FPGA 调试阶段，传统的信号分析手段使用逻辑分析仪，实际是要求 FPGA 和 PCB 设计人员保留一定数量 FPGA 管脚作为测试管脚，编写 FPGA 代码是将需要观察的信号作为模块的输出信号，在综合实现时再把这些输出信号锁定到测试管脚上，然后连接逻辑分析仪的探头到这些测试脚，设定触发条件，进行观测。这个过程比较复杂、灵活性差。但是现在我们可以由 ChipScope 工具通过下载线读取 FPGA 内部寄存器值察看。ChipScope 是针对 Xilinx 系列 FPGA 的在线片内信号分析工具，它的主要功能是通过 JTAG 口在线、实时地读出 FPGA 的内部信号。ChipScope 的基本原理是利用 FPGA 中没有使用的 BlockRam，根据用户设定的触发条件将信号实时的保存到这些 BlockRam 中，然后通过 JTAG 口传送到计算机，最后在计算机屏幕上显示出时序波形。

由于载波同步环和位同步环是相互交错在一起的，它们彼此的任何一个环路都将影响另一个环路正常工作，也就是说，载波同步和位同步事协同同时完成的。所以在调试的时候有时候不能确定是载波环和同步环。在系统调试中为了方便检测，可以先给一个单频载波信号，测试载波环路的扫频，锁相。再给不带有频率偏差的信号，测试位同步环路。

5.3 调制解调性能测试

在不含外部噪声的条件下，系统完成 QPSK 解调后的数据图为(数据的读取通过前面所说的 ChipScope):



图 5-1 发端数据为 PN9 FPGA 判决前数据

在不含外部噪声时，QPSK 解调数据的星座图为：

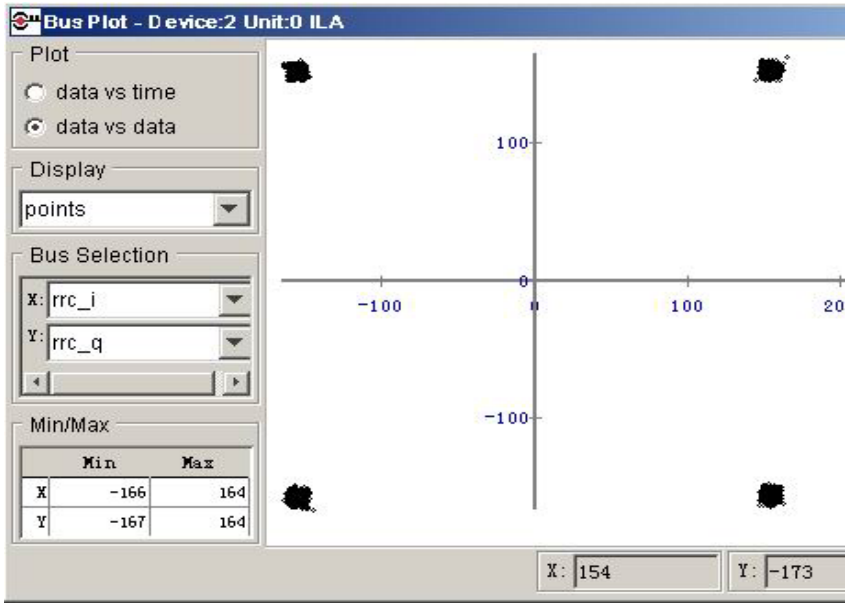


图 5-2 不含外部噪声时，解调数据的星座图

这时候可以明显的看出，该图存在范围较小，极为清晰的四个相位点，这说明大部分解调后提取的最佳采样点数据都集中的落在了相位点上，只有极少数点稍微偏离四个主点，这是解调相当良好的情况。

在外加宽带高斯白噪声的情况下，信噪比恶化，星座图上四点向外扩散，这将影响码元的判决导致误码。下图为信噪比很差，信号在锁定临界状态时的星座图：

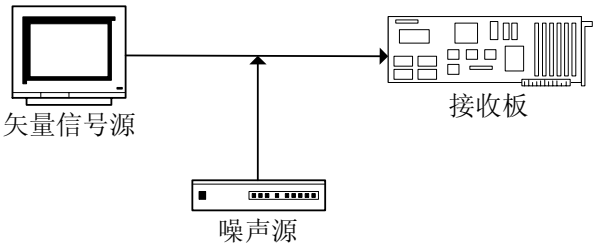


图 5-3 外加宽带高斯白噪声连接图

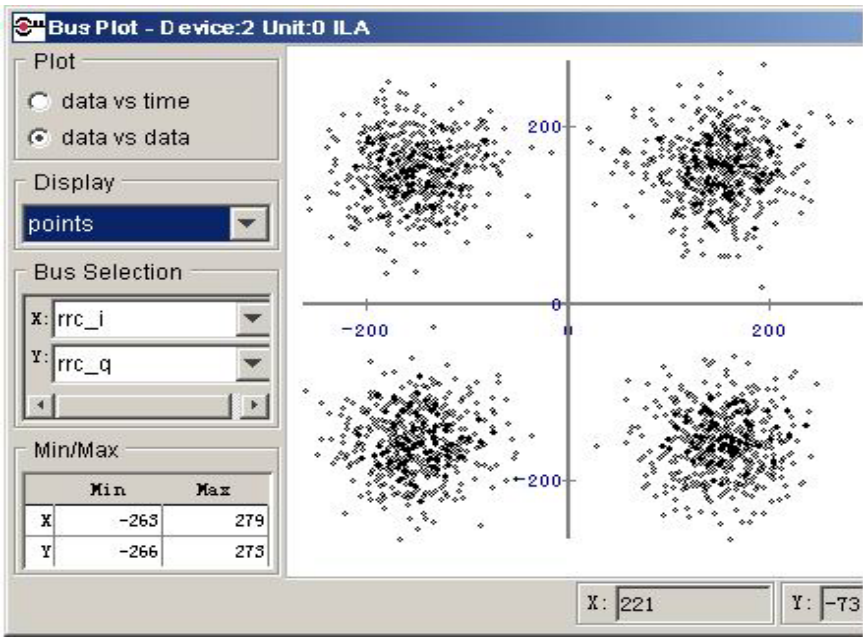


图 5-4 加宽带高斯白噪，信号为-20dB 时解调星座图

功能测试方法:

测试首先通过计算机串口向调制板发送数据，调制板对数据进行成帧，加差分，然后再调制输出到接收板，接收板进行解调，解差分，去帧再通过串口发回计算机，比较发送数据与接收数据的区别来测试调制解调。如果是模拟调制则是通过音频信号源输入信号，最后解调后 DA 转化在示波器上显示。测试连接关系如下图：

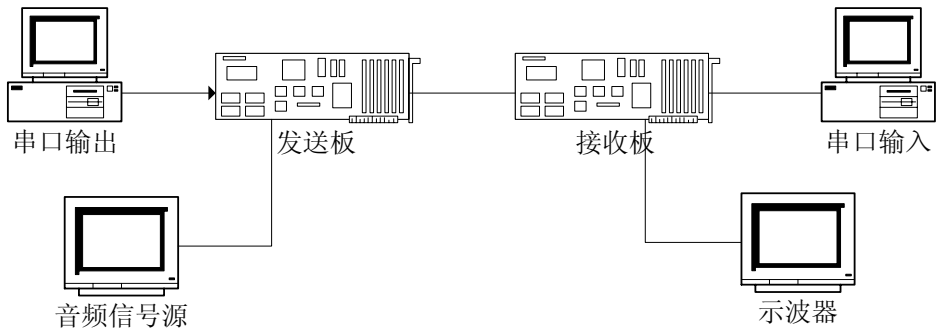


图 5-5 设备连接图

功能测试数据:

发送基带数据:

• BPSK:

基带二进制数据格式为全 0，全 1，十六位可编程，周期长度为 63，511，2047， $2^{15}-1$ ， $2^{20}-1$ 等伪随机序列的情况下，解调输出的数据完全正确。

发送长度为 800000bit 的文件，解调输出完全正确。

• QPSK:

基带二进制数据格式为全 0，全 1，十六位可编程，周期长度为 63, 511, 2047, $2^{15}-1$, $2^{20}-1$ 等伪随机序列的情况下，解调出的数据完全正确。

发送长度为 800000bit 的文件，解调输出完全正确。

发送模拟信号

AM、FM：发送 0.5K~4KHz 的单频信号，示波器上显示波形与频率一致。

结论：

解调板设计原理正确，各部分工作正常，在无噪声情况下解调输出的数据没有错误。

建议：

由于硬件条件所限，本次试验只是验证了在没有外加噪声和误码率分析仪情况下解调板的解调功能，所以只有板载的自噪声。如果需要测试解调板在有外加噪声情况下的解调性能，则应该将信号源输出的调制信号送入噪声源加噪声，然后再将已加入噪声的信号送入解调板。从噪声源可以读出输入 E_b/N_0 ，从误码率分析仪可以读出误码率。通过计算得出理论的误码率。

第六章 结束语

本课题研究的软件无线电调制解调通信技术是国际上起步于二十世纪九十年代的一种全新的技术。目前，软件无线电正在蓬勃发展，其应用的广度和深度都在不断扩展和深化。它不仅是军事通信研究的课题，而且已成为第三代移动通信技术的核心技术。

软件无线电中频系统，是具有可编程专用芯片与通用数字信号处理芯片相结合的混合结构，是当前实现软件无线电技术的有效方案。这种系统可以灵活而且综合地实现多种无线电台的功能，充分体现了软件无线电所具备的各种优越性。本论文正是基于这样一个软件无线电台系统，根据实际需要设计实现了一个基于 FPGA 和通用 DSP 相结合的全数字实现下变频器。本系统的基本思想是在中频频率对模拟信号进行数字采样，采样后得到的信号送到 FPGA 中进行数字下变频（DDC）和数字 Costas 环（DCL）进行采样速率的变换、滤波以及同步的处理，最终将基带信号送入通用 DSP 芯片中进行部分基带信号处理。本系统的设计方案，既充分发挥了 FPGA 及通用 DSP 处理器的特点，同时也兼顾到了系统的兼容性和扩展性，总的来说可以完全满足通信系统的要求。

本文是针对软件无线电发送与接收机关键技术，然而还有许多技术及理论上的问题亟待深入研究，在下一步的研究中可以集中在以下几个方面：

1. 在现有平台结构的基础上，注意结合硬件平台对各种信号，实现更多种类的调制解调方式，如 16QAM, MSK, FSK 等，升级发送、接收机。
2. 充分利用 DSP 在实现复杂算法上的优势，实现对不同调制方式的识别。并对基带信号进行各种处理。
3. 充分发挥软件无线电的优势，对一些经典信号研究新的适合软件解调的新算法，尽量减小运算量，增加灵活性，提高性能，如缩短锁定时间、增大捕获带宽等。
4. 目前研究的解调器是单通道窄带的接收机，可以进一步加强对宽带多通道接收机的研究。

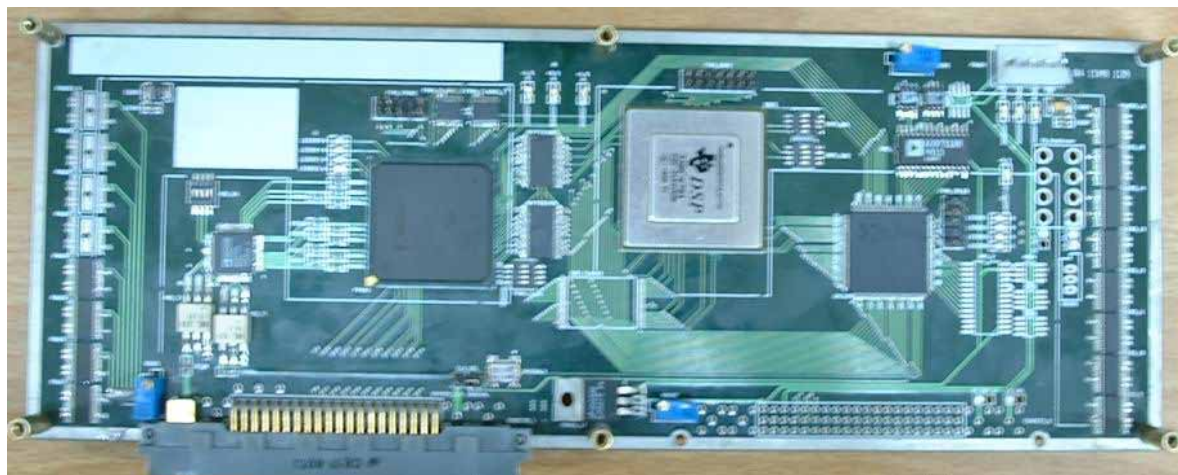
致 谢

本文是在尊敬的卜祥元、安建平老师的精心指导下完成的。两位教授治学态度严谨、科研上精益求精。他们的博学与精深、豁达与谦逊使我无论在治学还是为人处事等方面都受益非浅。特别是我的导师卜祥元教授不仅在学术和科研上给予我支持和帮助，而且在生活上给予我许多的关怀，在此表示深深的感谢！还有实验室的王爱华老师、周荣花老师、杨杰老师、卢继华和吴浩老师，他们在工作中都给予我很大的支持和帮助。

实验室就象一个温暖和睦的大家庭，大家互相帮助、共同探讨学术问题。叶佩军师兄、包征师兄等同学都给予了我真诚的帮助，使我很快溶入了集体之中。在此我还要感谢这个大家庭的其他成员：沈业兵、宋磊、程颖、刘华阳、张沫阳、张德生等等表示谢意，在他们的帮助下我渡过了两年半尽管忙碌但是非常愉快的时光。

我还要特别感谢我的父母，在我的研究生学习期间，他们给了我最无私的关怀与鼓励，使我能够全身心的投入科研工作之中。最后，我要感谢所有关心过我、帮助过我的人！感谢在百忙之中抽出宝贵时间对本论文进行评阅和评议的专家学者们！

附录一 调制解调电路板实物图



附录二 程序模块清单

top_dem	解调的顶层文件，定义 I/O 管教和系统结构
agc	自动增益控制环路滤波器
agc_mul	自动增益控制乘法器与位移器，对小信号进行增益补偿
mix	混频器，修正载波频率和相位偏差
mydds	直接频率合成器，采用 cordic 算法
cordic	基于坐标旋转数字式计算机,计算反正切函数和模函数
dcl_fsm	数字锁相环有限状态机，控制锁定状态
pd_carrier	载波相位检测器，得出载波相位误差
pd_lpf	载波锁相环环路滤波器
pd_symbol	位同步相位检测器,得出符号相位误差
symbol_lpf	位同步环环路滤波器
resample_nco	重采样数控振荡器，校正符号同步
rrc	根升余弦滤波器，实现匹配滤波
diff	码元判决，解差分
frame_h	去帧头，提取信息
fifo	先入先出存储器，缓冲数据
sr_send	RS232 接口，输出到电脑
lpf	低通滤波器
hpf	高通滤波器
top_mod	调制部分的顶层文件，定义调制部分系统结构
sr_receive	RS232 接口，接收电脑输入
DIV_clock	时钟控制模块，时钟计数分频
top_dem.ucf	FPGA 管脚分配及约束文件

*具体内容见附录光盘

参考文献

- [1] 曹志刚, 钱亚生. 现代通信原理[M]. 北京: 清华大学出版社, 1992
- [2] 樊昌信. 通信原理. [M] 长沙: 国防工业出版社, 1995.
- [3] 杨小牛, 楼才义, 徐建良. 软件无线电原理与应用[M]. 北京: 电子工业出版社, 2001.
- [4] 庄卉、黄苏华、袁国春. 锁相与频率合成[M], 北京: 气象出版社, 1996
- [5] 张厥盛, 郑继禹, 万心平. 锁相技术[M]. 西安: 西安电子科技大学出版社, 1994.
- [6] 胡华春, 石玉. 数字锁相环路原理与应用[M]. 上海: 上海科学技术出版社, 1990.
- [7] Uwe Meyer-Bases. 数字信号处理的 FPGA 实现[M]. 北京: 清华大学出版社, 2003.
- [8] Heinrich Meyr. Digital Communication Receivers[M]. A Wiley - Interscience Publication, 1998.
- [9] 王志华, 邓仰东. 数字集成系统的结构化设计与高层次综合[M]. 北京: 清华大学出版社, 2001. 4
- [10] 郭梯云, 刘增基, 王新梅. 数据传输[M]. 北京: 人民邮电出版社, 1991. 4
- [11] 欧阳长月, 吴小明. 信息传输[M]. 北京: 北京航空航天大学出版社, 1995. 55~56.
- [12] 李建新 等. 现代通信系统分析与仿真[M]. 西安: 西安电子科技大学出版社, 2000
- [13] 曾黄麟. 一种快速全数字锁相环[J]. 电讯技术, 1988, 28(5): 6-9.
- [14] 张振川, 王越先, 赖伟. 一种新型高速数字锁相环的研究[J]. 电讯技术, 1992, 32(3): 19-23.
- [15] 熊小莉. 直接序列扩频信号数字科斯塔斯环的分析与设计[J]. 电讯技术, 2001, 26(4): 26-30.
- [16] 樊平毅、冯重熙, “窗函数在成形滤波器中的设计” [J]. 通信学报, 1996. 3
- [17] 卢屹、张新军, “数字锁相环的参数设计及其应用” [J]. 通信技术, 2001. 9
- [18] 沈兰荪等 调制解调的数字实现[J]. 电信科学. 1993, 9(6): 27-31

-
- [19] Bellanger M G, Bonnerot G, Coudreuse M. digital Filtering by Polyphase networks: Application to Sample Rate Alteration and Filter banks[J] . IEEE Trans.Acoust. Speech Signal Process, ASSP-23, 1975, 10(5): 444-456.
- [20] H Tsurumi, H Yoshida, S Otaka,et al.Broadband and Flexible Receiver Architecture for Software Defined Radio Teerminial Direct Conversion and Low-IF Principle[J].IEICE Trans. Commun,2000,E83—8(6): 1246~1252.
- [21] Zheng Nanning, Mori Shinsaku. Improved Digital Phase-Locked Loops with Rotational Frequency Comparator [J]. IEEE Trans on commu, 1984, COM-28(8): 1243.
- [22] Florian Krug, Jean Wilwert1 Calculation and measurement of lock time in a phase locked loop frequency synthesizer [J] Microwave Journal, 2002, (4): 146-153
- [23] Harris Corporation. “HSP50214B data sheet”[DB] . 2000
- [24] Harris Corporation. “HSP50210 data sheet”[DB] . 1999
- [25] Floyd M.Gardner, “A BPSK/QPSK Timing-Error Detector for Sampled Receivers”[J] , IEEE Transactions on Communications, VOL.COM-34, NO.5, May 1986
- [26] Oerder M, Meyr H. Digital filter and square timing recovery[J]. IEEE Trans on Commum,1988,36(5):605~612
- [27] Ma Zhengxin, Cao Zhigang, Mei Shunliang. An All igital Demodulation for QPSK Signal[J]. ICCT'92,1992:05.07.1~05.07.3
- [28] Myung - Soon King , Jin - Gyun Chung. Look-up table based pulse-shaping filter[J] . Electronics Letters ,2000 ,36(17) :1505~1507

硕士期间发表论文

一、《FPGA 实现 MPSK 解调》

艾 砾 卜祥元 “军民两用技术与产品” 已录用，待发表，2005 年第三期