

西安电子科技大学

硕士学位论文

单脉冲测角技术及工程实现

姓名：王玉涛

申请学位级别：硕士

专业：信号与信息处理

指导教师：赵永波

20070101

摘要

单脉冲测角是雷达中常用的一种测角方法，它利用多个天线同时接收回波信号，通过比较回波信号的幅度或相位来获得目标的角位置信息。本论文是在学习雷达系统结构和雷达测角方法的基础上，对信号处理机中的测角部分进行设计和实现。文中首先对单脉冲测角原理进行介绍，并对课题中使用的相位和差测角方法进行仿真分析，然后结合工程实际，给出硬件设计和软件设计的实现。在设计过程中，采用通用数字信号处理器（TS101）和 FPGA 等高性能器件，来实现该信号处理模块，并对重要模块进行了详细的说明。最后重点介绍了利用汇编语言设计 DSP 的算法实现软件，利用 VHDL 语言设计 FPGA 的数据传输和控制逻辑，并给出了详细的设计方法和步骤，以及实际的数据分析。

关键词：单脉冲测角、ADSP-TS101S、FPGA、链路口

Abstract

The monopulse angle measurement is often used to measure angle in the radar. It receives object echo signal by multiple antennas at the same time, and gets object angle information through comparing object echo signals' amplitude and phase. Based on the studies of the structure of radar system and the angle measuring principle of radar, the design and implementation of the monopulse angle measurement subsystem of some type of radar are achieved in this dissertation. At first, the principle of the monopulse angle measurement is introduced in this article. Based on the simulation result of the monopulse phase sum-difference angle measurement method which is the chosen method in the project, the character of angle measurement is analyzed. Then, combining with this project, the hardware and software system are designed to implement the function. The hardware system is designed by using FPGA and DSP. Eventually, Software design and debug of the function in signal processor is introduced. DSP software for this project is designed using assemble language. Control logic in FPGA is designed in VHDL language. The detailed method of the design and analysis of practical data is presented.

Keywords: Monopulse angle measurement、ADSP-TS101S、FPGA、Link-port

创新性声明

秉承学校严谨的学风和优良的科学道德，本人声明所呈交的论文是我个人在导师指导下进行的研究工作及取得的研究成果。尽我所知，除了文中特别加以标注和致谢中所罗列的内容以外，论文中不包含其他人已经发表或撰写过的研究成果；也不包含为获得西安电子科技大学或其它教育机构的学位或证书而使用过的材料。与我一同工作的同志对本研究所做的任何贡献均已在论文中做了明确的说明并表示了谢意。

申请学位论文与资料若有不实之处，本人承担一切的法律责任。

本人签名：王玉清

日期：2007.01.23

关于论文使用授权的说明

本人完全了解西安电子科技大学有关保留和使用学位论文的规定，即：研究生在校攻读学位期间论文工作的知识产权单位属西安电子科技大学。学校有权保留送交论文的复印件，允许查阅和借阅论文；学校可以公布论文的全部或部分内容，可以允许采用影印、缩印或其它复制手段保存论文。同时本人保证，毕业后结合学位论文研究课题再撰写的文章一律署名为西安电子科技大学。

本人签名：王玉清

日期：2007.01.23

导师签名：徐永红

日期：2007.1.23

第一章 绪论

1.1 研究背景和意义

自第二次世界大战开始,雷达就应用在军事方面,从尖端武器到常规武器,从防御性武器到进攻性武器都有它的身影。随着无线电技术的进步,现代雷达具有多种功能,它的作用已经不能被其字面意义简单的概括出来,现代雷达不但能够截获、探测、侦察目标,测量目标的距离、方位、仰角、速度,确定目标的形态,还能实现测绘、导航、监视、边扫描边跟踪等一系列新功能。数字技术的飞速发展和电子计算机的问世,使雷达的结构组成和设计发生了根本性的变化,仿真技术也应世迅速发展起来。采用这些技术后,雷达的工作性能大为提高,测量精度也提高了一个数量级以上。

近年来,雷达作为一种探测目标的重要工具,在军事和民用领域发挥越来越重要的作用。其主要任务是在存在噪声、杂波与干扰的背景中检测并跟踪、测量来自空中、地面或水面上的有用目标。随着电子器件技术和计算机技术的迅速发展,各种雷达信号处理技术的理论与应用研究成为一大热门领域和关键课题,雷达信号处理主要围绕对目标信号的变换、检测、跟踪、识别以及威胁判断等问题而进行,其中对目标的精确方位角测量是目标信号处理的一个重要环节,同时也是信号处理中的一个关键问题。

单脉冲体制雷达是一种在圆锥扫描等雷达体制之后发展起来的比较先进的雷达体制,它与圆锥扫描等比较“老”的雷达体制的区别在于采用了不同的定向原理,具有更高的定向精度,因而在航空以及军事等领域有广泛的应用。

使用单脉冲定向法,只需要一个回波脉冲,就可以给出目标角位置的全部信息,这也是“单脉冲”定向这一术语的来源。因为单脉冲雷达只用一个脉冲定向,所以回波信号的幅度起伏不会对角坐标的测量精度产生显著的影响。

单脉冲定向是依靠多路接收技术实现的,它是用几个独立的接收支路来同时接收目标信号的回波信号,然后再将这些信号的参数加以比较。通常,对每个定向坐标平面都要用两个独立的接收支路:方位平面内两个支路,俯仰平面内两个支路。而以前广泛应用的圆锥扫描法、线性扫描法等都是用单支路(通道)来定向的,目标的角信息体现在回波信号的振幅调制中,所以这种定向法对于因目标有效反射面积随机变化而产生的振幅起伏是很敏感的。这也是限制这些方法使用的最严重的缺点。

EDA 技术的飞速发展,使其成为雷达设计实现的重要手段。EDA 技术已经可以完成从系统概念出发,自顶而下地进行系统的综合设计。已有的 EDA 软件功能十分强大,它们可以完成从原理图输入,仿真验证,逻辑综合到布局布线等系统设计的全套过程。其仿真验证过程不仅能进行理论仿真,而且通过描述拓扑结构,元件的约束条件及其它因素对系统性能的影响,进行硬件仿真,使设计者能在硬件实现之前对其进行性能分析和优化。

对应系统设计的各个阶段,EDA 软件提供了相应的库作为支持。设计者可以利用库内提供的各个功能模块,将它们像搭积木一样组合在一起,构成所设计的系统的方框图,从而实现自顶而下的设计。

各重要厂商的 DSP 和 FPGA 芯片性能的大幅提高,也使雷达信号处理的性能得到大大提升。

1.2 论文的主要工作

本课题来源于某型米波中高空警戒雷达的信号处理机的研制,该项目要求具有精确的雷达测角功能。依据理论研究,结合工程实现,本文主要做了以下几方面工作:

(1) 单脉冲测角方法研究。首先介绍了测角原理,对常用的几种测角方法进行介绍,并针对本项目中所用到的测角方法进行仿真,对其噪声影响、通道幅相特性影响等进行分析,并验证其可行性。

(2) 信号处理板的硬件实现。首先介绍了该信号处理板的设计组成,并对一些重要的部件设计进行说明,同时介绍了该项目中用到的一些相关技术问题。

(3) 测角系统软件实现。对测角系统的软件实现方法进行了详细的说明,并给出了实测数据分析。同时详细地介绍了基于 FPGA 的数据转换传输和码信息采集等功能的具体实现和数据仿真。

第二章 单脉冲测角理论研究

2.1 单脉冲的定向原理

根据从回波信号中提取目标的角信息方式的特点^[1], 可以将单脉冲定向法分为两种基本方法: 振幅定向法和相位定向法。

在振幅定向法单脉冲雷达中, 为了确定一个平面内的角坐标, 就需要形成两个互相迭交的天线方向图, 并且它们的中心线对等强信号的偏离角度分别为 $\pm\theta_0$, 如图2.1所示。它表示的是俯仰平面内的两个方向图。当目标对等强信号的偏离角为 θ 时, 由下面的方向图收到的信号将大于由上面的方向图收到的信号。两个信号的振幅差即表示目标对等强信号方向的偏移量, 而振幅差值的符号则表示等强信号方向相对于目标的偏移方向。当等强信号方向与目标重合时, 由上、下方向图收到的回波信号的振幅相等, 其差值就等于零。同样, 目标的方位坐标也可以利用接收机的方位支路和方位平面内的第二对方向图来测定。

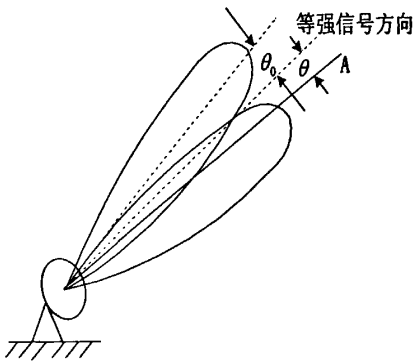


图2.1 振幅定向法中角坐标的测定

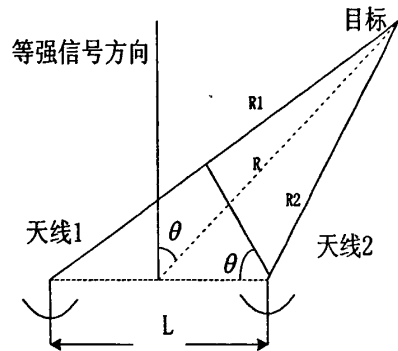


图2.2 相位定向法中角坐标的测定

在相位定向法单脉冲雷达中, 是将两个天线收到的信号的相位加以比较来确定目标在一个坐标平面内的方向。在遥远的区域内, 两个天线都照射着同一空间范围, 由点目标反射回来的信号, 实际上是振幅相同, 而相位不同。图2.2表示了两个彼此之间距离为 L 的天线。

在两个天线的连线上作中垂线（即等强信号方向），目标观测线与此垂线之间的夹角为 θ 。天线1同目标之间的距离为：

$$R_1 = R + \frac{L}{2} \sin \theta \quad (2-1)$$

而天线2同目标之间的距离为：

$$R_2 = R - \frac{L}{2} \sin \theta \quad (2-2)$$

目标到两个天线的距离差为：

$$\Delta R = R_1 - R_2 = L \sin \theta \quad (2-3)$$

由此求得的相位差为：

$$\Delta \varphi = \frac{2\pi}{\lambda} \Delta R = \frac{2\pi L}{\lambda} \sin \theta \quad (2-4)$$

式中 λ ——波长。

利用这个公式，可以根据两个分开的天线所收到的回波信号的相位差来确定到达角 θ 。

此外，公式 (2-4) 还说明，信号的相位差 $\Delta \varphi$ ，不仅在 $\theta = 0$ 时为零，而且在符合以下条件的其他 θ 时也等于零：

$$\theta = \arcsin \frac{2n\pi}{k_\lambda L} \quad (2-5)$$

式中 $n = 1, 2, \dots$

$$k_\lambda = \frac{2\pi}{\lambda}$$

因此，定向特性曲线就是一条符号交替变化的曲线，除了基本的等强信号方向外，还有很多虚假的等强信号方向。所以采用相位定向法时，会出现测量结果非单值。但是，如果虚假的等强信号方向是处于方向图的主瓣以外，这种非单值性就不会成为严重的问题，只要使两个接收天线的中心之间的距离不超过其中任何一个天线的直径就能避免这一问题。此外，除了上述两种基本的定向方法外，还有将两种方法合成的振幅-相位定向法，也得到了应用。

目前，实际上应用最广的单脉冲测角方法主要有四种：振幅-振幅式，相位-相位式，振幅和-差式及相位和-差式。下面将分别加以介绍，并针对本课题使用的相位和-差单脉冲测角方法进行仿真来分析其测角特性。

2.2 振幅-振幅式单脉冲测角

如在2.1节中所指出，在振幅定向法单脉冲测角中，对目标回波信号进行接收的是这样一种天线系统，它在每个坐标平面内部产生出对于等强信号方向偏离 $\pm \theta$ 角的两个波束。

如果加在天线系统输入端的目标回波信号为 $\dot{E}(t) = E_m e^{i\omega t}$ ，则当目标偏离等强信号方向为 θ 角时，经由第一及第二支路传输到天线输出端的信号，可由下式确定：

$$\dot{E}_1(t, \theta) = E_m F_1(\theta) \exp i \omega t = E_m F(\theta_0 - \theta) \exp i \omega t \quad (2-6)$$

$$\dot{E}_2(t, \theta) = E_m F_2(\theta) \exp i \omega t = E_m F(\theta_0 + \theta) \exp i \omega t \quad (2-7)$$

比幅法测角有两种形式^[2]。当接收机是线性接收机时, 两路接收机输出要用除法运算实现幅度比较。幅度比较器的输出值 $K(\theta)$ 是目标所在角位置的函数, $K(\theta)$ 可表示为:

$$K(\theta) = \frac{k_1 F_1(\theta)}{k_2 F_2(\theta)} \quad (2-8)$$

式中 k_1 及 k_2 分别为两个支路的信号增益系数。

相邻两接收波束的方向图函数 $F_1(\theta)$ 和 $F_2(\theta)$, 可预先求出。若两路增益 k_1 和 k_2 相等, 则幅度比较器输出值 $K(\theta)$ 便与 $F_1(\theta)/F_2(\theta)$ 相等。因此, 只要求出两个接收机输出幅度的比值, 便可确定目标所在的角度位置。

比幅法测角的另一种形式是对两路接收信号分别取对数, 然后再相减。

取对数后, 加到减法电路输入端的信号分别为:

$$u_1(\theta) = \ln k_1 E_m F(\theta_0 - \theta) \quad (2-9)$$

$$u_2(\theta) = \ln k_2 E_m F(\theta_0 + \theta) \quad (2-10)$$

在减法电路输出端, 得:

$$S(\theta) = \ln \frac{k_1 F(\theta_0 - \theta)}{k_2 F(\theta_0 + \theta)} \quad (2-11)$$

由式 (2-11) 可见, 这种单脉冲雷达的定向特性同天线的方向图、对数放大器的特性及其一致性都有关系。因此, 对数放大器振幅特性的不稳定性和不一致性都会使定向特性发生畸变, 从而使得在测定目标方向时出现误差。

当两路接收支路相同 ($k_1 = k_2 = k$) 并且角误差很小时, 公式 (2-11) 可以写成如下的形式:

$$S(\theta) = \ln \frac{F(\theta_0 - \theta)}{F(\theta_0 + \theta)} = \ln F_1(\theta) - \ln F_2(\theta) \quad (2-12)$$

该法的缺点是必须使两个放大器的振幅特性保持高度的一致。

2.3 相位-相位式单脉冲测角

在这种方法中, 用来接收信号的是这样一种天线系统, 它在每个坐标平面内都形成相互平行的两个波束。

由两个方向图相同的天线所收到的回波信号可写为:

$$\dot{E}_1(t, \theta) = E_m F(\theta) \exp i \left(\omega t + \frac{\Delta \varphi}{2} \right) \quad (2-13)$$

$$\dot{E}_2(t, \theta) = E_m F(\theta) \exp i(\omega t + \gamma_\theta - \frac{\Delta\varphi}{2}) \quad (2-14)$$

式中 $\Delta\varphi$ ——信号从目标到两个天线的行程差所引起的相移，由公式 (2-4) 可以确定；

$\gamma_\theta = \pi/2$ ——当等强信号方向与目标方向重合时 ($\theta = 0$)，为保证输出信号等于零所需的起始相移。

两个中频放大器的输出信号分别为：

$$\dot{u}_1(t, \theta) = k_1 E_m F(\theta) \exp i(\omega_p t + \frac{\Delta\varphi}{2}) \quad (2-15)$$

$$\dot{u}_2(t, \theta) = k_2 E_m F(\theta) \exp i(\omega_p t + \frac{\pi}{2} - \frac{\Delta\varphi}{2}) \quad (2-16)$$

在采用限幅方法来实现归一化时，可将鉴相器输入端的信号表为下列形式：

$$\dot{u}'_1(t, \theta) = U_{orp} \exp i(\omega_p t + \frac{\Delta\varphi}{2}) \quad (2-17)$$

$$\dot{u}'_2(t, \theta) = U_{orp} \exp i(\omega_p t + \frac{\pi}{2} - \frac{\Delta\varphi}{2}) \quad (2-18)$$

式中 U_{orp} ——限幅门限。

如果鉴相器内的振幅检波器按平方律检波，即鉴相器对输入信号进行相乘及平均的运算，则鉴相器输出端的信号可写为：

$$S(\theta) = k_{\phi 1} \operatorname{Re}[\dot{u}'_1(t, \theta) \dot{u}'_2(t, \theta)] \quad (2-19)$$

式中 $k_{\phi 1}$ ——鉴相器的传输系数。

因此可得：

$$S(\theta) = k_{\phi 1} U_{orp}^2 \sin \Delta\varphi \quad (2-20)$$

将公式 (2-3) 中的 $\Delta\varphi$ 值代入上式，得：

$$S(\theta) = k_{\phi 1} U_{orp}^2 \sin(\frac{2\pi L}{\lambda} \sin \theta) \quad (2-21)$$

该法的主要缺点，是定向精度同接收支路的相位特性的一致性及其稳定性有很大的依赖关系。

2.4 振幅和-差式单脉冲测角

由于在使用和-差角度鉴别器的单脉冲雷达对于接收支路特性的一致性要求相对不太严格，所以比较普遍的用于现代的一些雷达站。

在这种单脉冲雷达中，回波信号从天线的输出端加到和-差变换器进行信号的

相加和相减。由和-差变换器输出的高频和信号及差信号又分别加到和及差接收支路，在其中被变换成中频信号，同时放大到所需的电平。差信号的振幅可以确定角误差的大小，而和信号与差信号之间的相位差则确定角误差的符号，即目标对于等强信号的偏移方向。

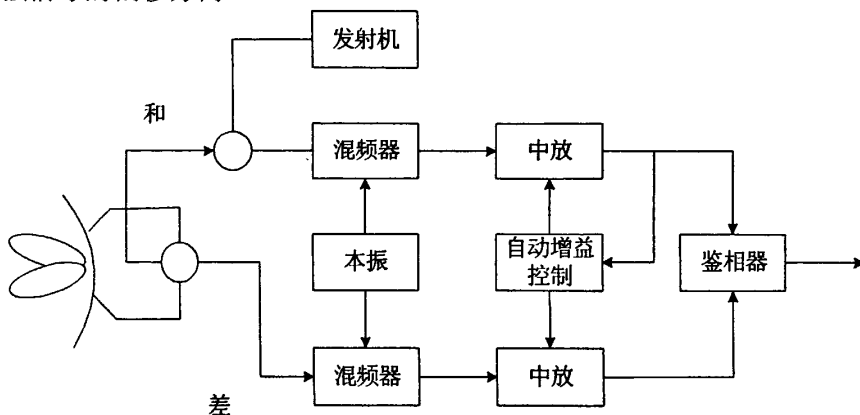


图2.3 一个平面内振幅和-差式单脉冲雷达方框图

在一个平面内定向的振幅和-差式单脉冲雷达的方框图示于图 2.3。当目标偏离等强信号方向的偏移量很小时，天线第一支路和第二支路输出的信号由以下两式确定：

$$\begin{aligned}\dot{E}_1(t, \theta) &= E_m F_1(\theta) \exp i \alpha t = E_m F(\theta_0 - \theta) \exp i \alpha t \\ &= E_m F(\theta_0)(1 + \mu \theta) \exp i \alpha t\end{aligned}\quad (2-22)$$

$$\begin{aligned}\dot{E}_2(t, \theta) &= E_m F_2(\theta) \exp i \alpha t = E_m F(\theta_0 + \theta) \exp i \alpha t \\ &= E_m F(\theta_0)(1 - \mu \theta) \exp i \alpha t\end{aligned}\quad (2-23)$$

式中 E_m ——信号电动势振幅值；

$F(\theta_0)$ ——天线在等强信号方向的增益系数；

μ ——天线方向图在工作部分的斜率。

$F_1(\theta)$ 、 $F_2(\theta)$ 分别为两个波束的方向图，如图 2.4 (a)；图 2.4 (b) 为和、差信号的方向图

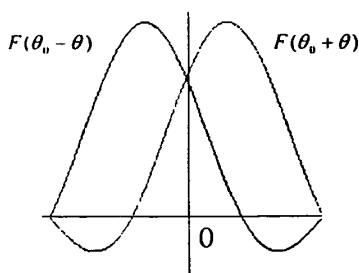


图 2.4 (a) 多波束方向图

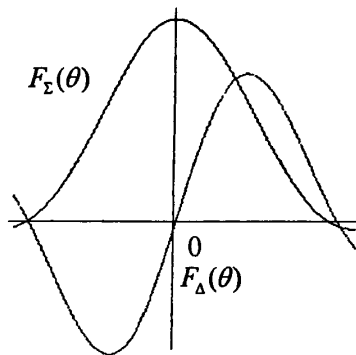


图 2.4 (b) 和及差方向图

由图可见, 天线输出的差信号的相位随目标偏离等强信号的方向而变换, 它可能与和信号同相, 也可能与和信号反相。在没有误差时(即目标与天线等强信号方向重合时), 加到两个接收支路输入端的目标回波信号的振幅相等, 因此, 差信号等于零。

假定波导桥对功率平均分配, 则波导桥输出的和信号及差信号分别为:

$$\dot{E}_{\Sigma}(t, \theta) = \frac{1}{\sqrt{2}} [\dot{E}_1(t, \theta) + \dot{E}_2(t, \theta)] = \sqrt{2} E_m F(\theta_0) \exp i \omega t \quad (2-24)$$

$$\dot{E}_{\Delta}(t, \theta) = \frac{1}{\sqrt{2}} [\dot{E}_1(t, \theta) - \dot{E}_2(t, \theta)] = \sqrt{2} E_m F(\theta_0) \mu \theta \exp i \omega t \quad (2-25)$$

其中 $E_{\Sigma}(t, \theta)$ 表示和信号, $E_{\Delta}(t, \theta)$ 表示差信号。

经过限幅、变频和放大后, 并考虑自动增益控制的作用, 可以将鉴相器输入端的和信号及差信号表示为:

$$\dot{u}_{\Sigma}(t, \theta) = \exp i(\omega_p t + \varphi_1) \quad (2-26)$$

$$\dot{u}_{\Delta}(t, \theta) = \frac{k_2}{k_1} \mu \theta \exp i(\omega_p t + \varphi_2) \quad (2-27)$$

式中 k_1 、 k_2 ——和、差支路的电压增益;

φ_1 、 φ_2 ——支路中的相移。

在鉴相器的输出端得到:

$$S(\theta) = k_{\phi} \frac{k_2}{k_1} \mu \theta \cos(\varphi_1 - \varphi_2) \quad (2-28)$$

其中 k_{ϕ} 表示鉴相器的传输系数。

因为在一个特定的系统中, 天线方向图和鉴相器特性已经确定, 所以鉴相器的输出信号只与目标的偏离方向有关。

2.5 相位和-差式单脉冲测角

在一个平面内的相位和-差式单脉冲雷达方框图如图2.5所示。

将天线输出端的信号写为:

$$\dot{E}_1(t, \theta) = E_m F(\theta) \exp i(\omega t + \frac{\Delta \varphi}{2}) \quad (2-29)$$

$$\dot{E}_2(t, \theta) = E_m F(\theta) \exp i(\omega t - \frac{\Delta \varphi}{2}) \quad (2-30)$$

在波导桥输出端的和信号及差信号分别为:

$$\dot{E}_{\Sigma}(t, \theta) = \frac{1}{\sqrt{2}} E_m F(\theta) [\exp i(\omega t + \frac{\Delta \varphi}{2}) + \exp i(\omega t - \frac{\Delta \varphi}{2})] \quad (2-31)$$

$$\dot{E}_\Delta(t, \theta) = \frac{1}{\sqrt{2}} E_m F(\theta) [\exp i(\omega t + \frac{\Delta\varphi}{2}) - \exp i(\omega t - \frac{\Delta\varphi}{2})] \quad (2-32)$$

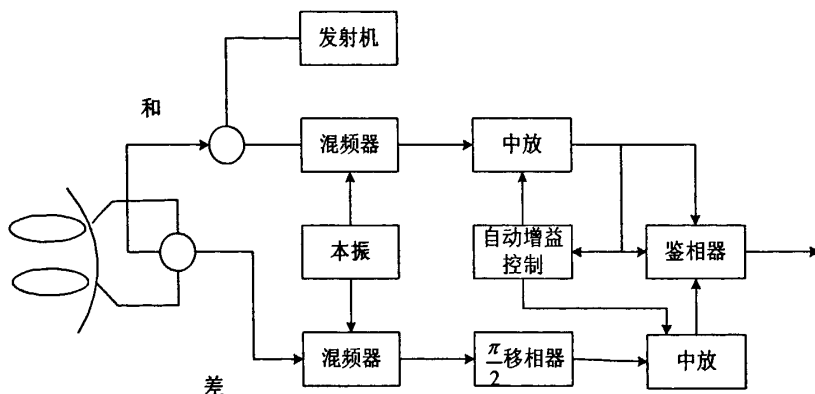


图 2.5 一个平面内的相位和-差式单脉冲雷达方框图

经过变频和放大后，在考虑到自动增益控制的作用，并考虑到在差支路中还有 $\pi/2$ 的附加相移时，可将鉴相器输出端的误差信号写为：

$$S(\theta) = \frac{\text{Re} \dot{u}_\Sigma(t, \theta) \dot{u}'_\Delta(t, \theta)}{\dot{u}_\Sigma(t, \theta) \dot{u}'_\Sigma(t, \theta)} \quad (2-33)$$

式中 \dot{u}'_Σ 和 \dot{u}'_Δ ——和支路及差支路输出信号的共轭复数值。

根据公式 (2-31) 和 (2-32)，可将式 (2-33) 写成：

$$S(\theta) = \frac{k_2}{k_1} k_{\text{和}} \frac{\sin \Delta\varphi}{1 + \cos \Delta\varphi} = \frac{k_2}{k_1} k_{\text{和}} \tan \frac{\Delta\varphi}{2} \quad (2-34)$$

将公式 (2-4) 中的 $\Delta\varphi$ 值代入后，得：

$$S(\theta) = \frac{k_2}{k_1} k_{\text{和}} \tan\left(\frac{\pi L}{\lambda} \sin \theta\right) \quad (2-35)$$

从鉴相器输出得到误差信号后，即可求出目标偏角。

2.6 测角特性仿真与分析

本课题所用到的相位和-差单脉冲测角法，利用了空间上分开的两个天线接收到的相位与振幅，因此，也可称为振幅-相位式单脉冲测角方法，下面针对该方法在课题中的应用进行理论仿真，并对其测角特性及测角精度进行分析。其中主要考虑了各通道噪声和幅相特性对测角的影响。

参数设置如下：

天线阵元个数 $N = 16$

载波频率 $f = 200\text{MHz}$

载波波长 $\lambda = c/f = 1.5m$

阵元间距 $d = 0.91m$

将 16 个阵元分成 8 个一组的两子天线阵,并用两个子天线阵产生和通道及差通道两路信号,如图 2.6 所示。

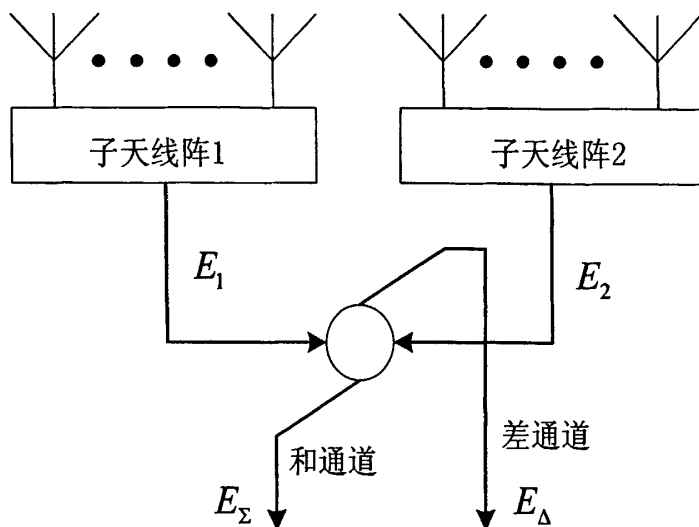


图 2.6 测角原理框图

每个阵元的回波信号用下式表示:

$$a(k) = \exp(i \cdot 2\pi \cdot x_k \cdot \frac{\sin(\theta)}{\lambda}) \quad (2-36)$$

其中 θ ——目标偏角

x_k ——第 k 个阵元到中心的距离

将 8 个阵元的回波数据相加形成两组数据 b_1 和 b_2 , 对其分别相加和相减形成和通道及差通道数据:

$$E_{\Sigma} = b_1 + b_2 \quad (2-37)$$

$$E_{\Delta} = b_1 - b_2 \quad (2-38)$$

按式 $S(\theta) = \text{imag}(\frac{E_{\Delta}}{E_{\Sigma}})$, (其中 imag 表示取虚部), 可得理想情况下得测角曲

线如图 2.7 所示, 由图可见, 该曲线为单调曲线, 其纵坐标值与偏角一一对应。本课题是按该曲线制成对照表, 根据实际算出的比值来查找对照表, 从而得到被测目标的偏角值。该曲线是在单个阵元主瓣范围内相位增益不变, 且没有噪声影响的情况下产生的, 因此能否用该曲线对实际中有噪声影响且相位增益变化情况下的目标进行角度测量, 且测量精度的高低, 以及通道的幅相误差对测角精度的影响程度, 是下面要重点仿真分析的。

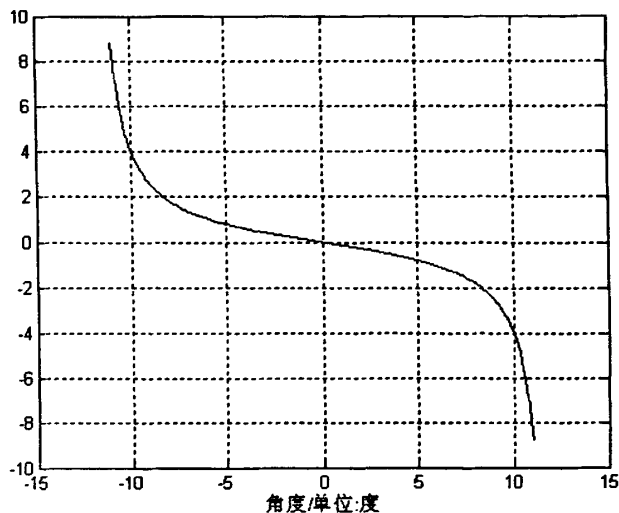


图 2.7 理想情况单脉冲测角曲线

首先, 给各个回波数据加上噪声, 这里用高斯白噪声来近似, 同样可以得到带噪声情况下的单脉冲测角曲线, 在选定的某个角度 θ_i 上用带噪声的数值对理想情况下的单脉冲测角曲线进行查表, 可以得到一个角度 θ_c , 用该角度 θ_c 减去选定角度 θ_i 即可得到该选定角度上的测角误差 $\Delta\theta$, 但由于噪声是随机的, 因此单次比较的误差并不能完全体现噪声对测角精度的影响, 这里采用求 1000 次的均方根误差的方法来对测角精度进行分析, 即 $\Delta\theta = \sqrt{\frac{1}{1000} \sum_{i=1}^{1000} |\theta_c - \theta_i|^2}$ 。由此可画出 3 度、4 度和 5 度的误差-信噪比曲线如图 2.8 所示。

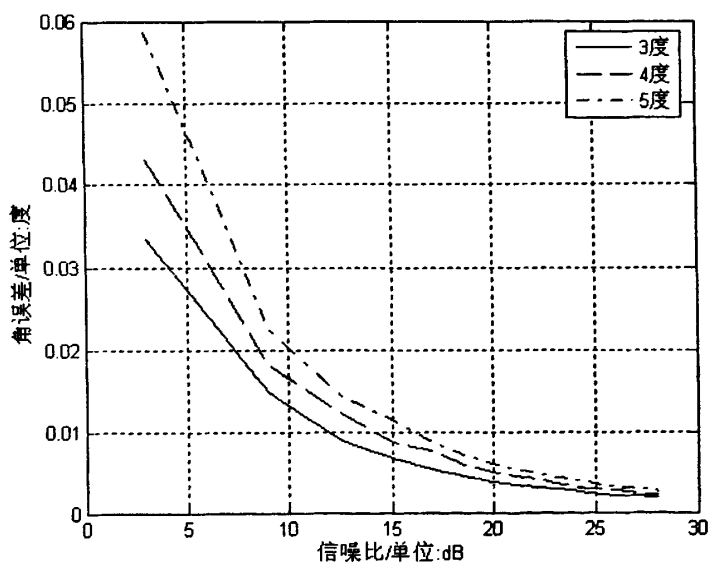


图 2.8 误差-信噪比关系曲线

由图可见,有噪声情况下与理想情况下的测角误差随着信噪比的增大而减小,而且其误差量很小,以至于对测角精度不会有很大影响,因此可以用理想曲线来测量实际中的角度。

以上仿真均是在认为单个阵元主瓣范围内相位增益不变的情况下产生的,而实际中相位增益是有变化的,图 2.9 给出了在加噪声的基础上,相位增益变化时的角误差-信噪比曲线。

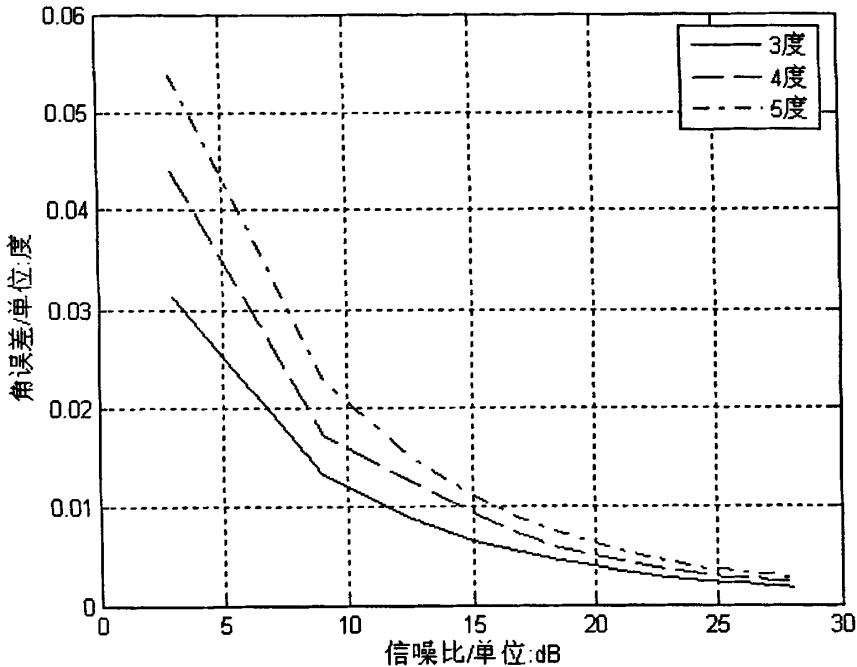


图 2.9 相位增益变化时的误差-信噪比曲线

通过和图 2.8 的比较可知,当单个阵元相位增益在主瓣范围内变化时,仍用理想曲线进行查表测角对测角精度的影响很小,所以用相位增益不变时的测角曲线,可以对实际的角度进行测量,其精度满足要求。

当各数据通道存在幅度和相位误差时,其测角特性也会受到影响,下面将分类进行仿真分析。

在和、差波束形成前的左右两波束之间存在相位差和幅度差时,会使在角度零值方向上差信号得不到零值,从而会使测角曲线发生零值偏移,如图 2.10 所示,为 10 度相位差和 1/10 幅度差时的测角曲线。由图可见,其曲线零值左偏,因而会对测角精度产生影响。其 3 度偏角时误差-信噪比曲线与没有幅相误差情况下的对比图如图 2.11 所示,由图可见,随着信噪比增大时,测角误差与理想情况下相比也越来越大。

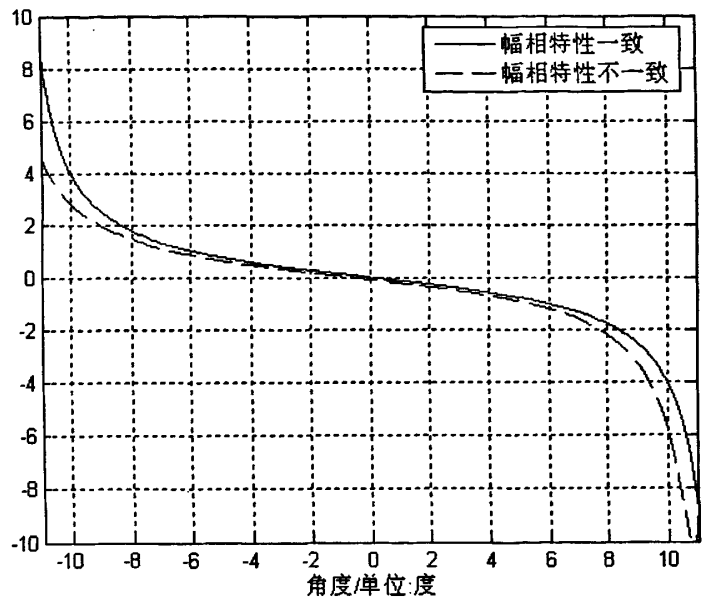


图 2.10 比较器前的幅相误差对测角的影响

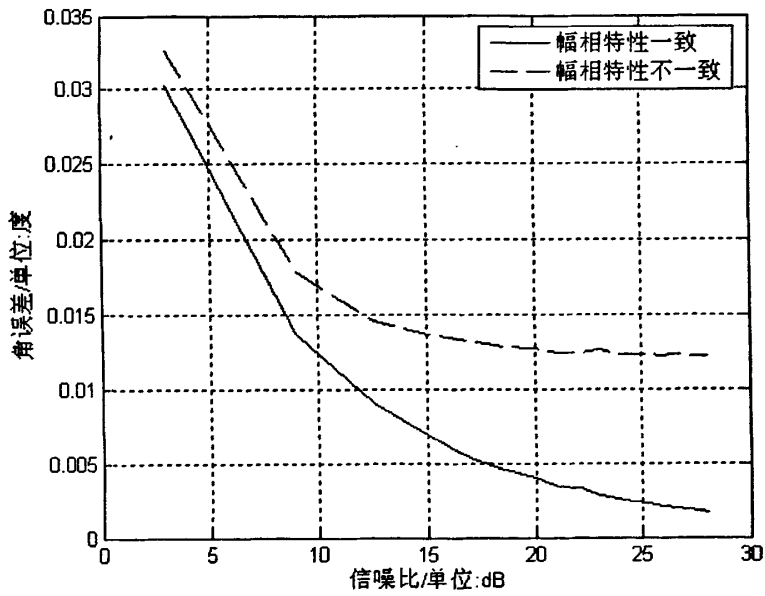


图 2.11 比较器前幅相特性不一致的误差-信噪比曲线

和、差通道幅相特性的不一致性对测高精度也会有影响。这种影响是在使用模拟方法形成和、差波束时，各接收通道由于前端的模拟器件的影响，难以保证各通道的幅相特性完全一致而产生的。因此会对测角曲线产生影响，如图 2.12 所示，同时，图 2.13 给出了在偏角 3 度时有幅相误差的角误差-信噪比关系曲线。这两个图均是在有 10 度相位差和 3/10 的幅度差的情况下给出的。由图可以看出，

在相同条件下,当存在幅相误差时测角误差会增大,而且,随着信噪比的提高,测角误差增大得更明显。由于在课题中是用数字的方法形成的和、差波束,因此就不存在这种影响。

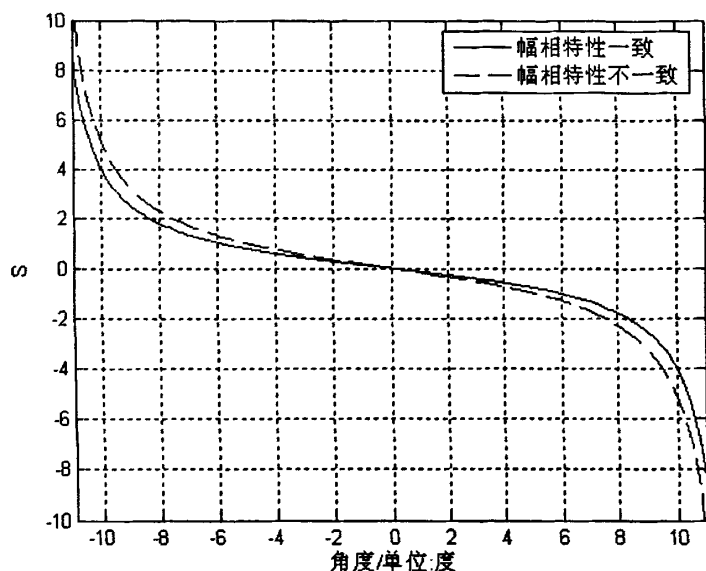


图 2.12 幅相特性不一致测角曲线

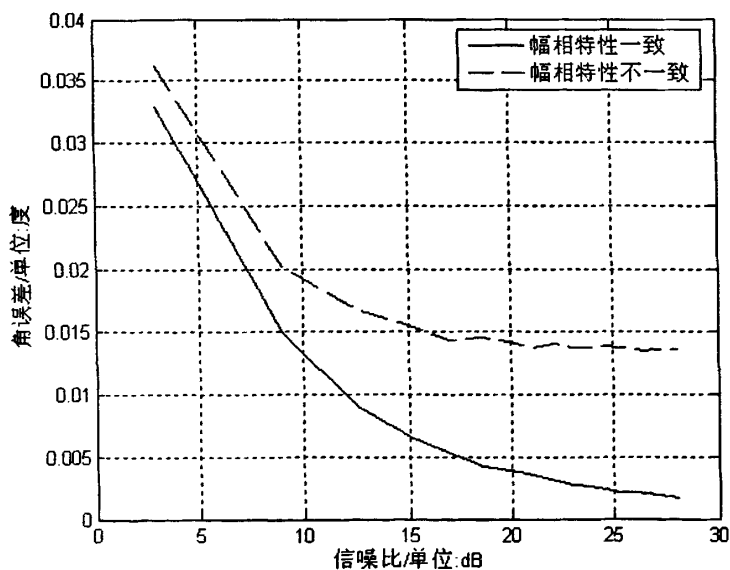


图 2.13 幅相特性不一致的角误差-信噪比曲线

以上是对本课题中所用测角方法的理论仿真分析,在后面的章节中将以此方法为依据,在工程中对其进行软、硬件实现。

第三章 信号处理板的硬件实现

上一章中对本课题所用的测角算法进行了介绍和仿真分析，为实际工程实现提供了前提。本章将对本课题所用的硬件信号处理板进行详细的说明。首先介绍了本设计中通用信号处理板所选器件的性能，接下来重点对测角系统所用到的硬件电路的具体实现进行说明。

3.1 选用器件说明

实时数字信号处理技术的核心和标志是数字信号处理器。高速实时单脉冲测角信号处理要满足对大规模数据进行高速、实时处理的要求，自然数字信号处理器成为该实时系统的核心和灵魂。在处理器芯片选型时，实时性是最主要的指标。

DSP 分为专用 DSP 和通用 DSP。专用 DSP 只能用来实现某种特定的数字信号处理功能，如：数字滤波、FFT 等，专用 DSP 不需编程，使用方便，处理速度快，但同时灵活性差、几乎都是定点型的，需要较多外围控制器件和严格的时钟同步信号，并且专用 DSP 几乎不具备自适应处理能力；通用性 DSP 一般指可以用指令/软件编程的 DSP，灵活性好，早期的通用 DSP 比专用 DSP 的处理速度慢，但 ADI 公司与 TI 公司近几年推出的通用 DSP 速度提高非常快，与专用 DSP 在处理速度上几乎相差无几。所以对于本系统的开发，为了更高、更灵活的实现数据处理，选择了通用型 DSP。

现今市场上运用较多，性价比较高的通用 DSP 芯片主要是由 TI 公司与 ADI 公司生产的。TI 公司生产的 DSP，无论在市场的占有率以及单片 DSP 系统的性价比上都有着相对的优势，因为 TI 的 DSP 的种类很多，它们分类也很细，其中很多型号的 DSP 是针对不同领域而专门生产的，这样它们不但在专门的领域功能上有着较强的功能，而且也正是因为“专”，所以 DSP 的内部一般都是非常精简的，这样在性能和价格上 TI 公司生产的 DSP 的芯片有着相对的优势；ADI 公司生产的 DSP 的芯片也拥有相当多的市场份额，它们的性能非常好，但对于一般民用产品来说，最大的缺点就是比 TI 公司生产的 DSP 贵很多，从单片使用的角度来看，使用 ADI 公司生产的 DSP 比使用 TI 公司生产的 DSP 优势不大，但如果系统是由多片 DSP 构成的，那么 ADI 的 DSP 其自身的 LINK 口形成 DSP 与 DSP 之间不占用外部总线的数据传输，它的优势就不言而喻了。

在考虑到数据的处理速度与 I/O 平衡的基础上，以及工程自身的性能要求，

我们在信号处理板的使用中运用选择了 ADI 公司生产的通用信号处理器 DSP—ADSP-TS101S。

3.1.1 ADSP-TS101S 介绍

ADSP—TS101S TigerSHARC DSP 是一款极高性能的静态超标量处理器^[5], 专为大的信号处理任务和通信结构进行了优化。该处理器将非常宽的存储器宽度和双运算模块（支持 32-和 40-bit 浮点及 8-, 16-, 32-和 64-bit 定点处理）组合在一起，建立了数字信号处理器性能的新标准。TigerSHARC 静态超标量结构使 DSP 每周期能够执行多达 4 条指令，24 个 16-bit 定点运算和 6 个浮点运算。

三条相互独立的 128-bit 宽度的内部数据总线，每条连接三个 2M bit 内部存储器 bank 中的一个，提供 4 字的数据、指令及 I/O 访问和 14.4G bytes/s 的内部存储器带宽。运行在 300MHz 时，ADSP-TS101S 内核的指令周期为 3.3ns。发挥其单指令多数据特点，ADSP-TS101S 可以提供 24 亿次 40-bit MAC 运算或者 600 百万次 80-bit MAC 运算。表 3.1 显示了该 DSP 的性能指标。

表 3.1 300MHz 运行时算法的性能

性能指标	速度	时钟周期
32bits 算法，600 百万 MACs/s 峰值性能		
1024 点 FFT（基 2）	32.78μs	9835
1024 点输入 50 抽头 FIR	91.67μs	27500
16bits 算法，24 亿次 MACs/s 峰值性能		
256 点 FFT（基 2）	3.67μs	1100
1024 点输入 50 抽头 FIR	24.0μs	7200
I/O DMA 传输速率		
外部端口	800Mbytes/s	N/a
链路口（每个）	250Mbytes/s	N/a

它的内部包括：

1. 双运算模块，每个包含一个 ALU，乘法器，64-bit 移位器和 32 个字的寄存器组及相关的对齐缓冲器（DAB），运算模块能够通过相互独立或一起工作执行通用运算来实现单指令多数据(SIMD)引擎。
2. 双整数 ALU(IALU)，每个有自己的 31 个字的寄存器组用于数据寻址，能提供强大的地址产生能力和通用的整数操作。
3. 一个带有指令对齐的缓冲器(IAB)，缓存最多 5 条预取并等待执行的指令，程序

控制器从 IAB 中提取出指令行, 并将指令分发给相应内核模块来执行; 分支目标缓冲器(BTB), 是用来减小分支跳转延迟, 用以实现条件和无条件跳转指令的高效执行和零消耗循环, 正确的预测跳转仅需要 0 到 2 个周期的开销, 克服了 3 到 6 级分支惩罚; 中断控制器的程序控制器, DSP 支持嵌套和非嵌套中断。每种中断类型在中断向量表中拥有一个寄存器, 并且在中断锁存寄存器和中断屏蔽寄存器中占有一位。

4. 3 条相互独立的 128-bit 宽度的内部数据总线, 每条连接三个 2Mbit 内部存储器 bank 中的一个。这种连接使得 DSP 能够在一个周期内完成 3 个存储器传输。
5. 片内 SRAM (6M bit), 也可以表示为 (64K 字×32bit)。每个存储块——M0, M1, M2—能够存储程序、数据或同时存储程序和数据。将程序和数据存储在不同的存储块中, 能够使得 DSP 可以在取指的同时访问数据。
6. 提供与主机处理器、多处理器空间(DSP)、片外存储器映射外设、外部 SRAM 和 SDRAM 相连的外部端口。
7. 一个 14 通道 DMA 控制器。DMA 控制器独立工作, 对 DSP 内核是不可见的, 即当 DSP 内核在持续执行程序指令时, DMA 操作也可以发生。DMA 控制器执行 DMA 传输可以在: (1) 片内存储器与外部存储器和存储器映射的外设; (2) 共享总线上的其它 DSP 的片内存储器、主机处理器或链路口; (3) 外部存储器和外设或链路口; (4) 外部主处理器和片内存储器或链路口之间进行。
8. 拥有四个链路口。8 个专用的 DMA 通道 (4 个发送, 4 个接收) 传输 4 字的数据。只能在链路口之间, 及链路口与片内或外部的存储器之间传输。
9. 两个 64 bit 间隔定时器和定时器计满引脚, 可以用户自己定义。
10. 一个 IEEE 1149.1 兼容 JTAG 接口用于片上仿真。

图 3.1 给出了 ADSP-TS101S 的内部结构图。

TigerSHARC DSP 使用静态超标量体系结构。ADSP-TS101S 内核使用的这种超标量结构能通过两个运算单元同时执行 1 到 4 条 32-bit 从 VLIW 指令行中译出的指令。因为 DSP 在运行期间并不重新排列指令顺序, 所以用户需要在运行期以前选择哪几条指令并行执行, 故程序指令执行的顺序是静态的。

除了少数例外, 指令行中无论包含 1 条、2 条、3 条还是 4 条 32-bit 指令, ADSP-TS101S 皆使用一个周期执行完毕。

为了优化 DSP 程序的执行, 程序员必须遵从指令并行执行规则。总的来说, DSP 能否在单周期完成并行执行依赖于每条指令依赖的指令行资源和指令中使用的源和目标寄存器。程序员能够直接控制三个内核模块—IALU、运算模块和程序控制器。

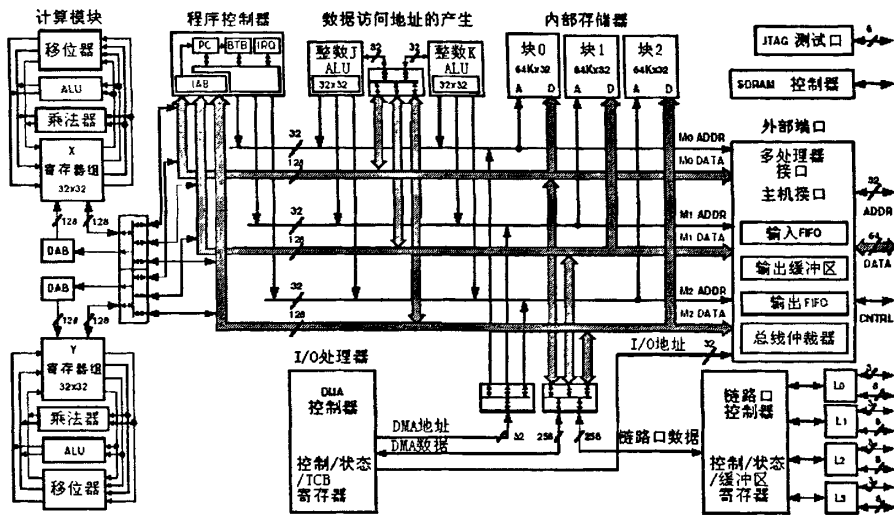


图 3.1 ADSP-TS101S 内部结构

ADSP-TS101S 在大多数情况下，具有一个两周期完全互锁的指令流水线，因此，在任何情况下，当一个运算结果对于另一个操作来说不能使用的时候，DSP 会自动地插入一个或多个延迟周期。使用独立指令进行高效地编程能够去除大部分的运算和内存传输依赖。

3.1.2 Cyclone 系列 FPGA 介绍

Cyclone FPGA 是基于 Stratix 的工艺架构的一款低成本的 FPGA^[6]。Cyclone 器件采用 0.13um 的工艺制造，其内部有锁相环、RAM 块，逻辑容量从 2910 到 20060 个 LE。Cyclone 系列 FPGA 特性见表 3.2。

表 3.2 Cyclone 系列 FPGA 特性

特性	EP1C3	EP1C4	EP1C6	EP1C12	EP1C20
LE	2910	4000	5980	12060	20060
M4K RAM	13	17	20	52	64
锁相环	1	2	2	2	2
最大用户 I/O	104	301	185	249	301

其基本由 5 部分组成，分别为：

1. 可编程输入/输出单元：它们是芯片与外界电路的接口部分，完成不同电器特性下对输入/输出信号的驱动与匹配要求，大部分为可编程模式。
2. 基本可编程逻辑单元：它是可编程逻辑的主体，可以根据设计灵活地改变其内部连接与配置，完成不同的逻辑功能。
3. 嵌入式块 RAM：目前大多数 FPGA 都有内嵌的块 RAM(Block RAM)。其内部嵌入的可编程 RAM 模块，大大拓展了 FPGA 的应用范围和使用灵活性。

- 4.丰富的布线资源：布线资源连通 FPGA 内部所有单元，连线的长度和工艺决定着信号在连线上的驱动能力和传输速度。
- 5.底层嵌入功能单元：这里指的是那些通用程度较高的嵌入式功能模块，如 PLL、DLL 等。

3.2 并行处理器系统设计

并行处理系统大多都采用了总线数据传输的方法来实现共享存储器这一通信机制，构成共享存储器处理器系统。多个处理器都访问总线时，通过总线仲裁获得总线控制权，互相之间的耦合作用较为紧密，因而是一种紧耦合的系统。ADSP-TS101S 的外部总线可以直接连到一起，无需任何外加控制逻辑，可以构成多达 8 片的 DSP 共享存储总线。接在总线上的外部存储器和各 DSP 的片内存储器都作为共享资源被各个 DSP 访问。尤其是 ADSP-TS101S 有大容量的片内存储器，大多数时间下的取指令、存取数据可以在片内完成，使得各片 ADSP-TS101S 能以较高的效率独立工作，外部总线的压力大大减轻。所以 ADSP-TS101S 适合组成共享总线系统。ADSP-TS101S 组成的共享总线多处理器系统见图 3.2 所示。

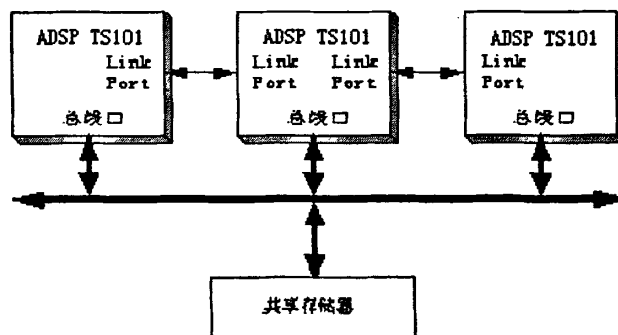


图 3.2 ADSP-TS101 组成的共享总线多处理器系统

在这种方式下，每个 ADSP-TS101S 的片内存储器和 IOP 寄存器可以被其它处理器读、写。多片共享总线处理器在任一时刻只有一片对外部总线有控制权，称其为主处理器，而其它均为从处理器。所有处理器的寻址空间被统一映射，即每个处理器的片内存储器将根据 ID2-0 管脚状态被唯一的映射到一段存储地址内。ID 号与处理器一一对应，每个处理器使用总线请求信号/BR7-0 中的一条作为它使用外部总线的请求，并根据固定优先或循环优先机制来获取总线控制权而成为主处理器。

在共享总线的并行处理系统中，主处理器不仅可以访问片外共享存储器，还可以访问所有从处理器的片内存储器或 IOP 寄存器（也映射成存储器地址），并

在从处理器上建立 DMA 传送。主处理器对从处理器的访问是通过读写（/RD 和 /WRL、/WRH）和确认（ACK）等信号握手完成的。主处理器还可以向所有从处理器作广播式数据传送，向广播内存区写数据等价于向所有从处理器同时写入此数据，而确认信号 ACK 则由所有从处理器“相与”合成。

在/RESET 管脚复位后，ID=000 的处理器将成为主处理器，其它处理器为从处理器，这样就达到了总线同步。因此在多处理器共享系统中，ID=000 的处理器是不可少的，在单处理器系统中（ID=000），总线仲裁无用。ADSP-TS101S 多处理器共享总线中所有处理器的/BR7-0 信号线连接在一起，每个处理器根据其 ID 号将/BR7-0 中的一条作为输出来提出总线请求，其它/BRx 信号线都作为输入。当某从处理器需要控制外部总线（即成为主处理器）时，则该处理器在时钟周期的开始会将其对应的/BRx 信号线置为低电平，并在同一时钟周期的稍后时刻采样其它/BRx 信号。主处理器通过保持其对应的/BRx 有效来维持其总线控制权，如果其它/BRx 无效而并没有从处理器提出总线请求时，则主处理器的控制权仍不变。只有主处理器/BRx 无效，而且某从处理器/BRx 有效时，总线权转移才会发生。每个处理器通过采样/BRx 信号线就可以知道哪一个将成为新的主处理器，并将这个信息记录在反映新主处理器的 SYSTAT 寄存器 BUSLOCK ACTIVE 位中。

如图 3.3 所示，本信号处理板就是由 4 片 DSP 构成的共享总线系统，4 片 DSP 通过 1 号和 3 号链路口互相连接通信，它们的 2 号链路口都连接到 FPGA 上，用于与 FPGA 通信，0 号链路口通往板外，用于各插件之间的通信。4 片 DSP 共享总线，都连于 2 个 SDRAM，用于对 SDRAM 的读写。它们的 ID 分别为 000、001、002、003，DSP 内部地址的分配情况见下表 3.3：

表 3.3 ADSP TS101 的片内存储器映射表

存储空间	地址范围
片内空间(M0)	0x0000 0000 ~ 0x0000 FFFF
片内空间(M1)	0x0008 0000 ~ 0x0008 FFFF
片内空间(M1)	0x0010 0000 ~ 0x0010 FFFF
片内寄存器空间	0x0018 0000 ~ 0x0018 07FF
多处理器空间	0x01C0 0000 ~ 0x03FF FFFF
外部空间(SDRAM)	0x0400 0000 ~ 0x07FE FFFF
外部空间(MS0)	0x0800 0000 ~ 0x0BFF FFFF
外部空间(MS1)	0x0C00 0000 ~ 0x0FFF FFFF
外部空间(HOST)	0x1000 0000 ~ 0xFFFF FFFF

在本硬件系统中的四片 DSP 的存储空间的使用，均是以此存储器映射表为依据，按照表格的划分来使用地址。

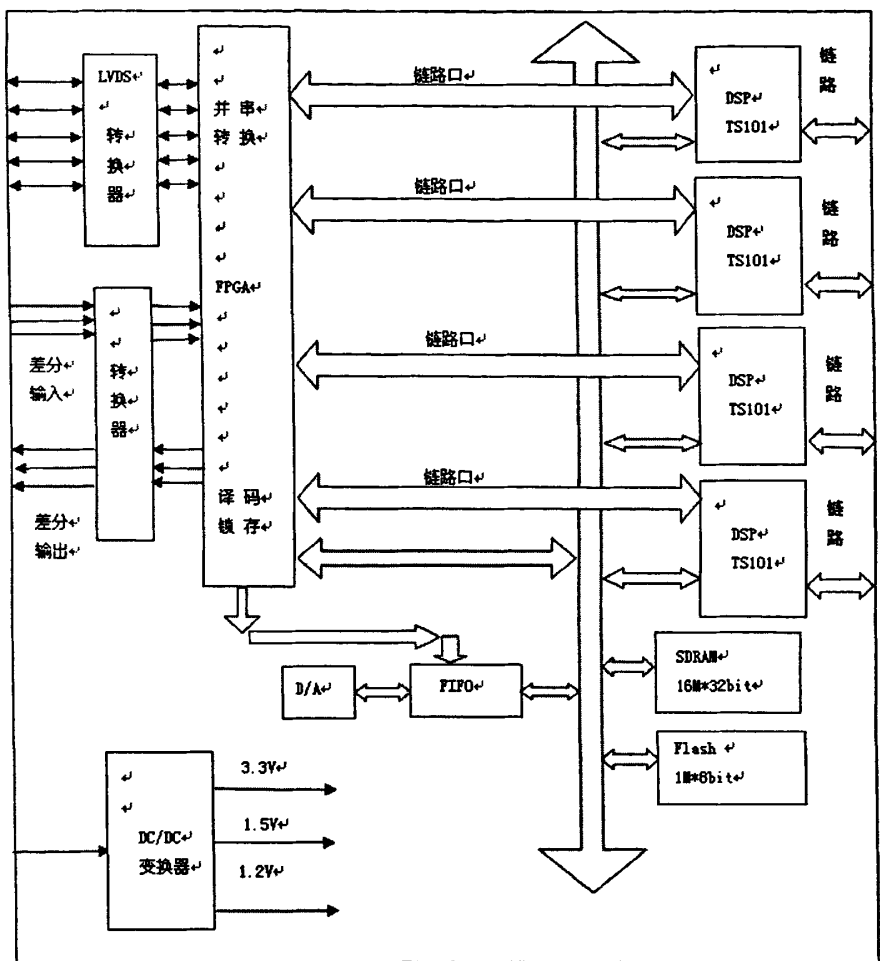


图 3.3 信号处理板组成框图

从图 3.3 可以看出，信号处理插件主要由 4 片 ADI 公司生产的高速信号处理器 TS101、1 片 Altera 公司生产的复杂可编程逻辑器件 EP1C12Q240、5 片 National 公司生产的 DS92LV040 LVDS 接口芯片、2 片同步动态存储器、1 片 FLASH 程序存储器、1 片 FIFO 存储器、2 片 D/A 转换器及电源模块等大规模集成电路组成。

DSP 的外部晶振时钟频率为 50MHz，因此外部总线对 SDRAM 的读取最高时钟频率为 50MHz。对其进行 6 倍频，DSP 的核工作在 300MHz 的频率上，每个指令周期执行所用时间为 3.3ns。

3.3 DSP 与 SDRAM 的硬件连接

该电路板上两片 16 位的 SDRAM，它们拼接成一个 32 位的存储区，该存储区为四片 DSP 共享，供四块 DSP 存储和读取数据。其单片连接图如图 3.4 所示，

其中四片 DSP 与两片 SDRAM 连法都相同,只是第二片的 SDRAM 的数据线接到 DSP 的 D31-16 位上。

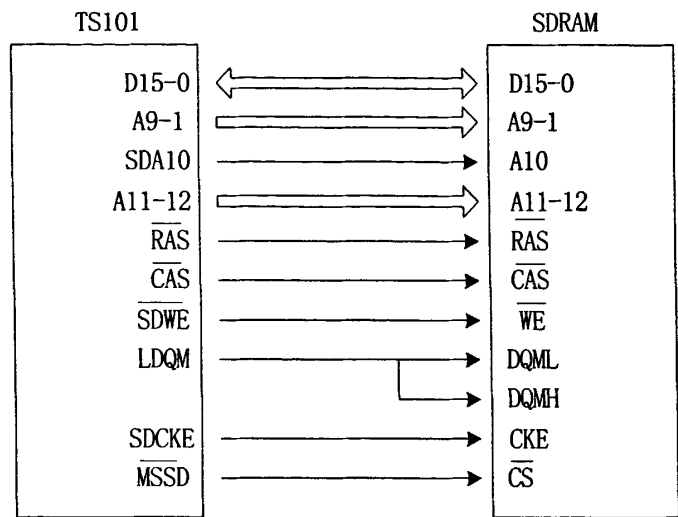


图 3.4 DSP 与 SDRAM 的连接

SDRAM 中主要存放的是和波束数据、差波束数据、测高所需数据及一些控制码等。测角模块主要是从 DSP 中读取存储的和波束及差波束的数据,供测角所用。和波束数据存储起始地址为 0x4200000,共 1M 数据,差波束数据存储起始地址为 0x4300000,共 1M 数据,这些数据按方位码的不同分为 128 组,每组 8192 个,前 24 个字为字头,里面包含方位码、距离码和时间等信息。

在每个导前信号之间,要对 SDRAM 中所存数据进行实时更新,同时各 DSP 又要从中读取所需数据进行相关算法的计算,因此要对各 DSP 访问 SDRAM 的时间进行严格的划分,否则会对 DSP 的数据处理速度造成严重影响,从而影响数据处理在规定时间内完成。

3.4 DSP 与加载 FLASH 的连接及系统加载

(1) 硬件连接

3.3V 电压的 Flash 可以在 3.3V 工作电压下(在线)擦除、编程,Flash 成本低,反复擦写次数多,体积较小,很适合器件密集安装的电路板,但其访问速度慢。

在此电路板中使用 FLASH 器件作为程序代码存储来实现系统加载,下面给出了此电路板中 DSP 与加载 FLASH 的接口连接图,如图 3.5 所示。

硬件实现后,DSP 处理器要将写好的程序代码产生 ldr 文件,并写入 FLASH 中存储,以备加电后自动加载。FLASH 存储器加载只读取存储的低 8 位数据,而

给 FLASH 存储器写一个字时这个字驱动到外部总线[31:0]上。由此,在向 FLASH 写入数据时,需事先编程将所有字节搬移到写出字的低 8 位。数据准备格式如图 3.6 所示。

进行数据解包控制时,处理器核操作比 DMA 操作容易实现,比较简单,因此处理 FLASH 数据的更新时,使用处理器核操作,而从 FLASH 读取数据块采用 DMA 方式则相对比较简单。因此,在 DSP 与 FLASH 间的控制线连接上,将 DSP 的/BMS 线和某个/MSx 线相与后连接到 FLASH 的片选信号上。这样,FLASH 就占用了加载存储空间和一个外部存储器空间。

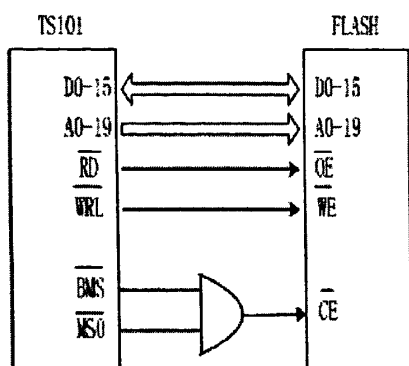


图 3.5 DSP 与 FLASH 的连接

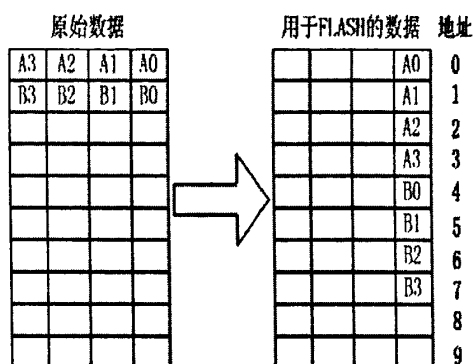


图 3.6 写 FLASH 的数据准备格式

(2) FLASH 的加载过程

在复位时, DMA 通道 0 被自动配置好,即 DMA 相应的两个 TCB 被初始化,于是从 8 位的外部引导 FLASH 地址 0 开始,把一个 256 字的程序块传送到内部存储器地址 0x00-0xFF。DMA 通道 0 的中断矢量初始化为内部存储器地址 0x00。当 DMA 通道 0 传送完成时,产生中断,ADSP-TS101S 开始从 0x00 执行加载核。然后,加载核通过一串单字(32 bit) DMA 传送将后续运用的代码和数据加载。最后,加载核启动一个 256 字的 DMA,使其自身被用户运用程序代码覆盖。当该 DMA 过程完成时, DMA 通道 0 的中断矢量入口地址为内部存储器地址 0,用户的运用代码从此地址开始执行。

在系统复位引导时,ADSP-TS101S 对于每次读访问 FLASH 使用 16 个等待周期(53ns,内核的指令周期为 3.3ns)。在引导过程中,/BMS 引脚被用作 FLASH 的片选信号。

在系统加载之前,应先将程序的代码数据写入 FLASH 中。对 FLASH 写入数据比较复杂,如果要执行一个写数据命令,要对命令寄存器进行一系列操作,如复位、擦除、读处、编程等。图 3.7 给出了 FLASH 编程、擦除的操作流程。

FLASH 属于慢速存储设备,其擦除和读写的速度均较慢,因此在擦写过程中,擦除后应等待一定时间,用软件查看其内部是否擦除干净,擦完时其内部所有单元均为 FFFF,待擦完后再对 FLASH 进行写入,写入后应查看其写入数据是否正

确，以防出现错误。

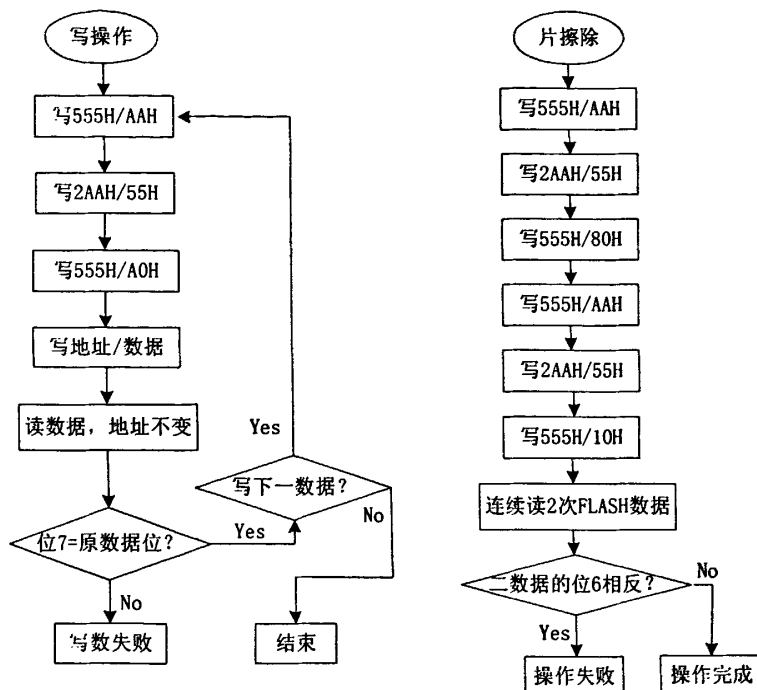


图 3.7 FLASH 编程、擦除操作流程

3.5 工程中 DMA 技术的应用

直接存储器访问（DMA）是一种无须处理器核介入的情况下进行数据传送的机制。TigerSHARC 的片上 DMA 控制器可以分担处理器核的数据传送任务，在内部存储器和外设、外部存储器，或链路口之间以及链路口与内部、外部存储器之间传送数据。TigerSHARC 的处理器核或外设可以指定全集成的 DMA 控制器完成数据传送操作，并在 DMA 控制器进行后台数据传送的同时执行常规的处理任务。

在本课题中的读、写存储器操作和 DSP 之间的链路口通信均采用的是 DMA 方式。

TigerSHARC 有四个 8-bit 链路口，可以为多处理器系统提供额外的 I/O 能力。链路口有以下特点：

- 链路口时钟速率可选定为内部时钟速率的 1/8、1/4、1/3 或 1/2。
- 链路口数据被封装成 128-bit 字通过 DMA 方式向片内或片外存储器传送。
- 每条链路口都有属于自己的缓冲寄存器。

- 链路口在时钟/应答信号控制下进行传送。
- 链路口支持双向传送，数据源或目标可以是外部端口或其它链路口。

DMA 共有 14 个 DMA 通道，其中四个专用于外部存储设备，八个用于链路口，剩下两个用于 AutoDMA 寄存器。DMA 控制器可以完成以下几种类型的数据传送操作：

- (1) a. 内部存储器 \Rightarrow 外部存储器和存储器映射外围设备；
b. 内部存储器 \Rightarrow 总线簇上其它 TigerSHARC 的内部存储器；
c. 内部存储器 \Rightarrow 主机处理器；
d. 内部存储器 \Leftrightarrow 链路口 IO。
- (2) a. 外部存储器 \Rightarrow 外部设备（飞越数据传输）；
b. 外部存储器 \Leftrightarrow 链路口 IO。
- (3) a. 链路口 IO \Leftrightarrow 链路口 IO；
b. 链路口 IO \Leftrightarrow 内部存储器；
c. 链路口 IO \Leftrightarrow 外部存储器。

TigerSHARC 的四个链路口均可使用 DMA 方式发送或接收数据。每个链路口分配有两个 DMA 通道，由链路口 DMA 请求信号指定哪一个 DMA 通道用来执行 DMA 传送任务。TigerSHARC 的 DMA 控制器框图如图 3.8 所示。

- 链路口输入通道有一个接收端 TCB 寄存器
- 链路口输出通道有一个发送端 TCB 寄存器

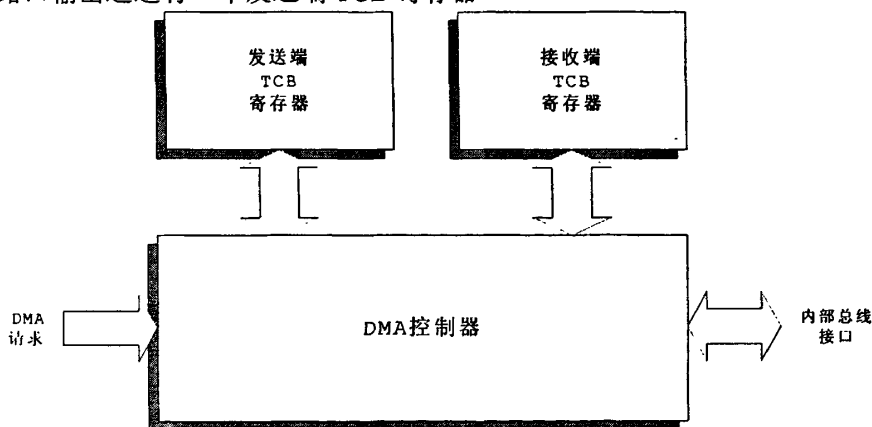


图 3.8 DMA 框图

传送的字数定义为 X count 或 X count 与 Y count 之积（如果 2DDMA 置 1），但在任何情况下，链路只允许传送四字组。只要 TCB 寄存器 DP 中的 TY 域不等于 000，则链路 DMA 始终处于使能状态。DP 中同时定义了控制位和链地址，其中，如果链式 DMA 被使能，则加载一个四字组 TCB 寄存器。链路 DMA 请求的优先级是固定的，链路 3 最高，链路 0 最低。

当前主控 DMA 时序完成后，若要启动一个新的，程序必须在 TCB 寄存器中

写入新的参数，重新使能 DMA（对链式 DMA 操作，这些自动完成）。

图 3.9 给出了 TCB 寄存器示意图：

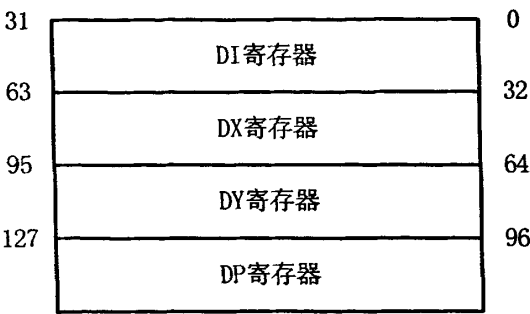


图 3.9 TCB 寄存器

寄存器 DI 是 DMA 的 32-bit 索引寄存器，可以指向外部存储器、内存存储器或链路口地址。

寄存器 DX 包括一个 16-bit 计数值（MSB）和 16-bit 修改量（LSB）。若二维（2D）DMA 禁止，这个寄存器存储 DMA 的 16-bit 修改量（LSB）和 16-bit 计数值（MSB）。若二维（2D）DMA 使能，这个寄存器存储 DMA X 维的 16-bit 修改量（LSB）和 16-bit 计数值（MSB），其中 X 计数值是要传送的标准字数量。

寄存器 DY：若二维（2D）DMA 使能，这个寄存器与 DXx 协作完成二维 DMA。它存储 DMA 的 16-bit 修改量（LSB）和 16-bit Y 维计数值（MSB），其中 Y 维修改量是一行中最后一个数据单元的地址与下一行第一个数据单元地址之差。若二维（2D）DMA 禁止，此寄存器不用。

寄存器 DP 拆分成两个域，一个用于 DMA 控制，一个专用于 DMA 链。如图 3.10 所示：

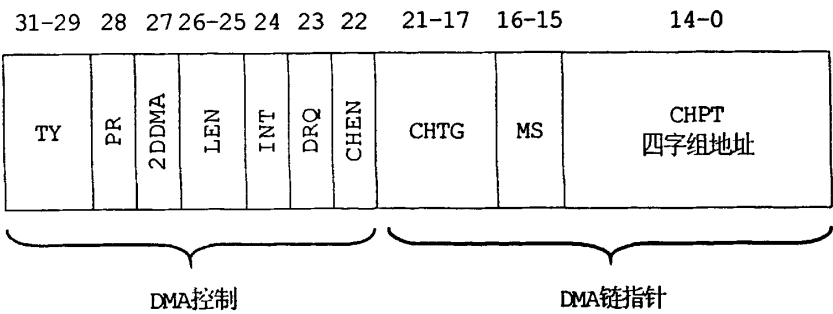


图 3.10 DPx 寄存器位定义

其中各位是用来设置 DMA 中断、DMA 使能、操作数据长度及二维 DMA 和链式 DMA 的一些控制等，在本课题的工程实现中的数据传输都是通过普通 DMA 方式实现的，由于需要读取及传输的数据量很大，因此使用 DMA 可以节省大量的处理器核的运算时间，从而大大提高工作效率。

第四章 测角系统的软件实现

4.1 DSP 的开发流程

ADI公司推出了高性能的TigerSHARC DSP处理器,同时也提供了一整套完整的ADSP-TS101S软硬件开发工具,包括仿真器和集成开发调试环境。本课题就是在其提供的Visual DSP++4.0集成开发调试环境下完成的。

因为DSP的功能不断复杂化以及对DSP产品开发周期不断缩短,设计调试DSP系统对DSP开发系统和调试工具的要求越来越高。开发系统和调试工具为设计者建立了一个完善的软件环境,可以很方便的对DSP软、硬件进行跟踪与调试。DSP的开发调试过程一般为:

(1) 用DSP的汇编语言编写ASM程序,或用C语言编写C程序,或编写C和汇编的混合程序。

这里需要说明的是,用DSP汇编语言编写的程序难度大,周期长,但效率高,占用存储器很经济。C语言编写的程序难度小,周期短,可读性好,可移植性好,但效率低,常常只能达到10%~30%,占用存储器也较大。而采用C和汇编语言编写的混合程序继承了两者的优点,同时又可以有效地克服两者的不足,被广泛地运用。

(2) 如果用DSP汇编语言编写程序,就要用汇编器、链接器将ASM程序生成可模拟、仿真、固化的代码;如果用C语言编写程序,就要用汇编器、链接器将C程序生成可模拟、仿真、固化的代码。

(3) 软件模拟。模拟器(Simulator)是一种脱离硬件的纯软件仿真工具,它将程序代码加载后,在窗口工作环境中进行操作,它可以模拟DSP的绝大多数的操作。用户可以使用它来完成Debug操作,观测寄存器、存储器的内容,还可以设置断点,统计程序执行时间以及进行程序性能分析,相对于硬件仿真器,使用方便,但功能有局限性,如:程序运行慢、不能模拟与外界信号的通信(外口DMA、外部等待、外部中断等)。

(4) 硬件仿真。硬件仿真器(Emulator)要工作必须要连接包含DSP的硬件目标系统,通过特制电缆将装有仿真软件、仿真卡的PC机等平台与实际调试的目标系统连接起来。它能真实地仿真程序在实际硬件环境下的功能。仿真器的工作界面与模拟器相类似,但具有更完全的调试功能。

(5) 固化。将调试正确的程序代码固化到DSP片外的ROM或Flash中,以备系统复

位后加载执行。

为了更加说明上面的步骤，给出图4.1来说明DSP的开发流程。

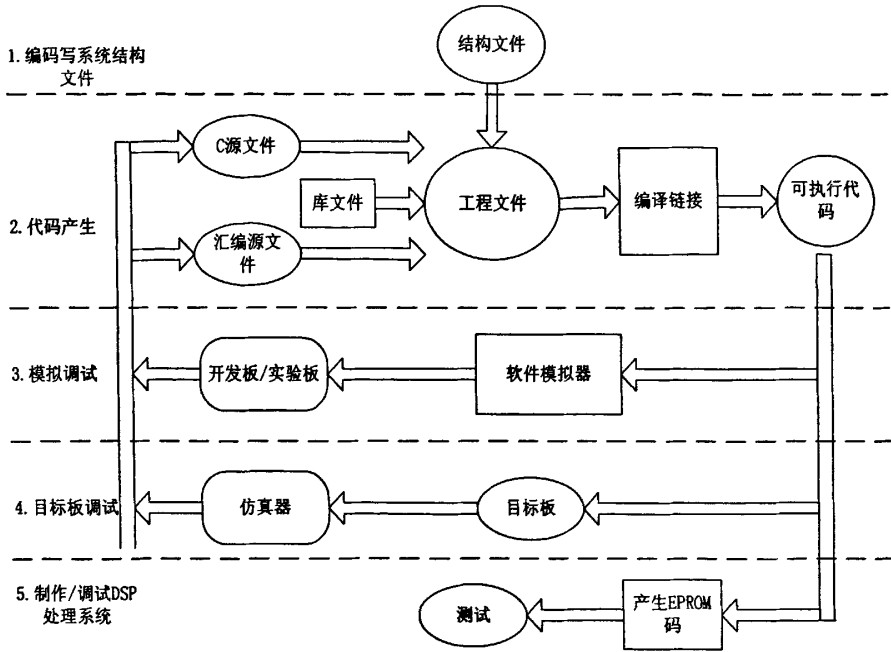


图4.1 DSP的开发流程

4.2 测角系统的 DSP 软件实现

在此雷达系统中，将方位分为8192个方位单元，距离分为8192个基本距离单元。测角的主要工作是按照要求从前面送来的粗点迹信息中挑选符合的点迹，结合存储的和、差波束数据，进行查表测角，并进行64点的平滑。更新方位的同时，对时间信息也进行相应的更新。

在该系统中，要求对点迹的处理按照不同的模式要求，对数据进行相应的地处理。其模式分为6种，由从SDRAM中读取的控制码的D15-12位的值来确定，模式分别为：

- 0: 只处理正常点迹
- 1: 只处理对消点迹
- 2: 50km以内处理对消点迹，50km以外处理正常点迹
- 3: 100km以内处理对消点迹，100km以外处理正常点迹
- 4: 150km以内处理对消点迹，150km以外处理正常点迹
- 其它: 用杂波图提取点迹并处理

图4.2给出了测角系统的数据处理的流程图，DSP程序就是按照该信号处理流

图进行编写的，该图中省略了程序的初始化和返回等步骤，下面将按照此流程图对其中具体实现进行详细说明：

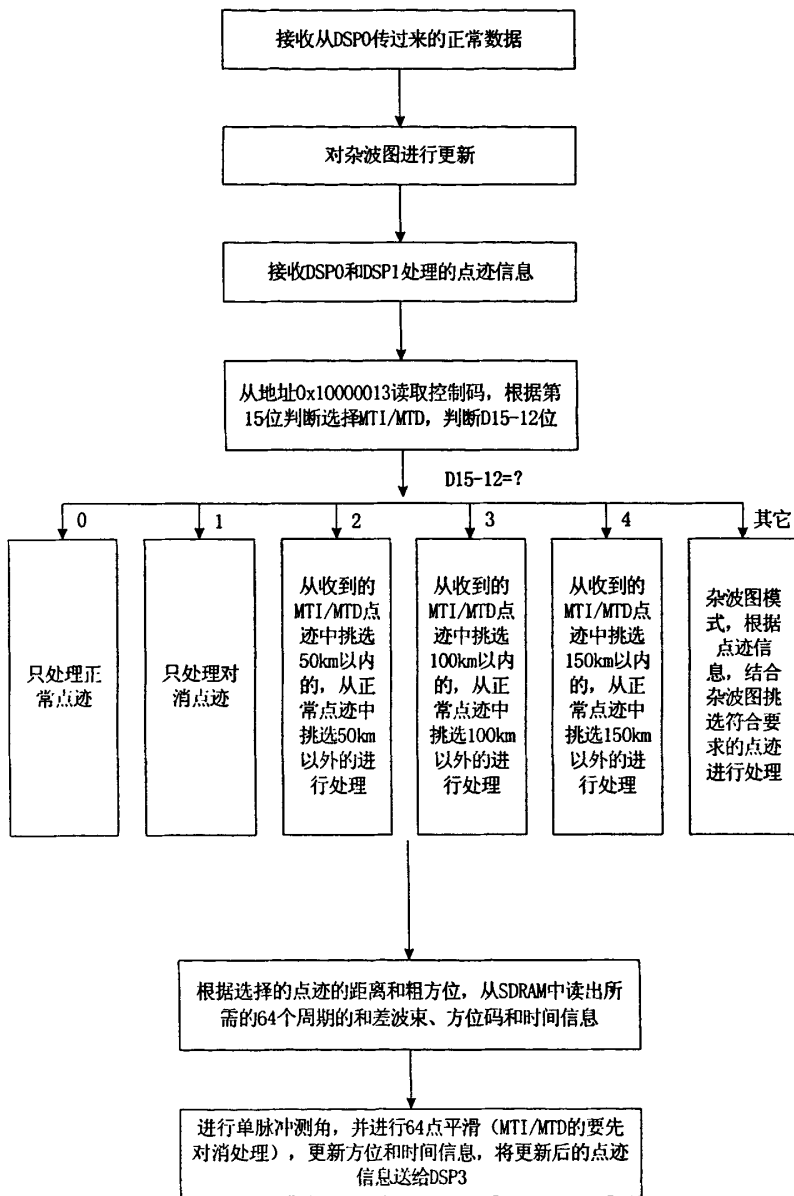


图4.2 测角系统流程图

根据工程实现的需要，DSP在初始化后，一直等待外部中断的到来，外部中断是外部给出的整个系统的同步信号，为一个正脉冲宽度为2us，重复周期为4.7ms的脉冲信号。DSP的运算在中断到来时开始，并要在下一个中断到来之前完成并返回等待中断。此工程中外中断设置的是电平触发模式，应在中断响应后清除中断，以免多次响应，并要在程序返回前再将中断打开，以准备响应下次中断，进行下一批数据的处理。

由于4片DSP都需要对共用的SDRAM进行大量数据的读写操作,同时互相之间又要通过链路口传递数据,因此,为尽量不占用DSP的核运算时间,使DSP的处理更高效,以及使DSP之间的传输协调工作,四片DSP对SDRAM的读写操作和互相之间的链路口数据传递使用DMA方式,并进行时间划分。图4.3为测角所用的DSP的时间划分图,其中读SDRAM占用总线,其它均是链路口传输。

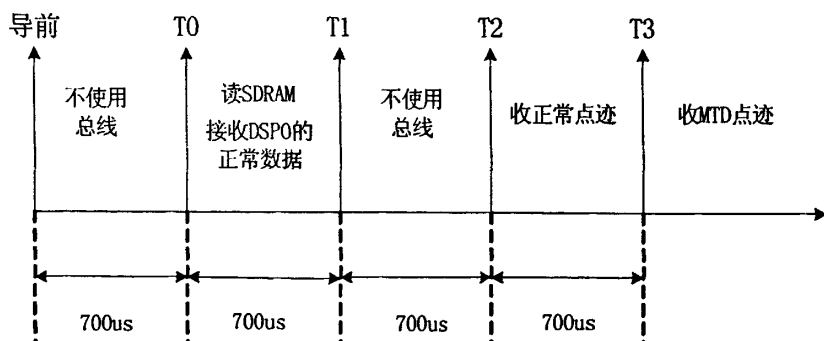


图4.3 时间划分示意图

程序中是用定时器中断来对时间进行控制。定时器是按计算执行的指令周期来控制时间的,因为处理器工作在300MHz的频率,因此700us需要的指令周期数为210000,即为设置的定时器长度。外部中断到来后,设置定时器的时间、中断跳转地址并打开定时器中断,每次定时器中断跳进不同的代码段,执行图4.3所划分好的不同程序,中断满四次后关闭定时器中断。

杂波图的建立与更新是将距离单元和方位单元各分成256份而形成的256*256的方阵,共占64K的存储空间,是由每个重复周期从DSP0送过来的8192个正常数据进行更新的,根据接收数据的方位信息,找到相应的方位区,将这8192个数据以32个为一组取其低16位进行相加产生256个数,并乘以1/8,再与原来的值乘以7/8后相加来代替旧值即可。

从时间划分示意图4.3看出,要处理的点迹分别是在外部中断到来后的第二和第四个700us时间段接收,而数据处理时必须在收到粗点迹信息后才可以开始,因此,为不浪费DSP的数据处理时间,在此使用乒乓的方法来存储和处理收到的点迹信息。即开辟两个存储空间a和b,交替存储两个重复周期内的数据,本重复周期时间内,在用存储区a通过DMA方式接收点迹信息的同时,处理器的核处理前一个重复周期所收到的存于存储区b内的点迹信息。下一个重复周期再将信息存于b内而处理a内的数据。这样交替存储和处理的方式可以充分利用整个重复周期进行数据处理。在接收用于更新杂波图的正常数据时,也使用了这种方法。

根据从SDRAM中读取的控制码调用不同的程序来对不同模式下的点迹信息进行处理。控制码为0和1的模式,是分别处理不同通道送来的点迹(正常和对消);

控制码为2、3和4的模式，是按图中距离单元的要求，从正常和对消通道中分别提取符合要求的点迹进行处理；其它模式是由杂波图判断来提取待处理点迹的。

用杂波图选取点迹信息时，是按点迹的方位和距离信息，找到杂波图中对应的单元，设 $D[n, m]$ 为点迹信息在杂波图中所对应的单元，其中 n 表示方位的单元数， m 表示距离单元数，用该值及其方位相邻和距离相邻的4个数据与门限值进行比较，这4个值是该单元在方位上或距离上相差1的单元数值，分别为 $D[n+1, m]$ 、 $D[n-1, m]$ 、 $D[n, m+1]$ 、 $D[n, m-1]$ ，对于正常通道的点迹，若这5个值都小于门限值，则该点迹留下并进行正常处理。对于MTI/MTD通道的点迹，若其值至少其中的一个数据大于门限值，则该点迹留下并进行对消处理。

当需要处理的点迹选定后，要对其粗方位进行精确方位的测量和更新，根据粗点迹的方位，找到与SDRAM中所存的128块和、差数据对应的块，再根据距离信息找出该块中的具体数值，用此方法提取出该块及以前的共64个方位值和对应块的64个和、差数据。SDRAM中只存了128个方位对应的数据块，读取时可能会遇到边界，当读到上边界时，应返回到下边界继续向前读取，直到读够64组。因为占用总线时间已划分好，因此要在规定时间内将SDRAM中要用到的数据全部读出，以备后面使用。

将读出的和、差数据按 $\text{imag}(\text{cha}/\text{he})$ 计算后，将所得数据乘以50再加上500，如果所得值小于0，令其等于0，如果大于1023，令其等于1023，然后查表，将所得64个值平均后加上64个粗方位平均值，如果算出值小于0，则加上8192，最后变为定点数后即为精确方位值。对于MTI/MTD通道的点迹提取完后要先进行对消处理，得到62组数据，再按上述方法测角。计算粗方位平均值时需考虑所取64个方位码是否过正北方向，如果过正北，需要将正北左侧的方位码减去8192后再进行平均。

最后，根据精确点迹信息，与128个方位码进行比较，找出与之最接近的（差值小于3即可）方位码，取出此方位码所对应的时间信息替换原点迹信息中的时间信息，并打包送出。送出的点迹格式如下：

方位（32位）
小时（高16位）+ 分钟（低16位）
秒（高16位）+ 毫秒（低16位）
距离单元数（32位）

程序编写中的几个要注意的问题：

1. 在程序的编写过程中，应尽量分配好寄存器的使用情况，对于中断子程序和调用子程序中的寄存器，要开辟一段内存，对其进行保护，以免使程序中的寄存器值发生改变。做法为：在子程序开始，将要用到的寄存器存于内存中，在子程序最后返回前，按顺序将其再读出，给原来的寄存器。

2. 程序中用了大量的 DMA 操作, 分段分批的从 SDRAM 中读取数据, 这里用的是 DMA 通道 0。因此, 要使总线 DMA 操作不冲突, 一定要在判断前一次 DMA 操作完成后, 再开启第二次 DMA。其完成与否, 是根据 DMA 状态寄存器 DSTAT 的 0-2 位来判断的, 其状态定义如下:

000——通道禁止;	001——正在进行块传送;
010——块传送完成;	011——保留;
100——给一个活动 TCB 初始化一个有效值;	101——非法配置 TCB;
110——保留;	111——地址错误。

当其值为 2 时, 表示传送完成。在设置 DMA 之前应先将对应的 DMA 传输控制块 TCB 寄存器和链路口控制寄存器清零, 这样可保证可靠接收。

4.3 实测数据分析

在该项目的外场调试时, 为确定其测角的功能是否正确, 采集了实际的数据, 并根据 DSP 程序算出方位角, 和 MATLAB 程序算出的方位角进行对比, 看其是否正确。2006 年 3 月 13 日晚采集了飞往沈阳的民航的回波数据。这里主要是测角所用的和、差波束和粗点迹的数据。其目标粗点迹的数据为图 4.4 所示:

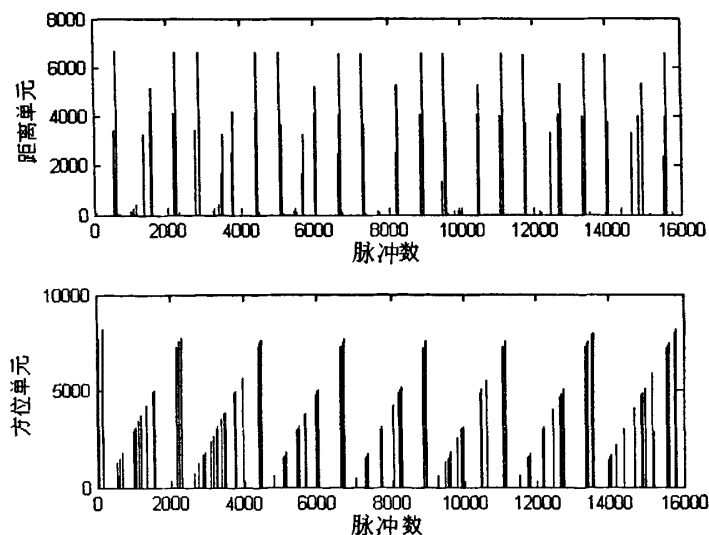


图 4.4 实测目标点迹

图中仅画出了天线扫过 7 圈的数据, 距离和方位都划分为 8192 个单元, 从这些众多目标中选出一个, 根据采集的和、差波束的数据, 进行按照程序的查表测角运算并平均, 得到的目标方位码-距离码关系图如图 4.5 所示:

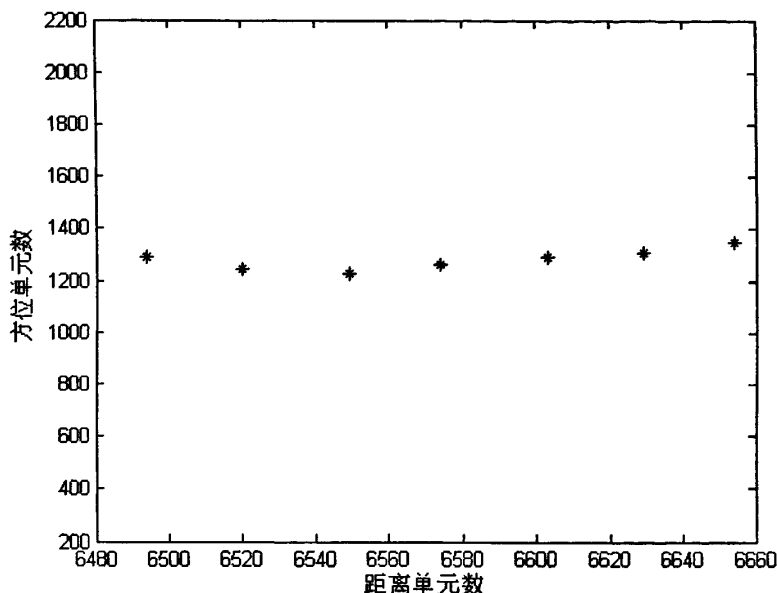


图 4.5 单个目标点迹

由图可以看出，其点迹在相邻的周期内，测得的方位是相对稳定的。图 4-5 给出了此目标在几个不同距离时测得的方位角，从结果来看，变化平缓，符合民航飞行的规律。

该测角方法经 DSP 编程实现后，作为信号处理的一部分已经完成，并外场调试完毕，经检验已达到很好的效果。若目标为民航，则其点迹非常平稳，很好地达到了指标的要求。

4.4 FPGA 的软件实现

4.4.1 FPGA 开发流程

FPGA 的软件设计是指利用 EDA 开发软件(如 MAX+PLUSII 或 Quartus II)和编程工具对器件进行开发的过程。如图 4.6 所示，高密度复杂可编程逻辑器件的设计流程包括设计准备，设计输入，功能仿真，综合布线，时序仿真，板级仿真验证与调试和测试等主要步骤。

1. 设计准备：指系统设计之前的方案论证、系统设计和器件选择等准备工作。一般采用自上而下的设计方法。
2. 设计输入：可以采用原理图输入、硬件描述语言、波形输入以及 EDIF 网表读入等多种方式进行。

3. 功能仿真：也叫前仿真，对所设计电路进行逻辑功能验证，此时的仿真没有延时信息，适用于初步的功能检测。
4. 设计处理：指编译软件对设计输入文件进行逻辑简化、综合优化和适配，最后生成编程文件。
5. 时序仿真：又称后仿真，将编译产生的延时信息加入到设计中进行布局布线后的仿真，估计设计性能，是与实际器件工作情况相同的仿真。
6. 器件编程和测试：用后仿真验证后的编程文件经由EPROM或编程电缆配置FPGA，最后进行实际工作的测试。

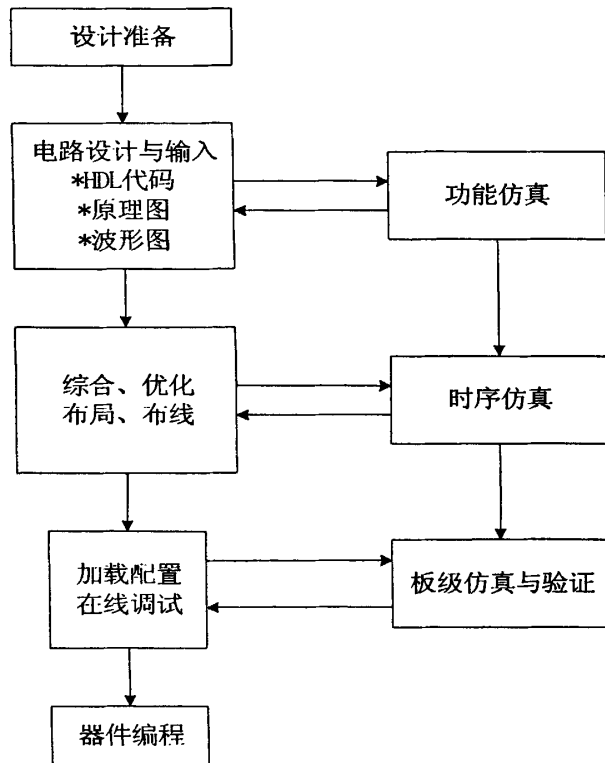


图 4.6 FPGA 设计流程

本工程中，使用Altera 公司提供的Quartus II软件开发工具进行设计，最新软件版本是5.0。其具有以下特点：

- 支持多时钟定时分析、LogicLock基于块的设计、SOPC（单芯片可编程系统），内嵌SignalTapII逻辑分析器、功率估计器等高级工具；
- 易于管脚分配和时序约束；
- 强大的HDL综合能力；
- 包含有Maxplus II的GUI，且易于Maxplus II的工程平稳的过渡到Quartus II开发环境；
- 对于Fmax的设计具有很好的效果；

- 支持的器件种类众多；
- 支持Windows、Linux等多种操作系统；
- 第三方工具如综合、仿真等的链接。

设计输入方面采用VHDL 语言和原理图相结合的方式。VHDL 语言易于编写复杂时序的控制逻辑和底层功能模块，而原理图的方式可以对整个工程进行自顶至底的模块化划分，更有利于从整体上控制工程的结构。

4.4.2 FPGA 数据传输设计与实现

此工程中，FPGA的主要工作是把32MHz的串行数据转换为并行数据通过链路口送给DSP，并把DSP通过链路口送出的37.5MHz并行数据转换成串行数据送出，同时对一些码信息进行采集打包送出。

1. TS101 链路口的特点

TS101 的链路口为处理器内部或外部的数据传输提供了一个快速^[9]、独立的通信机制。它的通信协议比较简单，并且具有较高的数据传输率。

TS101片上有四个链路口，每个链路口都由8位双向数据线（LxDAT[7:0]）和另外三根控制线构成。一根是链路x时钟/应答输入（LxCLKIN），一根是链路x时钟/应答输出（LxCLKOUT），一根是链路x方向（LxDIR）。LxCLKIN是输入引脚，链路口接收时用作时钟输入，链路口发送时用作应答信号。LxCLKOUT是输出引脚，链路口发送时用作时钟输出，链路口接收时作为应答信号。LxDIR是输出引脚，为1时链路口为输出，为0时链路口为输入。在数据传输中，在链路口时钟的上升沿和下降沿都对数据进行锁存与驱动。且其时钟可配置为1/2核时钟、1/3核时钟、1/4核时钟、1/8核时钟。

2. 链路口与 FPGA 的连接

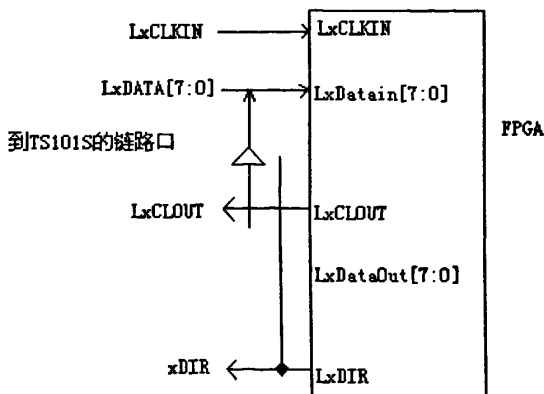


图 4.7 FPGA 顶层框图

图 4.7 说明了 TS101 与 FPGA 进行连接的顶层模块框图。其时序关系分别如下：

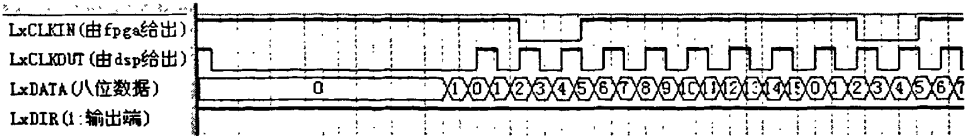


图 4.8 DSP 向 FPGA 传输数据时序图

图 4.8 的说明：

- (1): LxCLKIN: 由 FPGA 驱动。
- (2): LxCLKOUT: 由 LxCLKIN 触发。

DSP 检测 LxCLKIN 高电平, LxCLKOUT 令牌请求低电平必须保持六个周期, 在第一次启动四字组传送时, 检验 LxCLKIN 高电平。传送过程启动一个周期后, LxCLKIN 输入 1.5 个周期的低电平 (应答)。

- (3): LxDATA: 对应 LxCLKOUT 的上下沿应保持稳定数据。
- (4): LxDIR: 为 1, 表示 DSP 发送数据, FPGA 接收数据。

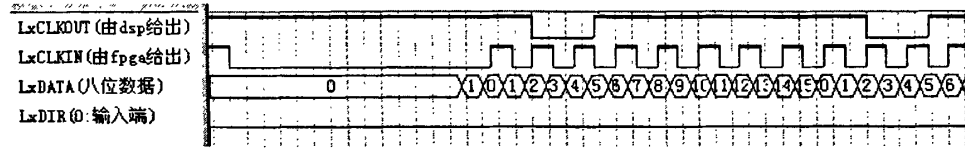


图 4.9 FPGA 向 DSP 传输数据时序图

图 4.9 的说明：

- (1): LxCLKOUT: 由 FPGA 驱动。
- (2): LxCLKIN: 由 LxCLKOUT 触发。

检测 LxCLKOUT 高电平, LxCLKIN 令牌请求低电平必须保持六个周期, 在第一次启动四字组传送时, 检验 LxCLKOUT 高电平。传送过程启动一个周期后, LxCLKOUT 输出 1.5 个周期的低电平 (应答)。

- (3): LxDATA: 对应 LxCLKOUT 的上下沿应保持稳定数据。
- (4): LxDIR: 为 0, 表示 DSP 接收数据, FPGA 发送数据。

3. 数据转换及链路口通信的实现

在大多数情况下, FPGA 两端的数据传输速率的要求使得两端数据率不匹配, 这就需要用 FIFO 或双口 RAM 做缓存, 其实现框图如图 4.10 所示:

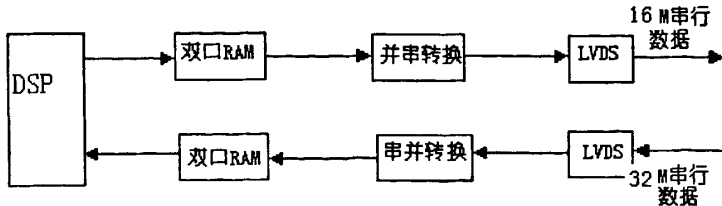


图 4.10 链路口通信实现框图

由图 4.10 可以看出, 用 FPGA 要实现的功能主要是与 DSP 链路口的双向通信, 一方是从前端送来的数据经过 FPGA 转换后通过链路口送给 DSP 进行处理; 另一方是 DSP 处理完的数据通过链路口送给 FPGA, 经 FPGA 转换后送给后端处理, 同时在该模块中还要用 FPGA 采集外部的码信息和时间对齐信息并打包成规定的格式送给后端。由于 DSP 的链路口时钟、数据率以及握手信号等都比较特殊, 因此 FPGA 与 DSP 链路口的数据通信是个难点, 下面将详细说明其各个功能模块的具体实现。

(1) 数据的串并转换送往链路口

输入数据为 4 路 LVDS 送来的频率为 32MHz 的 I、Q 两路串行数据、1 路 2M 的帧同步信号和一个 32 MHz 的时钟, 相邻两帧之间有 16 位串行数据, 其输入时序如图 4.11 所示。需分别同时以帧为基准取数并转换为 8 位并行数据发送至一块 DSP, 转换后成为一路频率为 32MHz 的 8 位并行数据。由于链路口是在时钟的上升沿和下降沿都锁存数据, 所以送给链路口的时钟应为 16MHz, 且实验证明该时钟频率可以保证数据的正确接收。由于两端数据量匹配, 因此这里可以不用双口 RAM 作缓存。

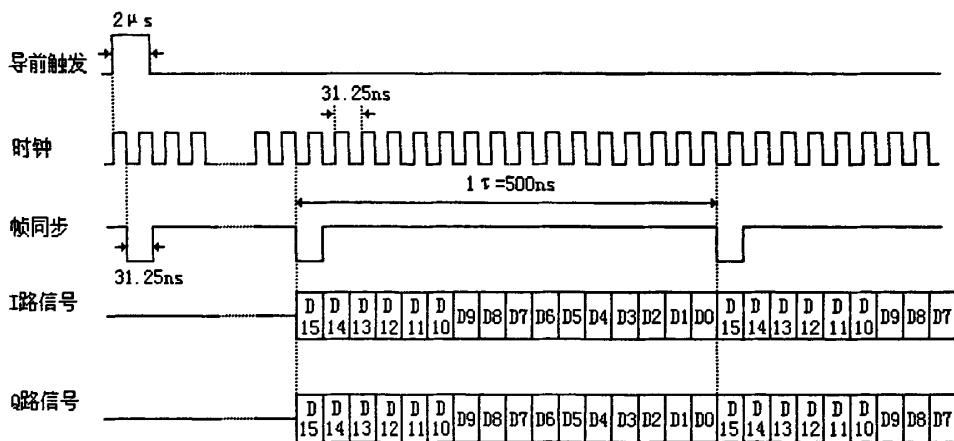


图 4.11 单路数据输入时序图

首先, 将四组每组 2 路数据按 32MHz 时钟分别移入 8 个 16 位移位寄存器, 再以帧的下降延将移位器中的数据打入 8 个 16 位寄存器, 然后将这 8 个寄存器按 32MHz 的时钟上升沿依次 8 位输出, 同时产生 16MHz 的链路口时钟。设其数据用 $DATA[n, m]$ 表示, 其中 n 表示 4 路 LVDS 中第几路, m 表示 I 路或 Q 路, 则输出至 DSP 链路口的数据的顺序为: $DATA[1, Q]$ 低 8 位, $DATA[1, Q]$ 高 8 位, $DATA[1, I]$ 低 8 位, $DATA[1, I]$ 高 8 位, ……., $DATA[4, Q]$ 低 8 位, $DATA[4, Q]$ 高 8 位, $DATA[4, I]$ 低 8 位, $DATA[4, I]$ 高 8 位, 如此重复。其实现顶层电路原理图如图 4.12 所示:

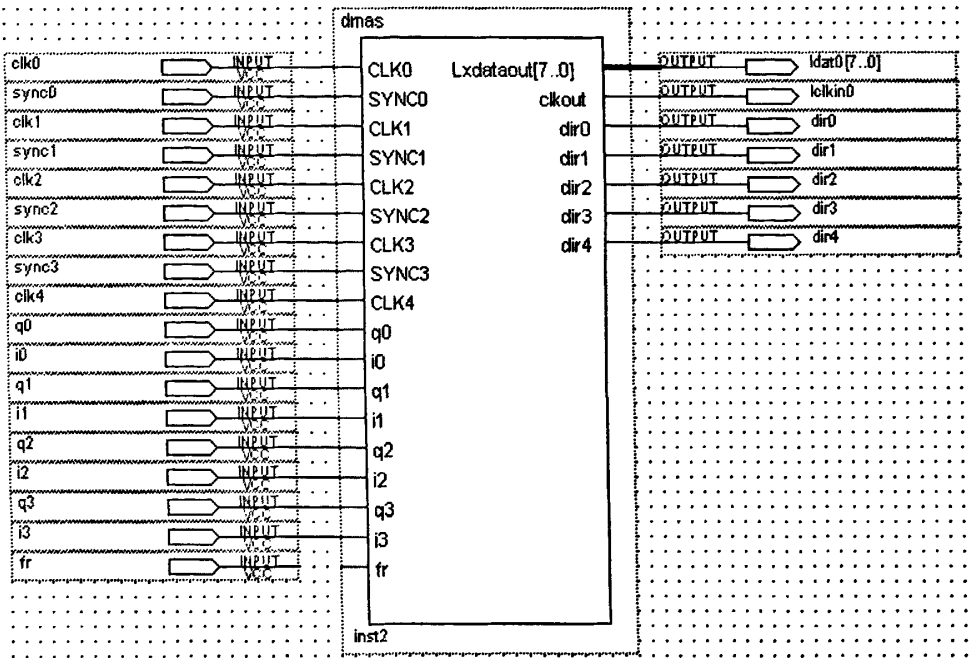


图 4.12 数据输入电路图

在此应注意送给 DSP 的链路口时钟应先拉低 6 个时钟周期以上，且其第一个上升沿应对准第一个数据的稳定位置。在此，在输出数据之前让时钟为高，在第一个帧时将其拉低，第二帧后的 32MHz 时钟的上升沿开始输出数据，同时每来一次下降沿，链路口时钟翻转一次，从而产生 16MHz 时钟。输出仿真图如图 4.13 所示：

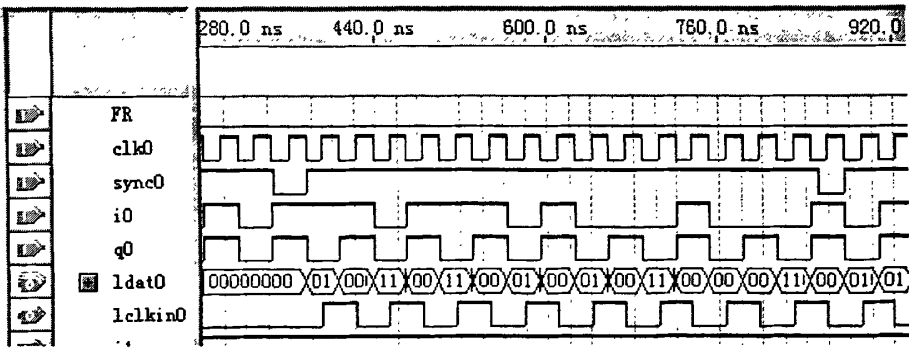


图 4.13 FPGA 向链路口输出仿真

由仿真图可见，链路口时钟为 16MHz，数据率为 32MHz，且第一个有用数据的稳定区对准链路口时钟低 6 个周期后的第一个上升沿，第二个数据对准第一个下降沿，依次类推，可以看出该时序符合 DSP 链路口的输入时序。实践得出送给链路口的时钟频率并不能无限降低，16MHz 的时钟可以稳定接收，而 8MHz 时则接收不稳定。该模块的编译结果如图 4.14 所示：

Flow Summary	
Flow Status	Successful - Sat Jan 21 15:37:25 2006
Quartus II Version	5.0 Build 148 04/26/2005 SJ Full Version
Revision Name	fpga
Top-level Entity Name	fpga
Family	Cyclone
Device	EP1C12Q240I7
Timing Models	Final
Met timing requirements	Yes
Total logic elements	4,206 / 12,060 (34 %)
Total pins	166 / 173 (95 %)
Total virtual pins	0
Total memory bits	0 / 239,616 (0 %)
Total PLLs	0 / 2 (0 %)

图 4.14 接收部分编译结果报告

从编译结果可以看出上述数据输入模块的资源使用情况：逻辑单元用了34%，其中的存储单元和锁相环均未使用，因此该块FPAG还有很大的余量可以进行其他一些补充程序的添加。

(2) FPGA 接收链路口数据并进行并串转换

当信号处理机完成对目标的处理后，要将最后打包好的点迹信息和视频信息分别由 DSP1 和 DSP3 通过它们的 2 号链路口送给 FPGA，经 FPGA 进行格式转换后送给通信，进而送给终端进行处理。其要求的 FPGA 输出的数据格式同图 4.11 相似，只是数据率和时钟变为 16MHz，相邻两帧之间为 8 位。

DSP 链路口的时钟频率设置为 37.5MHz，则发送的数据是频率为 75MHz 的 8 位数据，由于要求转化成两路 16MHz 的串行数据输出，两端的数据率不匹配，因此这里用双口 RAM 进行缓存。

FPGA 内部包含了嵌入式 RAM 块，可以配置支持多种特性，如：双口 RAM、FIFO 等，在此工程中主要是使用的双口 RAM，这里用原理图输入的方式借助 Quartus II 软件提供的兆核函数（megafunction）方便实现。这里使用的双口 RAM 具有不同的读、写时钟和读、写地址，内部的存储空间和位数可根据实际的需求进行设置。

FPGA 接收 DSP 链路口发出的数据时，先将数据分别按链路口时钟的上升沿和下降沿写入两个双口 RAM，第一个双口 RAM 的写地址由链路口时钟的下降沿产生，写时钟即用该链路口时钟，第二个双口 RAM 的写地址由链路口时钟上升沿产生，并延迟一个周期，写时钟用链路口时钟的反向。再用 2MHz 的时钟从双口 RAM 中读出数据并转化成串行数据，同时产生频率为 2MHz 的帧同步信号。由于读、写双口 RAM 的时钟不同，故写数据需等待，以保证互相追赶不上。其内部双口 RAM 的读、写地址模块和并串转化模块等都是由 VHDL 语言编写。

FPGA 的输出电路图如图 4.15 所示：

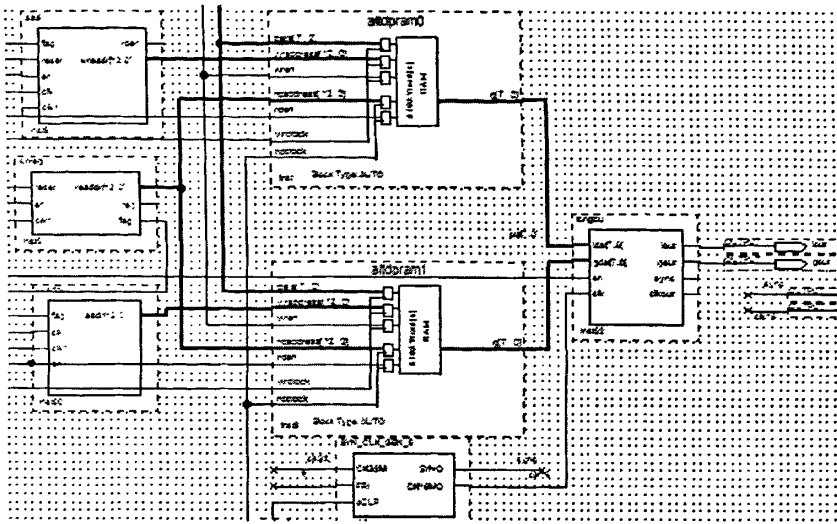


图 4.15 FPAG 输出电路图

该电路包括双口 RAM 读、写地址和时钟的产生模块、输出时钟和帧同步信号的产生模块及并串转换模块。

该方法每路用了两个双口RAM，分别存放由链路口时钟上升沿和下降沿锁存的数据，由于每次传输数据量为16k个8位，所以每个双口RAM都是8k个8位的，因此地址线都是13位，且分别由链路口时钟上升沿和下降沿产生。

由于要求转化成两路16MHz的串行数据输出，因此应该用2MHz时钟同时读取两个双口RAM，2MHz时钟由32MHz时钟分频得到。

双口 RAM 读写的时序仿真图如图 4.16 所示。

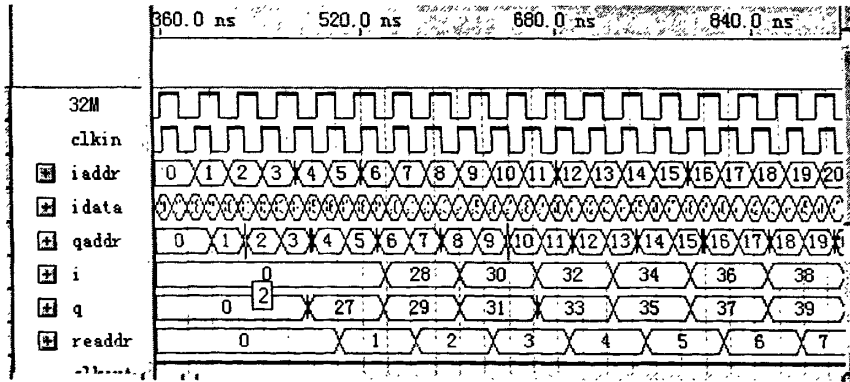


图 4.16 双口 RAM 读写仿真图

将从双口RAM中读出的两路频率为2MHz的8位并行数据，按分频出来的16MHz的时钟从低位到高位串行输出，同时产生对应的帧同步信号输出。

由 Quartus II 内嵌 SignalTapII 逻辑分析器所采到的 FPGA 的输出数据时序为图 4.17 所示

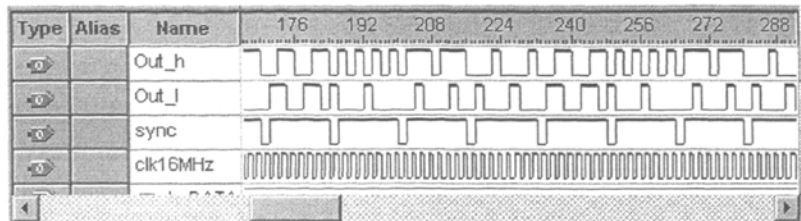


图 4.17 fpga 输出时序图

(3) 码信息采集与打包输出

在发送点迹的模块中，还要 FPGA 从外部采集频率码、波形码、重频码、时间对齐信息和计算天线方位，并将这些信息按所要求的格式打包送出。方位计算中，根据外部送来的方位信号，按每来一个下降沿加 1 来计算，并且再过正北方向要清零，因此其范围为 0-8191。其实现电路原理图如图 4.18 所示：

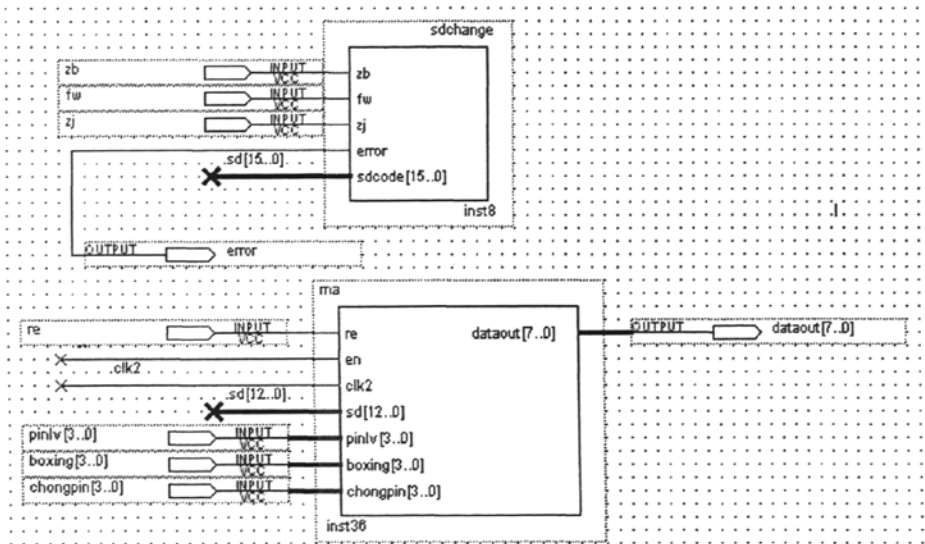


图4.18 码采集电路图

得出以上数据后，按照表4.1的格式打包后送出给并串转换模块。

表4.1 码信息输出格式

起始00000000	
方位码7-0位	
000	方位码12-8位
0000	频率码
0000	波形码
0000	重频码
00000000/10101010	
结束FFFFFFFF	

因为输出的为8位数据，且转成串行的数据率为16MHz，因此，此时的并行输出要用2MHz的时钟来实现，图4.19给出了该码信息采集和输出的仿真时序：

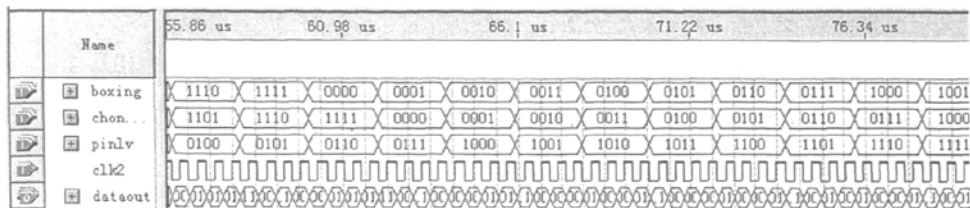


图4.19 码信息采集仿真

图4.20给出了FPGA输出功能的编译结果，在此输出模块中，为了解决两端数据率不平衡的问题，用到了片内存储单元，即调用了双口RAM。为缓存大量的数据，占用了较多的存储资源，但仍在FPGA内部存储资源的限制之内，因此符合实际要求，且该模块占用的逻辑资源很少，仅10%，为添加更多逻辑留下了很大空间。

Flow Summary	
Flow Status	Successful - Tue Apr 11 10:53:28 2006
Quartus II Version	5.0 Build 148 04/26/2005 SJ Full Version
Revision Name	fpga
Top-level Entity Name	fpga
Family	Cyclone
Device	EP1C12Q240I7
Timing Models	Final
Met timing requirements	No
Total logic elements	1,238 / 12,060 (10 %)
Total pins	166 / 173 (95 %)
Total virtual pins	0
Total memory bits	196,608 / 239,616 (82 %)
Total PLLs	0 / 2 (0 %)

图4.20 输出模块编译结果

结束语

本课题研究来源于西安电子科技大学与某外单位合作的项目“某型米波中高空警戒雷达”。该课题已经调试完成，并很好地达到了指标的要求。

本文主要是结合信号处理机中测角系统的设计与实现完成的，经历了理论学习、系统仿真、方案论证、硬件电路设计、软件开发和调试过程。

文中首先从该雷达系统中所用的单脉冲测角理论入手，对其进行算法学习和仿真分析。然后结合实际工程实现，对测角系统的软、硬件实现进行详细的说明。

设计的雷达测角系统全部采用数字化实现。主要功能通过软件编程来实现，所以具有一定的通用性。其中算法部分主要是对通用 DSP 进行编程实现，外部控制和数据传输主要是用 FPGA 编程实现，具有体积小、稳定性高，可维护性好等优点。随着电子技术的不断发展，大规模、高集成度的芯片不断出现，雷达测角系统的模块化程度也必将会越来越高，速度、稳定性也必将会越来越高。

另外，随着 DSP 并行处理技术的发展，更高性能的 DSP 处理器不断推出，如 TigerSharc 系列的 TS201 芯片，主频达到六七百兆，相对课题系统中所采用的 TS101 芯片，速度提高了一倍。这为信号处理系统进行硬件扩展以及改进系统性能、提高系统处理速度提供了更好的途径。

在一年多的科研时间里，有过遇到困难时的迷茫，也有过解决难题后的欣喜，更多的是作者深深体会到科研工作的艰辛，做硬件除了需要认真严谨的态度，还需要有足够的耐心。作者通过对该课题的研究，学习到了许多宝贵的知识，也积累了不少实践经验，这些都为今后进一步学习、工作打下了坚实的基础。

致谢

本文的工作能得以顺利完成离不开所有老师、朋友和同学的关心和帮助，在此，谨向他们表示我最诚挚的感谢。

首先，向导师赵永波副教授致以诚挚的感谢和由衷的敬意！赵老师渊博的知识和严谨的学术态度，以及他们对科学事业的不懈追求、精益求精的工作精神令我终生难忘。在研究生阶段的学习和科研工作中，赵老师给予了不可缺少的指导和帮助，在生活和个人成长方面也给予了莫大的关心和爱护，使我受益匪浅，感受良深。本文的工作自始至终是在赵老师的悉心指导下完成的，在此对赵老师再次表示衷心的感谢。

感谢张守宏老师、刘峥老师、王俊老师、王亚军老师、苏涛老师、张浩老师、刘茂仓老师、詹志伟老师、李兰老师、白洁老师、刘华锐老师等的热情帮助和支持。感谢电子所所有老师在我学习中给予的帮助和支持。

感谢同课题组的苏延川、曹刚、李宁涛、叶卫勇同学，感谢张文俊、张睿、张圆圆、向骥、赵国琪、季娇若等我的师兄师姐们，感谢夏猛、贺军涛、吴云阳、刘霞、冯军、郭艳芳、符渭波、梁代喜、张卫娥、杨莉、陈丹丹等我的同学，在与他们的探讨、交流和合作中，不断开阔了我的视野和思路，同时也加深了我们之间的友谊，我将倍加珍惜。感谢同教研室的赵磊、费涛、高昭昭、高雁、田薇、刘韵佛、刘盼、李军辉等同学，与他们一起度过了一段快乐的时光。

最后，衷心感谢父母对我多年来的养育之恩和所有亲人、朋友的关心和照顾，在此谨向他们致以深深的敬意。

再次向所有关心我的人致以诚挚的谢意！

参考文献

- [1] 列昂诺夫著, 黄虹译, 单脉冲雷达. 国防工业出版社, 1974.
- [2] 张光义著, 相控阵雷达系统. 国防工业出版社, 2005.
- [3] 张江华, 刘逸平, 杜自成. 单脉冲雷达测角特性分析. 火控雷达技术, 2005.
- [4] 刘洪艳, 郜丽鹏, 司锡才. 比幅比相测角系统信号处理技术研究. 应用科技, 2003.
- [5] 刘书明, 苏涛, 罗军辉等. Tigersharc Dsp 应用系统设计. 电子工业出版社, 2004.
- [6] 吴继华, 王诚. Altera FPGA/CPLD 设计 (初级篇). 人民邮电出版社, 2005.
- [7] 吴继华, 王诚. Altera FPGA/CPLD 设计 (高级篇). 人民邮电出版社, 2005.
- [8] ADSP-TS101 TigerSHARC Processor Data Sheet. Analog Devices Inc, 2003
- [9] ADSP-TS101 TigerSHARC Processor Hardware Reference. Analog Devices Inc, 2003
- [10] ADSP-TS101 TigerSHARC Processor Programming Reference. Analog Devices Inc, 2003
- [11] 丁鹭飞, 耿富录. 雷达原理. 西安电子科技大学出版社, 1995.
- [12] 丁鹭飞, 张平. 雷达系统. 西北电讯工程学院出版社, 1984.
- [13] 赵永波, 谷泓, 张守宏. 一种多目标情况下的单脉冲测角方法. 西安电子科技大学学报, 2005.
- [14] 苏涛, 蔡建隆, 何学辉. DSP 接口电路设计与编程. 西安: 西安电子科技大学出版社, 2003.
- [15] 万建伟. 雷达测速中数字测角原理及仿真. 弹道学报, 1994.
- [16] 褚振勇, 翁木云. FPGA 设计及应用. 西安电子科技大学出版社, 2002.
- [17] 侯伯亨, 顾新. VHDL 硬件描述语言与数字逻辑电路设计. 西安电子科技大学出版社, 1999.
- [18] A.D.Seifer. Monopulse-radar Angle Tracking in Noise or Noise Jamming. IEEE Transactions on Aerospace and Electronic Systems. 1992, Vol.28(3):622-638
- [19] Tetsuro Endo. Analysis of Interference Effects on Monopulse Radar. IEEE Transactions on aerospace and electronic systems. 1998, Vol.24(6):766-775
- [20] A.D.Seifer. Monopulse radar angle measurement in noise. IEEE Transactions on Aerospace and Electronic Systems, 1994, Vol.30(4):1142

作者在读期间的研究成果

1. 参加的科研项目

- (1) 某型米波中高空警戒雷达信号处理机测角部分的研制。

2. 发表的论文

- (1) 王玉涛, 赵永波. 基于 FPGA 的 DSP 链路口通信及数据转换的设计与实现. 现代电子技术已录用。

作者: [王玉涛](#)
学位授予单位: [西安电子科技大学](#)

相似文献(7条)

1. 期刊论文 [雷璐](#) [基于单脉冲测角技术的雷达高分辨三维成像方法研究](#) -[科技创新导报](#)2010, "(9)

本文针对宽带毫米波雷达跟踪中的角闪烁问题,提出一种基于高分辨距离像的单脉冲测角新算法.该算法利用线性调频步进信号高分辨测距、单脉冲技术进行测角,从而形成基于扩展目标的合成高分辨距离-方位-俯仰三维像.仿真实验证明,此成像方法可以较精确的得到目标散射中心的方位、俯仰角以及散射强度信息,提高测角精度,对实现精确制导技术有着重要的参考价值.

2. 期刊论文 [李保国](#).[赵宏钟](#).[付强](#).[LI Bao-guo](#).[ZHAO Hong-zhong](#).[FU Qiang](#) [基于高分辨距离间隔像的频率步进单脉冲雷达测角技术研究](#) -[航空学报](#)2005, 26(4)

频率步进雷达合成高分辨距离像时对速度补偿的精度要求很高,而采用高分辨距离间隔像处理则可以大大降低这种要求.首先分析了高分辨距离间隔像成像的一些问题;然后阐述了基于高分辨距离间隔像的单脉冲雷达测角机理,并且提出了3种过采样条件下的单脉冲雷达距离间隔像测角算法,进行了计算机仿真,结果表明距离间隔像交叉项选大测角方法性能优于其它两种方法.

3. 期刊论文 [刘峥](#).[张守宏](#).[LIU Zheng](#).[ZHANG Shou-hong](#) [毫米波单脉冲雷达目标二维结构成像方法](#) -[西安电子科技大学](#)1999, 26(3)

基于步进频率距离高分辨技术和单脉冲偏轴测角技术,研究了一种在杂波背景下雷达目标高分辨二维结构成像的方法,并给出了地面坦克目标的成像实例.该方法具有算法简便、实时性强、杂波抑制能力强等特点,为毫米波雷达在强杂波背景中识别目标提供了一条有效途径.

4. 期刊论文 [刘峥](#).[张守宏](#) [步进频率雷达在精确制导武器中的应用](#) -[制导与引信](#)2002, 23(3)

探讨了步进频率雷达在精确制导武器中的应用,介绍了该体制雷达的距离高分辨原理,研究了该体制雷达与单脉冲偏轴测角技术相结合进行目标二维结构成像的方法,最后给出了该体制雷达数字化信号处理平台的实现框图.

5. 会议论文 [李保国](#).[赵宏钟](#).[付强](#) [毫米波单脉冲雷达高精度测角技术研究](#) 2004

本文揭示了幅度平方加权在各种幅度整数幂次加权方法中的最优性;然后采用加权的观点分析了常规的单脉冲雷达非相参积累测角方法,指出其实质相当于对单脉冲测角的结果用和通道信号幅度进行了线性加权;最后提出了一种基于幅度平方加权的非相参积累测角算法,仿真表明在各种信噪比条件下这种方法的测角精度都优于常规的非相参积累测角方法.

6. 期刊论文 [李建彬](#).[夏桂芬](#).[LI Jianbin](#).[XIA Guifen](#) [毫米波末制导雷达频域高分辨测角技术研究](#) -[现代电子技术](#)2009, 32(3)

针对毫米波末制导雷达角跟踪精度差的问题,提出基于频域高分辨像的单脉冲测角算法.该算法根据单脉冲雷达测角原理,在测角之前时和差通道的回波信号分别进行一维频域成像,然后在频域做比幅测角,获得频域单元的角度误差,经过一定的滤波处理,得到目标径向几何中心的空间角度.仿真结果表明该算法可大大提高单脉冲雷达的测角精度.

7. 学位论文 [贺林峰](#) [单脉冲成像](#) 2008

合成孔径和逆合成孔径技术是广泛应用的两种雷达成像技术.但前者不具备前视高分辨成像能力,后者成像又依赖于目标运动中的旋转运动,因此,它们在实际中都受到限制.单脉冲技术具有测角精度高、获取数据率快、抗干扰性强等优点,且具有前视成像能力,在雷达探测领域具有重要的应用价值.

本文从单脉冲雷达的基本工作原理出发,研究了基于脉冲压缩技术的高分辨距离单元划分和振幅-和差式单脉冲测角技术,并结合仿真工作分别对它们的高分辨效果和单脉冲和差天线及其测角性能进行了分析.

尽管单脉冲测角时会产生角闪烁现象,但它在一定程度上能反映目标横向分布信息.针对这一特点,本文建立了扫描体制下的单脉冲成像系统模型,并提出一种扫描单脉冲成像算法,其基本思想是利用散射中心随天线扫描发生的移动进行成像处理.通过对多个点目标情况的仿真,验证了该算法具有较好的成像效果.同时,根据对高分辨距离单元划分及单脉冲测角的分析可知,采用宽带线性调频信号可以提高图像的距离分辨率,而窄波束天线能够提高图像的方位分辨率,这些结论都在仿真中得到了验证.

在单脉冲扫描成像处理中,引入了提高单脉冲成像系统方位分辨率的超分辨算法.该方法利用高频提升(HFR, High Frequency Raised)反演法改善图像在方位向上的分辨率.其原理是针对接收天线的平滑作用,利用天线方向图反演天线口径处的信号分布,等效达到减小波束宽度的目的.仿真结果表明,该方法有效地提高了图像的方位分辨率.

针对HFR法容易产生较高旁瓣的问题,提出利用接收信号对反演结果进行加权处理的改进方法.仿真结果表明,该算法有效地抑制了旁瓣对成像质量的影响.

本文链接: http://d.g.wanfangdata.com.cn/Thesis_Y1432278.aspx

授权使用: 黄小强(wfxadz), 授权号: ba9a45b4-c172-4a4f-beeb-9e0800b0ef42

下载时间: 2010年10月7日