

Université de Cergy-Pontoise

RAPPORT

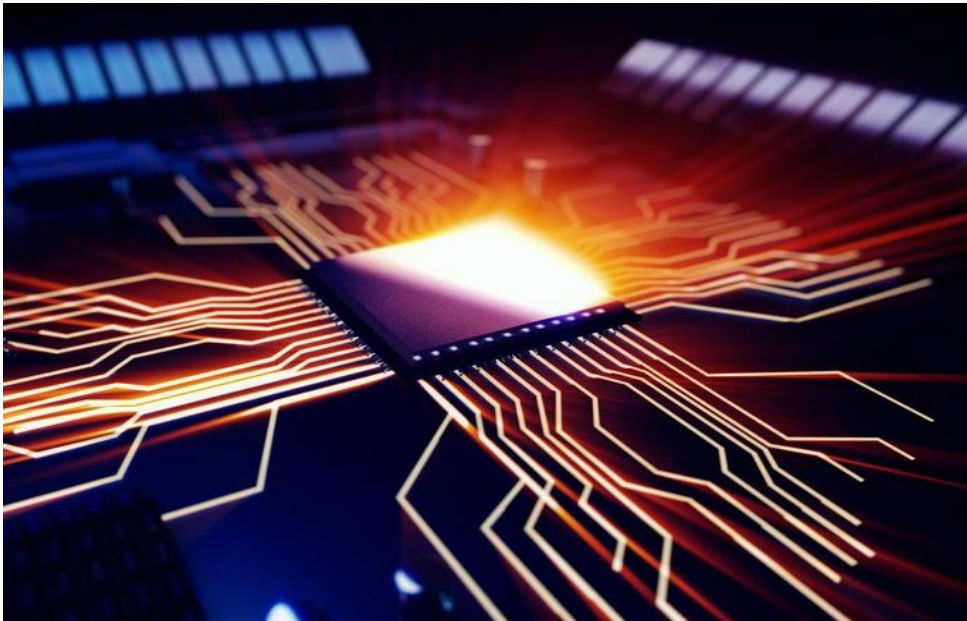
pour le projet d'architecture des ordinateurs
Licence d'Informatique deuxième année

sur le sujet

Conception d'un processeur 4 bits

rédigé par

GERARD Quentin et **PETITEVILLE** Valentin



Mai 2017

Table des matières

1	Introduction	2
2	Spécification du processeur	2
2.1	L'ALU	2
2.2	Le banc de registre	2
2.3	L'unité d'adressage	2
2.4	L'unité de contrôle	2
3	Réalisation	3
3.1	L'ALU	3
3.2	Le banc de registre	4
3.3	L'unité d'adressage	4
3.4	L'unité de contrôle	4
3.5	Le CPU	4
4	Extension	5
4.0.1	La soustraction	5
5	Déroulement du projet	5
5.1	Synchronisation du travail	5
5.2	Répartition du travail	5
5.3	Problèmes rencontrés	5
6	Conclusion	5

Table des figures

1	Schéma complet de l'ALU	3
2	Schéma du FullAdder	3
3	Schéma du Multiplexeur	4

Liste des tableaux

1	Répartition des tâches	5
---	----------------------------------	---

Remerciements

Les auteurs du projet voudraient remercier E.Ansermin, M.Belkaid et J.Lorandel.

1 Introduction

Dans le cadre du module de d'architecture des ordinateurs du second Semestre de L2, les étudiants doivent réalisé en binôme un projet avec le logiciel Logisim en réutilisant les éléments appris en cours. Le projet consiste en la réalisation d'un processeur 4 bits. Notre binôme est composé de Valentin PETITEVILLE, étudiant en L2-MI dans le groupe A, et de Quentin GERARD étudiant en L2 CMI SIC.

2 Spécification du processeur

Dans cette section, nous présentons la spécification du processeur réalisé. Pour cela, nous allons décrire chaque élément qui le compose.

2.1 L'ALU

Une ALU est une Unité Arithmétique et Logique. Elle permet de réaliser des opérations sur des opérandes présentes à ses entrées. Pour ce projet, le but est de réaliser une ALU capable d'effectuer 8 opérations différentes.

2.2 Le banc de registre

Un banc de registres est une mémoire interne au processeur, dans laquelle sont rassemblés certains des registres du processeur. Ce banc de registre contient :

- 1 entrée sur 4 bits
- 2 sorties sur 4 bits
- 3 signaux de controle (lecture sur X, lecture sur Y et ecriture sur un registre)
- une horloge

2.3 L'unité d'adressage

2.4 L'unité de contrôle

Le principe de fonctionnement d'une unité de contrôle est de lire le contenu du registre d'instruction, de le décoder et d'en déduire le positionnement des différents signaux de l'architecture (ALU, sources, destinations, accès mémoire).

3 Réalisation

3.1 L'ALU

Composition Notre ALU est donc composé de :

- Un FullAdder
- Un multiplexeur
- 8 opérations

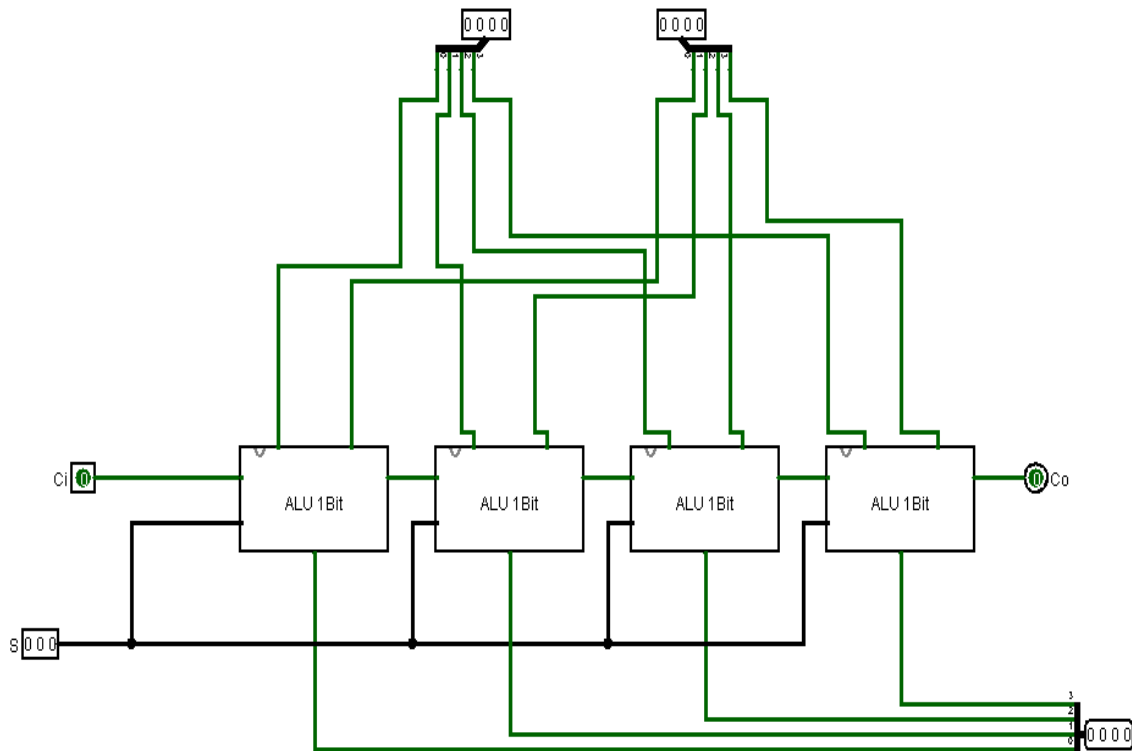


FIGURE 1 – Schéma complet de l'ALU

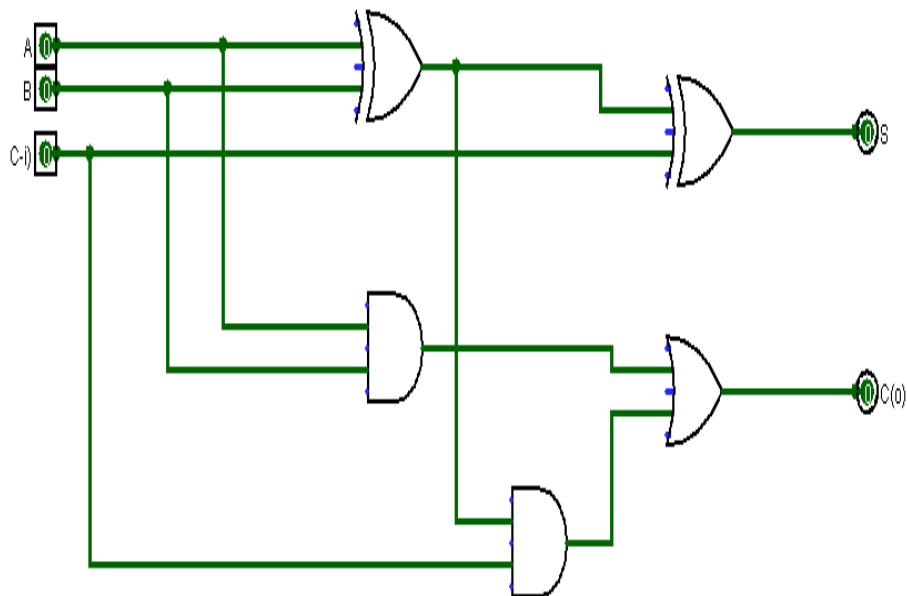


FIGURE 2 – Schéma du FullAdder

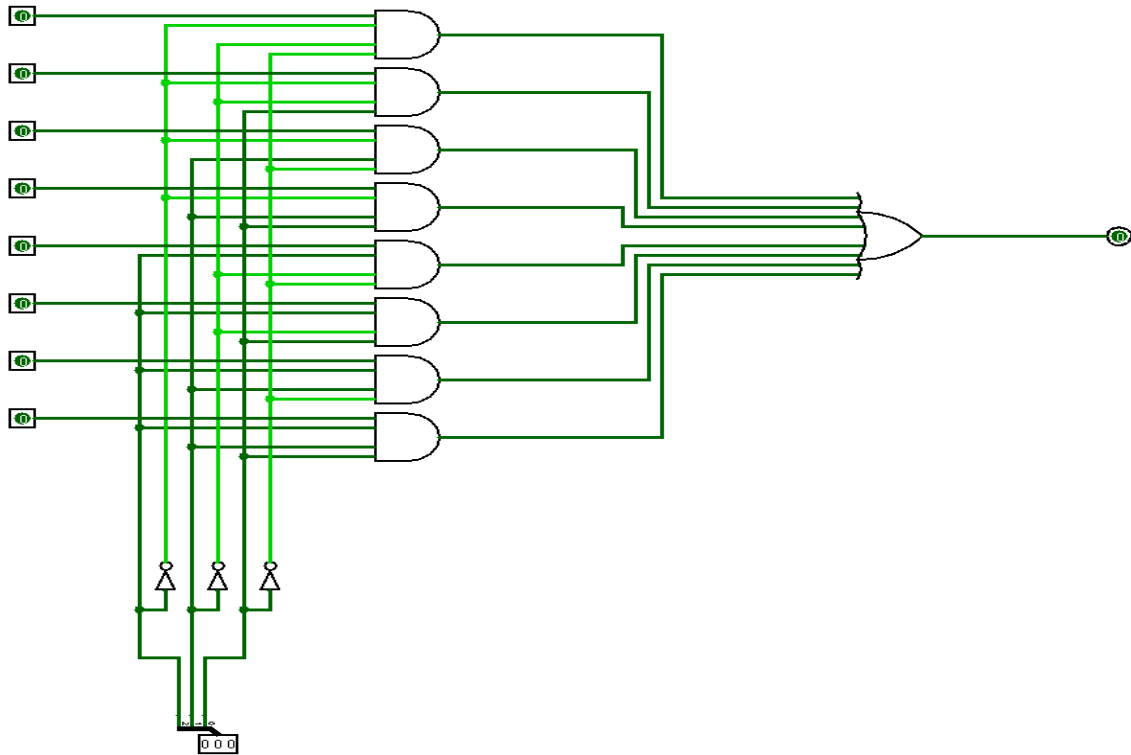


FIGURE 3 – Schéma du Multiplexeur

3.2 Le banc de registre

Notre banc de registre est ainsi :

- 4 registres 4 bits
- un décodeur
- 2 sélecteurs de registre (un pour le BUS X et l'autre pour le BUS Y)

3.3 L'unité d'adressage

3.4 L'unité de contrôle

Notre unité de contrôle est composée d'un décodeur et d'un registre d'instruction.

3.5 Le CPU

Enfin pour concevoir le processeur il faut réunir les différentes parties vu ci-dessus.

4 Extension

4.0.1 La soustraction

Par manque de temps nous n'avons pas pu intégrer la soustraction a notre ALU car cela demandait de revoir l'interface de notre ALU et de l'unité de controle. Malgré le fait qu'elle ne soit pas intégrée, elle fonctionne tout de même.

5 Déroulement du projet

Dans cette section, nous décrivons comment la réalisation du projet s'est déroulée au sein de l'équipe de projet.

5.1 Synchronisation du travail

Afin de pouvoir travailler sur ce projet nous avons utilisé la plateforme Github

5.2 Répartition du travail

Valentin	Quentin
ALU	unité d'adressage
Compte rendu	Unité de controle
à définir	à définir

TABLE 1 – Répartition des tâches

5.3 Problèmes rencontrés

- l'implémentation de l'opération soustraction
- réalisation de l'unité d'adressage
- la bascule D qui créait un problème d'oscillation

6 Conclusion

On est pas obligé d'en faire une donc on peut la supprimer si tu veux