

Université de Cergy-Pontoise

## RAPPORT

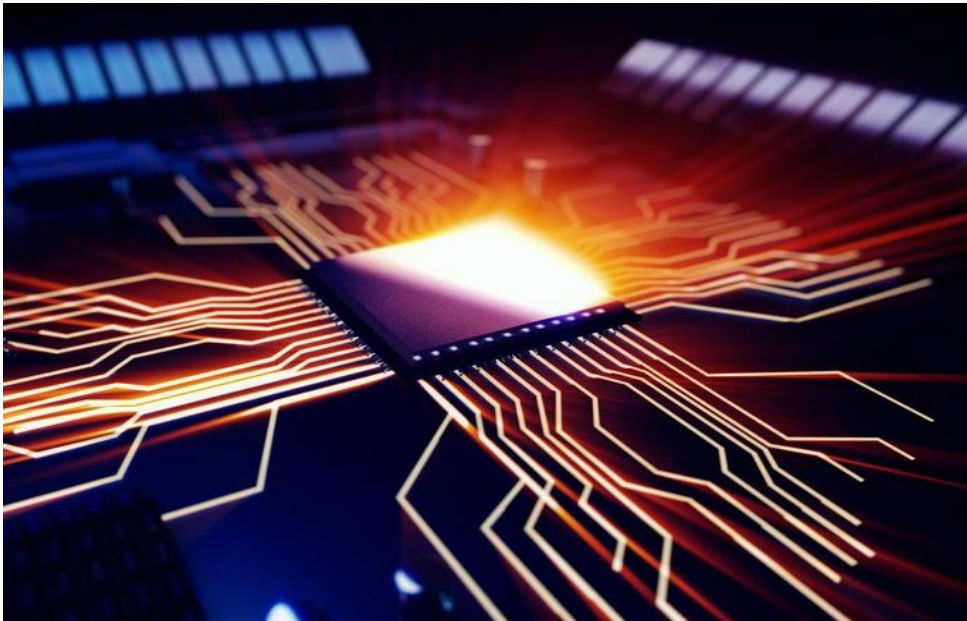
pour le projet d'architecture des ordinateurs  
**Licence d'Informatique deuxième année**

sur le sujet

# Conception d'un processeur 4 bits

rédigé par

**GERARD** Quentin et **PETITEVILLE** Valentin



Mai 2017

## Table des matières

<b>1</b>	<b>Introduction</b>	<b>2</b>
<b>2</b>	<b>Spécification du processeur</b>	<b>2</b>
2.1	L'ALU . . . . .	2
2.2	Le banc de registre . . . . .	2
2.3	L'unité d'adressage . . . . .	2
2.4	L'unité de contrôle . . . . .	2
<b>3</b>	<b>Réalisation</b>	<b>3</b>
3.1	L'ALU . . . . .	3
3.2	Le banc de registre . . . . .	4
3.3	L'Unité d'adressage . . . . .	6
3.4	L'unité de contrôle . . . . .	7
3.5	Le CPU . . . . .	7
<b>4</b>	<b>Extension</b>	<b>8</b>
4.0.1	Schéma de la soustraction . . . . .	8
4.0.2	La soustraction . . . . .	8
<b>5</b>	<b>Déroulement du projet</b>	<b>9</b>
5.1	Synchronisation du travail . . . . .	9
5.2	Répartition du travail . . . . .	9
5.3	Problèmes rencontrés . . . . .	9
<b>6</b>	<b>Conclusion</b>	<b>9</b>

## Table des figures

1	Schéma complet de l'ALU . . . . .	3
2	Schéma d'un ALU 1bit . . . . .	3
3	Schéma du FullAdder . . . . .	4
4	Schéma du Multiplexeur . . . . .	4
5	Schéma du banc de registres . . . . .	5
6	Schéma d'un registre 4bits . . . . .	5
7	Schéma du sélecteur de registre . . . . .	6
8	Schéma complet de l'Unité d'adressage . . . . .	7
9	Schéma du registre d'adresse d'instruction (PC) . . . . .	7
10	Schéma complet du processeur . . . . .	8
11	Schéma de la soustraction . . . . .	8

## Liste des tableaux

1	Répartition des tâches . . . . .	9
---	----------------------------------	---

## Remerciements

Les auteurs du projet voudraient remercier E.Ansermin, M.Belkaid et J.Lorandel.

# 1 Introduction

Dans le cadre du module de d'architecture des ordinateurs du second Semestre de L2, les étudiants doivent réaliser en binôme un projet avec le logiciel Logisim en réutilisant les éléments appris en cours. Le projet consiste en la réalisation d'un processeur 4 bits. Notre binôme est composé de Valentin PETITEVILLE, étudiant en L2-I dans le groupe A, et de Quentin GERARD étudiant en L2 CMI SIC.

## 2 Spécification du processeur

Dans cette section, nous présentons la spécification du processeur réalisé. Pour cela, nous allons décrire chaque élément qui le compose.

### 2.1 L'ALU

Une ALU est une Unité Arithmétique et Logique. Elle permet de réaliser des opérations sur des opérandes présentes à ses entrées. Pour ce projet, le but est de réaliser une ALU capable d'effectuer 8 opérations différentes.

### 2.2 Le banc de registre

Un banc de registres est une mémoire interne au processeur, dans laquelle sont stockées des valeurs envoyées ou sortant de l'ALU. Ce banc de registre contient :

- 1 entrée sur 4 bits
- 2 sorties sur 4 bits
- 3 signaux de controle (lecture sur X, lecture sur Y et écriture sur un registre)
- une horloge

### 2.3 L'unité d'adressage

L'unité d'adressage est en charge de communiquer avec les mémoires externes au processeur, elle a un rôle d'interface entre l'Unité de Contrôle et les mémoire externes. Ainsi c'est elle qui va s'occuper des données d'instruction envoyées à l'UC, mais aussi des données à envoyer aux registres ou à enregistrer dans la mémoire RAM.

### 2.4 L'unité de contrôle

L'UC (pour Unité de Contrôle) a pour but de décoder l'instruction contenu dans le registre d'instruction propre à elle même, et d'en déduire le positionnement des différents signaux de l'architecture (ALU, sources, destinations, accès mémoire).

## 3 Réalisation

### 3.1 L'ALU

**Composition** Notre ALU est donc composé de :

- 2 Entrées sur 4 Bits
- 1 Sortie sur 4 Bits
- 8 Opérations (Dont un Full Adder)
- 1 Multiplexeur 4Bits, 8 vers 1

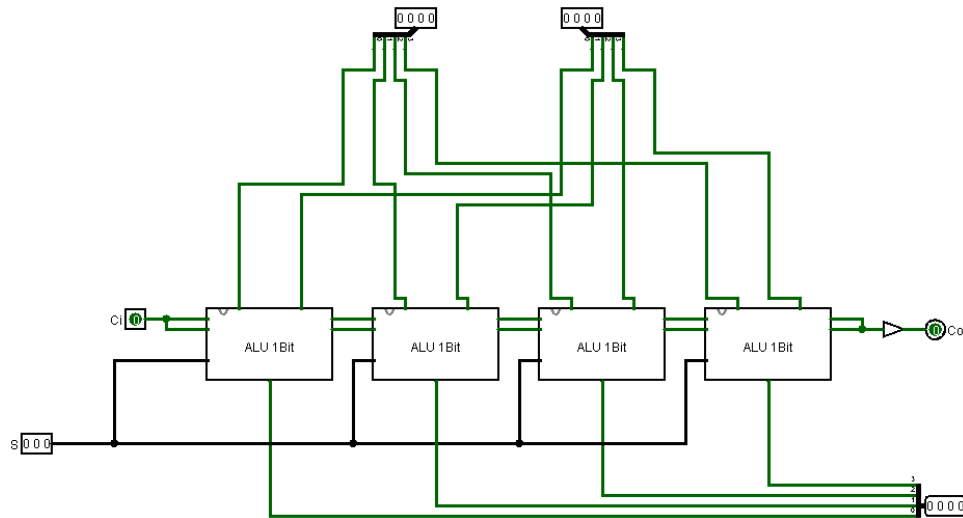


FIGURE 1 – Schéma complet de l'ALU

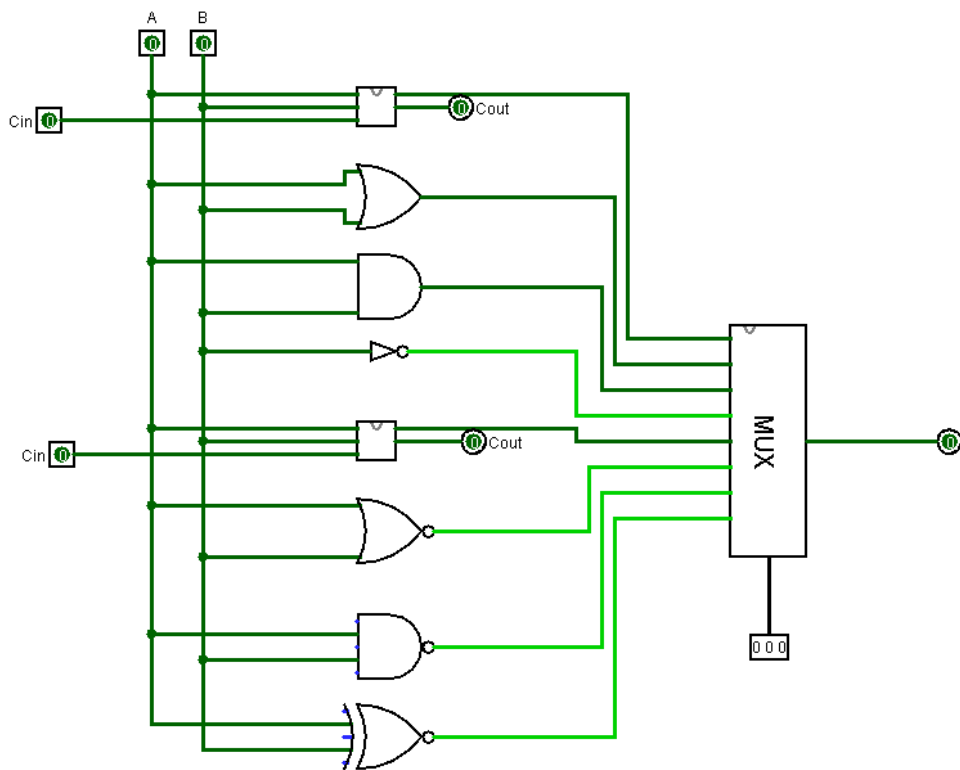


FIGURE 2 – Schéma d'un ALU 1bit

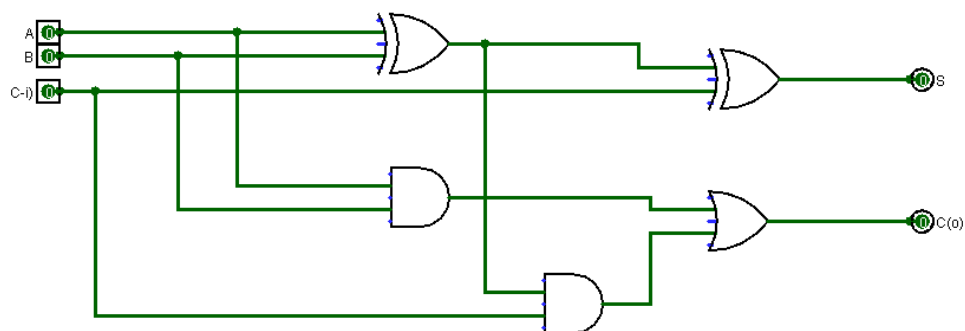


FIGURE 3 – Schéma du FullAdder

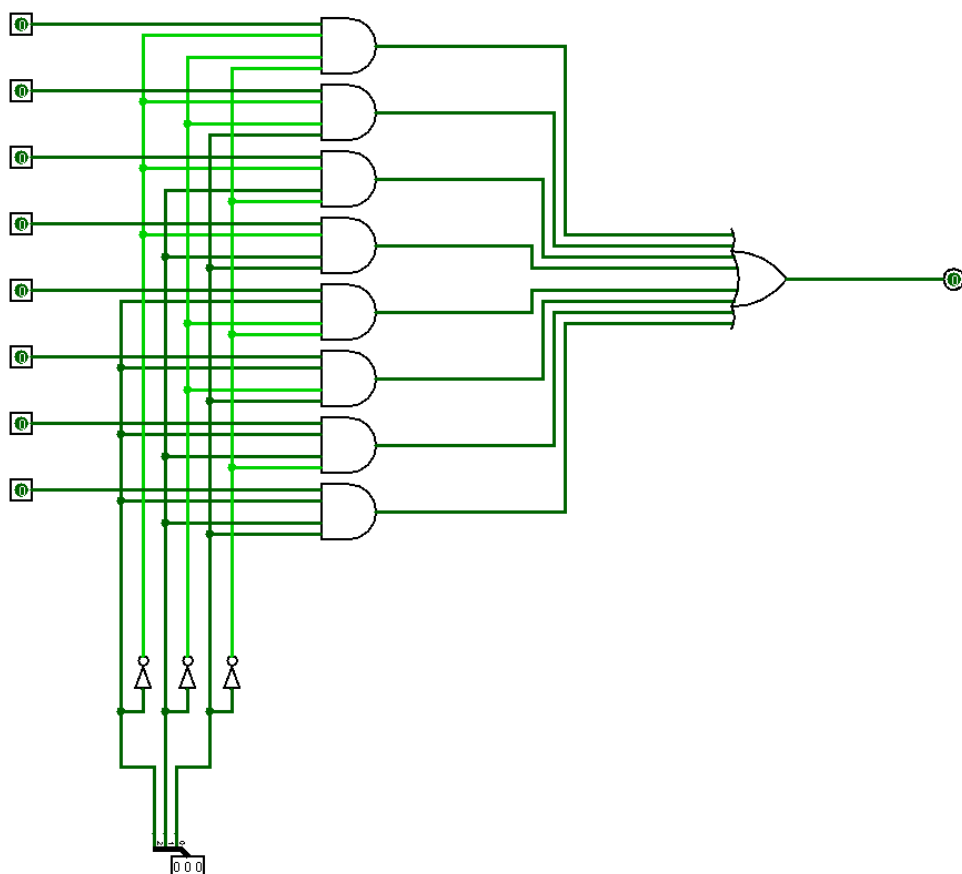


FIGURE 4 – Schéma du Multiplexeur

### 3.2 Le banc de registre

Notre banc de registre est composé de :

- Une entrée 4 bits
- 2 sorties 4 bits
- Un decodeur sur 2 bits en entrée
- Un bit de validation pour l'écriture
- 4 registres 4 bits
- 2 sélecteurs de registre (un pour le BUS X et l'autre pour le BUS Y)

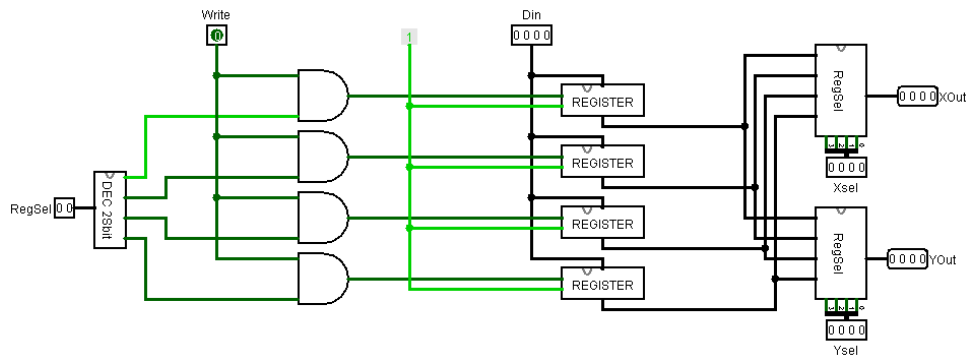


FIGURE 5 – Schéma du banc de registres

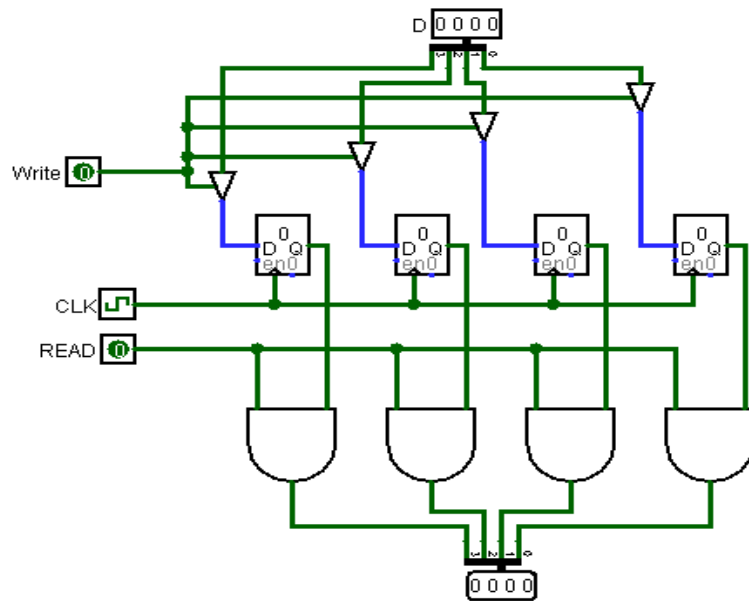


FIGURE 6 – Schéma d'un registre 4bits

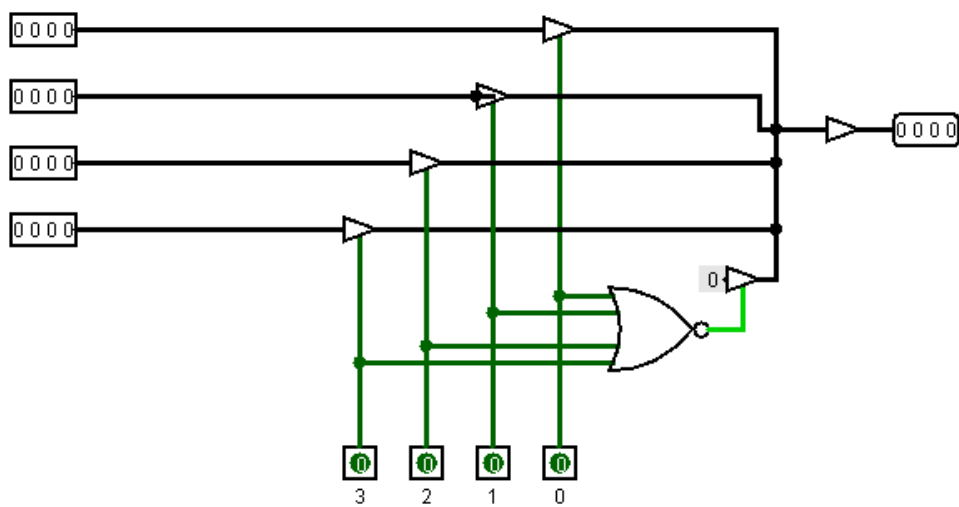


FIGURE 7 – Schéma du sélecteur de registre

### 3.3 L'Unité d'adressage

Notre Unité d'adressage est composé de 2 parties :

- Partie Instructions :
  - 1 entrée 4bits (Adresse de la prochaine instructions)
  - 2 sorties 4bits (Adresse de l'instruction en cours ; Une sortie pour la mémoire d'instruction ; Une sortie pour l'Unité de controle destiné au calcul de l'adresse de la prochaine instruction)
  - Un registre d'adresse 4bits
  - Un bit de validation d'écriture
- Partie Données
  - 1 entrée 4bits
  - 1 sortie 4bits
  - 1 bit de validation d'écriture dans la mémoire de données

**Problème rencontré** Nous pouvons remarquer que la partie gérant la mémoire de données ne contient pas de registre d'adresse, en effet nous n'avons pas compris le rôle de ce registre, et son implementation provoque un disfonctionnement dans notre processeur du au retard provoqué sur l'arrivé de l'information à la mémoire RAM.

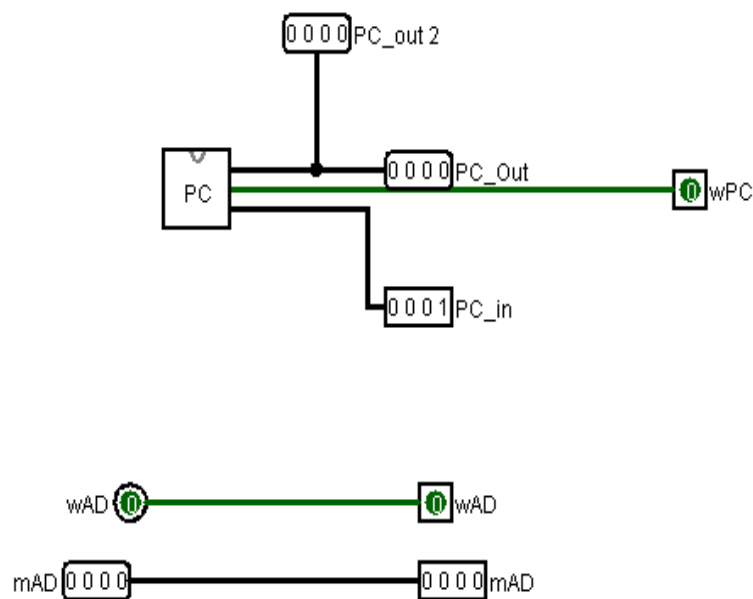


FIGURE 8 – Schéma complet de l'Unité d'adressage

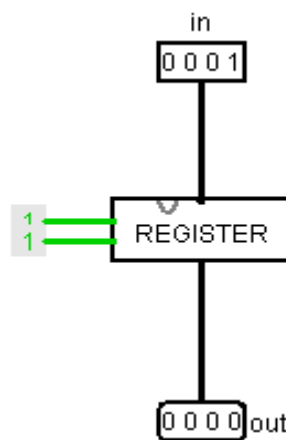


FIGURE 9 – Schéma du registre d'adresse d'instruction (PC)

### 3.4 L'unité de contrôle

Notre unité de contrôle est composée d'un registre d'instruction ainsi que de multiple décodeur d'instruction, s'occupant chacun d'une partie de l'instruction, et de plusieurs selecteurs de sorties.

**Problème rencontré** Bien que nous l'ayons implémenté, la sortie Fetch nous à posé problème, en effet nous ne comprenons son rôle dans le processeur, c'est pourquoi la sortie est tout de même branché à une constante (elle doit visiblement être constamment à 1) mais pas utilisé.

### 3.5 Le CPU

Enfin notre CPU relie tous les composants vu ci dessus, ainsi que la mémoire RAM servant de mémoire de données ainsi qu'une mémoire ROM contenant le programme du processeur (la mémoire d'instruction).

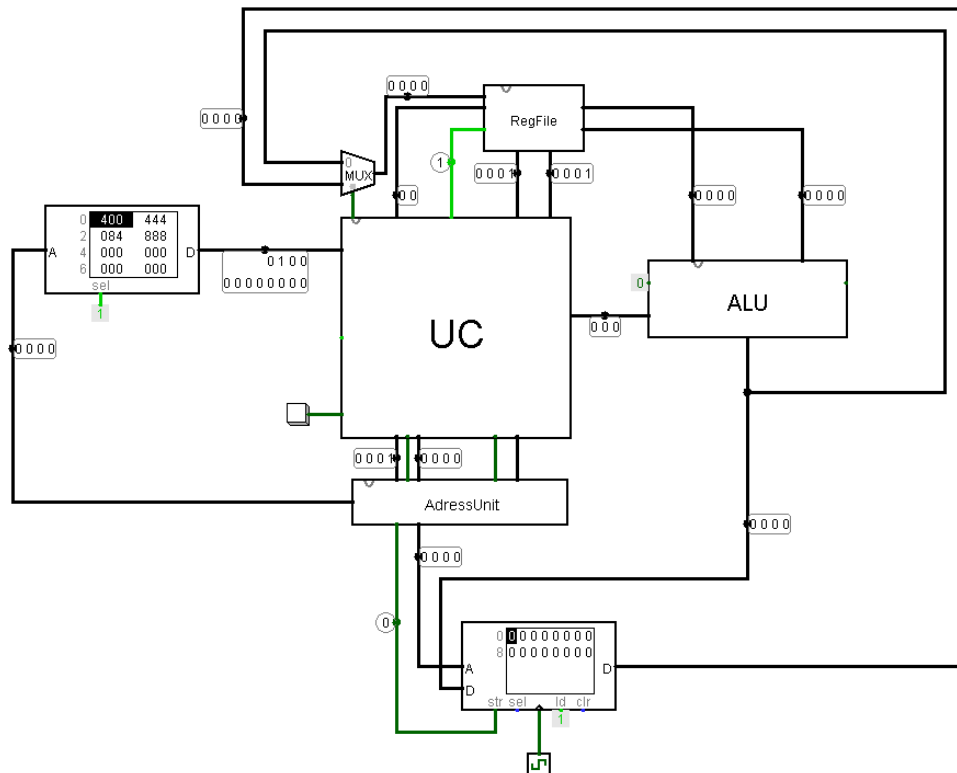


FIGURE 10 – Schéma complet du processeur

## 4 Extension

### 4.0.1 Schéma de la soustraction

### 4.0.2 La soustraction

Par manque de temps nous n'avons pas pu intégrer la soustraction a notre ALU car cela demandait de revoir l'interface de notre ALU et de l'unité de controle. Malgré le fait qu'elle ne soit pas intégrée, elle fonctionne tout de même.



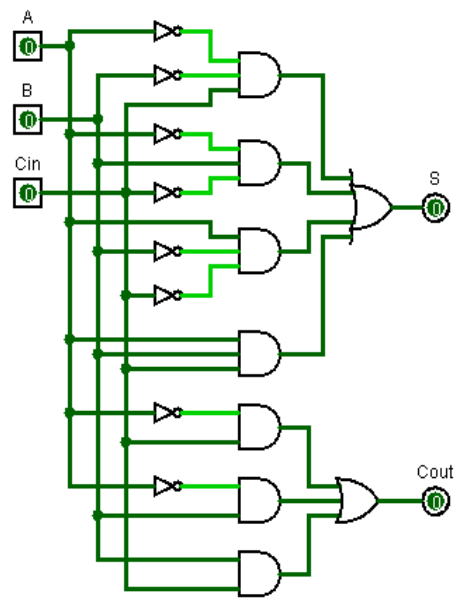


FIGURE 11 – Schéma de la soustraction

## 5 Déroulement du projet

Dans cette section, nous décrivons comment la réalisation du projet s'est déroulée au sein de l'équipe de projet.

### 5.1 Synchronisation du travail

Afin de pouvoir travailler sur ce projet nous avons utilisé la plateforme Github.

### 5.2 Répartition du travail

Valentin	Quentin
ALU	Banc de Registre
Extension	Unité de Controle
Compte rendu	Unité d'Adressage

TABLE 1 – Répartition des tâches

### 5.3 Problèmes rencontrés

- L'implémentation de l'opération soustraction
- Réalisation de l'unité d'adressage
- La compréhension de l'utilité d'un registre d'adresse de données
- La compréhension de certains signaux de sorties de l'UC (Fetch)
- La bascule D qui créait un problème d'oscillation (Nous avons donc utilisé les registres fourni par Logisim)

## 6 Conclusion

On est pas obligé d'en faire une donc on peut la supprimer si tu veux