

Université de Cergy-Pontoise

RAPPORT

pour le projet de développement web
Licence d'Informatique deuxième année

sur le sujet

Conception d'un site web agrégateur de données

rédigé par

GERARD Quentin et **VILAIN** Matthieu



Mai 2017

Table des matières

1	Introduction	2
2	Architecture du site web	2
2.1	Architecture physique	2
2.2	Architecture Logique	2
3	Réalisation	4
3.1	L'ALU	4
3.2	Le banc de registre	5
3.3	L'unité d'adressage	5
3.4	L'unité de contrôle	5
3.5	Le CPU	5
4	Déroulement du projet	5
4.1	Synchronisation du travail	5
4.2	Répartition du travail	6
4.3	Problèmes rencontrés	6
5	Conclusion	6

Table des figures

1	Architecture Physique du site web	2
2	Barre de navigation	3
3	Schéma complet de l'ALU	4
4	Schéma du FullAdder	4
5	Schéma du Multiplexeur	5

Liste des tableaux

1	Répartition des tâches	6
---	----------------------------------	---

Remerciements

Les auteurs du projet voudraient remercier M.Lemaire et JL.Bourdon.

1 Introduction

Dans le cadre du module de Développement Web du second Semestre de L2, les étudiants doivent réalisé en binôme un projet en réutilisant les éléments appris en cours. Le projet consiste en la réalisation d'un site web permettant la mise en valeur et la recherche dans les données publiques de l'ONISEP, concernant les établissements d'enseignements supérieur en France. Notre binôme est composé de Matthieu VILAIN, étudiant en L2 CMI SIC, et de Quentin GERARD étudiant en L2 CMI SIC.

2 Architecture du site web

Dans cette section, nous présentons l'architecture du site web réalisé.

2.1 Architecture physique

L'architecture physique du site web est divisé en 4 parties :

- Les pages web : à la racine du site web
- Les fonctions php : dans les librairies dans le dossier "lib" ainsi que dans le dossier "include"
- Les différentes ressources : dans les dossier "res" et "img"
- Le style du site : dans les dossier "css" et "police"

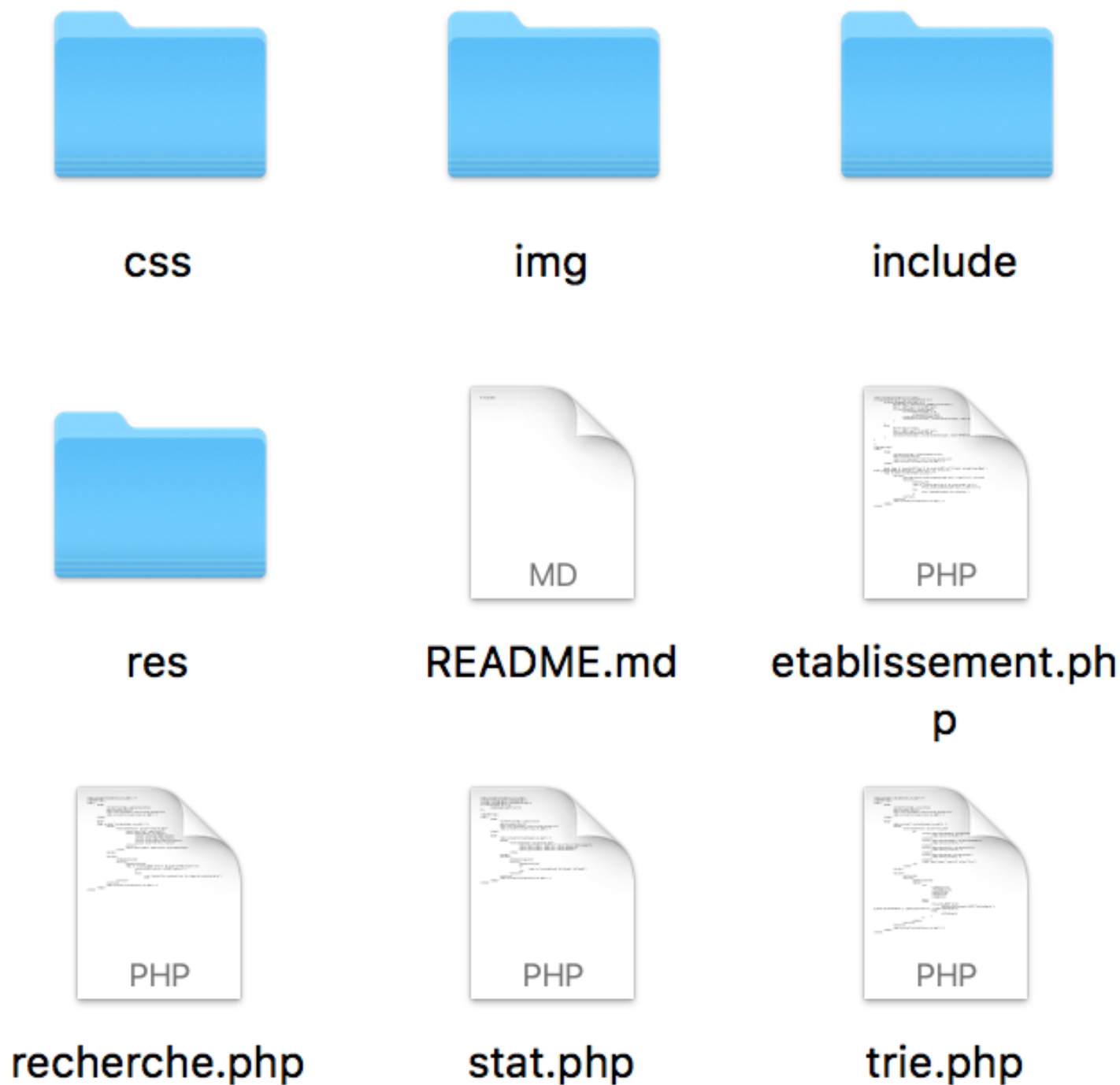


FIGURE 1 – Architecture Physique du site web

2.2 Architecture Logique

Le site web est construit de telle manière à ce que chaque page soit accessible à partir de n'importe quelle autre page. Ainsi chaque page est directement accessible via la barre de navigation présente en haut de chaque page, seul la page "établissement" est accessible via un lien pouvant être obtenu par une recherche d'établissement ou sur la page de tri.

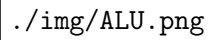
FIGURE 2 – Barre de navigation

3 Réalisation

3.1 L'ALU

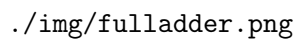
Composition Notre ALU est donc composé de :

- Un multiplexeur
- 8 opérations



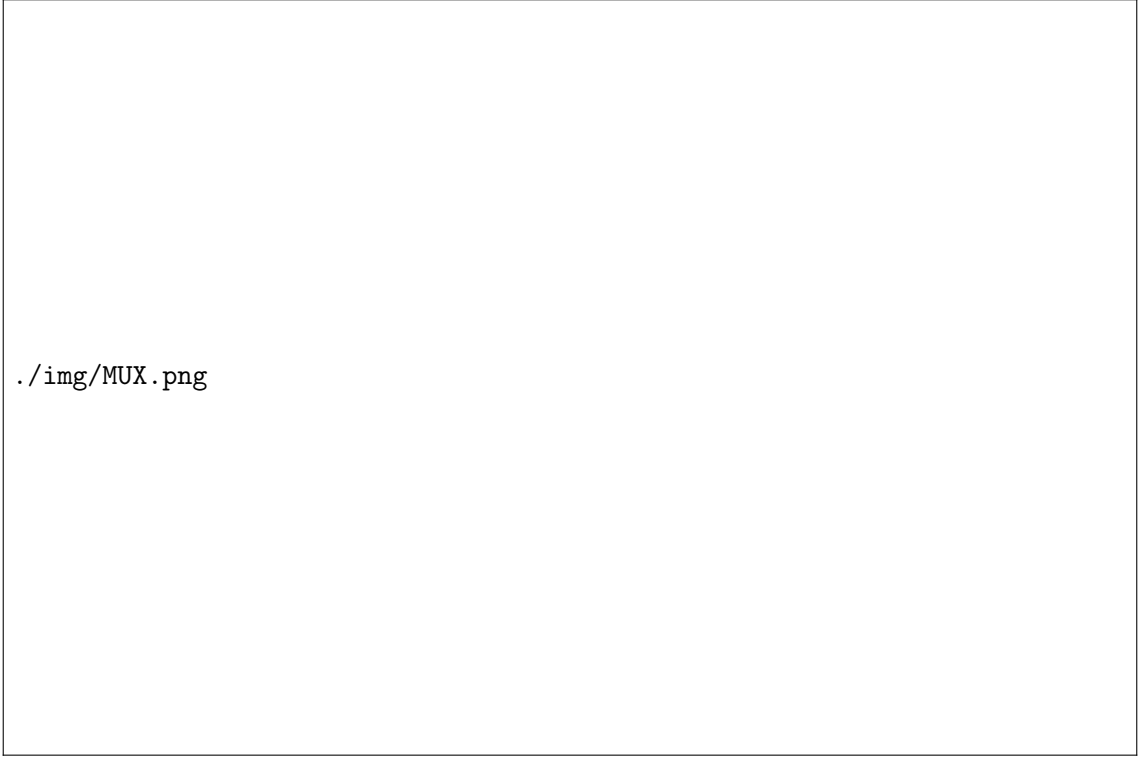
`./img/ALU.png`

FIGURE 3 – Schéma complet de l'ALU



`./img/fulladder.png`

FIGURE 4 – Schéma du FullAdder



./img/MUX.png

FIGURE 5 – Schéma du Multiplexeur

3.2 Le banc de registre

Notre banc de registre est ainsi :

- 4 registres 4 bits
- un décodeur
- 2 sélecteurs de registre (un pour le BUS X et l'autre pour le BUS Y)
- Un sélecteur de registre pour l'écriture (sur 2 bits)
- Un bit de validation pour l'écriture

3.3 L'unité d'adressage

3.4 L'unité de contrôle

Notre unité de contrôle est composée d'un décodeur et d'un registre d'instruction.

3.5 Le CPU

Enfin pour concevoir le processeur il faut réunir les différentes parties vu ci-dessus.

4 Déroulement du projet

Dans cette section, nous décrivons comment la réalisation du projet s'est déroulée au sein de l'équipe de projet.

4.1 Synchronisation du travail

Afin de pouvoir travailler sur ce projet nous avons utilisé la plateforme Github

4.2 Répartition du travail

Valentin	Quentin
ALU	unité d'adressage
Compte rendu	Unité de controle
à définir	à définir

TABLE 1 – Répartition des tâches

4.3 Problèmes rencontrés

- l'implémentation de l'opération soustraction
- réalisation de l'unité d'adressage
- la bascule D qui créait un problème d'oscillation

5 Conclusion

On est pas obligé d'en faire une donc on peut la supprimer si tu veux