

本科生期末试卷 2007（01）答案

一. 填空题。

1. 时间重叠
2. SIMD
3. 不命中预取
4. 带宽
5. 某种关联
6. 线路
7. 流水
8. 数据块
9. 级控制
10. 紧耦合多处理机
11. 吞吐率 加速比 效率
12. SIMD MISD MIMD 或者单指令流多数据流 多指令流单数据流 多指令流多数据流（答案顺序可以不同）
13. 横向处理方式 纵向处理方式 纵横处理方式
14. 20% 80%
15. 线性流水线 非线性流水线 静态流水线 动态流水线（前面两个答案可以交换，后面两个答案也可以交换）
16. 物理实现
17. 并发性
18. 500
19. 写直达法
20. 3.57
21. 相关专用通路
22. 动态
23. 3
24. 纵横
25. 松耦合

二. 解释术语。

1. 数据表示研究的是计算机硬件能够直接识别，可以被指令系统直接调用的那些数据类型。数据表示是数据类型中最常用，也是相对比较简单，用硬件实现相对比较容易的几种。如定点数（整数）、逻辑数（布尔数）、浮点数（实数）、十进制数、字符、字符串、堆栈和

向量等。

2. 程序局部性原理：实验统计表明：一个程序用 90% 的执行时间去执行仅占 10% 的程序代码。这一规律称为程序访存的局部性原理。
3. 流水线的效率：是指流水线的设备利用率。
4. 描述流水线的工作，最常用的方法是采用“时空图”。在时空图中，横坐标表示时间，也就是输入到流水线中的各个任务在流水线中所经过的时间。当流水线中的各个功能部件的执行时间都相等时，横坐标被分割成相等长度的时间段。纵坐标表示空间，即流水线的各个子过程。在时空图中，流水线的的一个子过程通常称为“功能段”。
5. . RISC——精简指令系统计算机。
6. 实页冲突——指两个以上的虚页想要进入主存中同一个页面位置的现象。
7. 四功能交换开关——具有直连、交换、上播和下播四种功能的交换开关称为四功能交换开关。
8. 超标量流水线处理机——超标量流水线处理机是采用多指令流水线，每个 t 同时流出 m 条指令。
9. 写回法——在 CPU 执行写操作时，信息只写入 Cache，仅当需要被替换时，才将已被写入过的 Cache 块先送回主存，然后再调入新块。
10. 流水线的实际吞吐率——从启动流水线处理机开始到流水线操作结束，单位时间内流出的结果数或任务数。

三. 解：

向量指令： $V_0 \leftarrow$ ——存储器

$$V_2 \leftarrow 1/V_1 \quad \text{可以并行执行} \quad (2 \text{分})$$

向量指令： $V_4 \leftarrow V_1 + V_2$

$$V_5 \leftarrow V_3 * V_4 \quad \text{可以链接执行} \quad (2 \text{分})$$

计算指令组中全部向量指令所花的时间为：

$$1 \left\{ \begin{array}{l} \text{启动访存} \\ \text{送求倒部件} \end{array} \right\} + 6 \left\{ \begin{array}{l} \text{访存} \\ \text{求倒} \end{array} \right\} + 1 \left\{ \begin{array}{l} \text{存 } V_0 \\ \text{求倒} \end{array} \right\} + 7 \{\text{求倒}\} + 1 \{\text{存 } V_2\} + 32 - 1 +$$

$$1 \{\text{送浮加部件}\} + 6 \{\text{浮加}\} + 1 \{\text{存 } V_4\} + 1 \{\text{送浮乘部件}\} + 7 \{\text{浮乘}\} + 1 \{\text{存 } V_5\} + 32 - 1$$

=95 拍

(4 分)

四. 解：(1)

X 的页地址流	A	C	B	E	A	C	B	C	A	D	E	A	C	B	E
---------	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

	LW	R3, 0(R4)			IF	s	ID	EX	M	WB								
	DSUB	R6, R1, R3					IF	ID	s	EX	M	WB						
	SW	R6, 4(R4)						IF	s	ID	EX	M	WB					
	DADDI	R4, R4, #8								IF	ID	EX	M	WB				
	DSUBI	R10, R10, #1									IF	ID	EX	M	WB			
	BNEZ	R10, Loop										IF	s	ID	EX	M	WB	
	Next (LW)	(R1, 500(R2))												IF	IF	ID	EX	M WB

- c. We need to remove the stalls after the two LWs and before the BNEZ. I will group the LWs together and move the DSUBI up earlier. I will move the second DADDI to the branch delay slot. This will take care of all stalls.

```

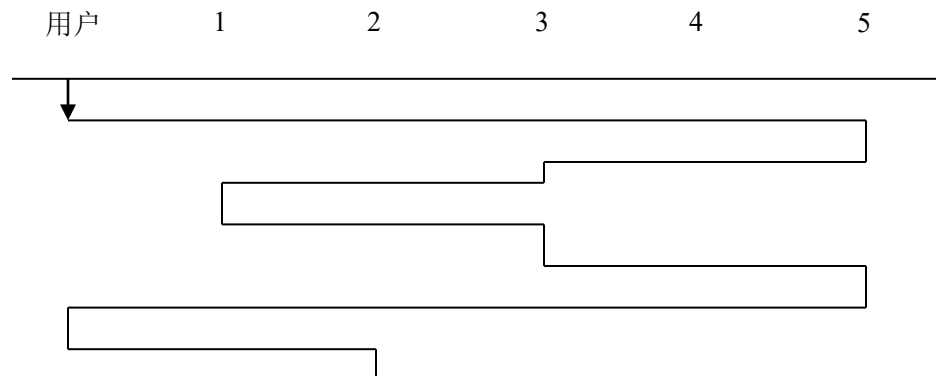
Loop: LW      R1, 500(R2)
      LW      R3, 0(R4)
      DSUBI   R10, R10, #1
      DADDI   R1, R1, #5
      DSUB    R6, R1, R3
      SW      R6, 4(R4)
      BNEZ    R10, Loop
      DADDI   R4, R4, #8

```

- d. For the pipeline in part a, it takes 20 cycles for the first iteration, the second iteration starts in the 20th cycle, so the remaining 99 iterations will complete every 20 cycles but start 1 cycle into the previous iteration requiring a total of 19 cycles per further iteration. So it will take a total of $20 + 99 * 19 = 1901$ cycles. For the pipeline in part b, it takes 15 cycles to complete the first iteration, the second iteration starts in the 13th cycle, so the remaining 99 iterations will complete every 12 cycles. So it will take a total of $15 + 99 * 12 = 1203$ cycles. Forwarding and moving the branch detection to the ID stage results in $1901 / 1203 = 1.58$ or 58% speedup.
- e. The scheduled code will complete its first iteration in 12 cycles and since there are no stalls, each remaining iteration will complete every 8 cycles (since there are 8 instructions in the code). This takes a total of $12 + 99 * 8 = 804$ cycles. The speedup over part a. is $1901 / 804 = 2.36$ or 136%! The speedup over part b. is $1203 / 804 = 1.50$ or 50%.

六. 解: 1、1——>3——>——>5——>4——>2

2、



十

(1)主存地址格式:

12 位	1 位	1 位	5 位
区号	组号	块号	块内地址

Cache 地址格式:

1 位	1 位	5 位
组号	块号	块内地址

(说明: 主存地址格式中区号字段占 1 分, 主存地址格式和 Cache 地址格式中的组号、块号、块内地址各占 1 分, 共 4 分)

(2)

(以下每一步为 0.5 分, 共 5 分)

块地址流	1	4	1	4	7	1	9	4	27	7
0 组	1	1*	1	1*	1*	1	1*	4	4	4
		4	4*	4	4	4*	9	9*	9*	9*
1 组					7	7	7	7	7*	7
									27	27*
	调进	调进	命中	命中	调进	命中	替换	替换	调进	命中

Cache 的块命中率为: $H=4/10=0.4$

(最后计算命中率占 1 分)

十一. (1)执行该程序时的平均 CPI 为:

$$1 \times 0.6 + 2 \times 0.18 + 4 \times 0.12 + 8 \times 0.10 = 2.24 \text{CPI};$$

(3 分)

(2)MIPS 速率为: $\frac{40 \times 10^6}{2.24 \times 10^6} = 17.86 \text{MIPS}$

(3 分)

程序的执行时间为: $2 \times 10^5 \times 2.24 / (40 \times 10^6) = 0.0112s$ (2分)

十二 1、 $f_{\max\text{byte}} = \frac{1}{T_d + T_s} = \frac{1B}{2\mu s + 2\mu s} = 250 \text{ kB/s}$

2、C、D、E、G、H

因为选速率高且不少于 4 台时, 这是最佳组合。

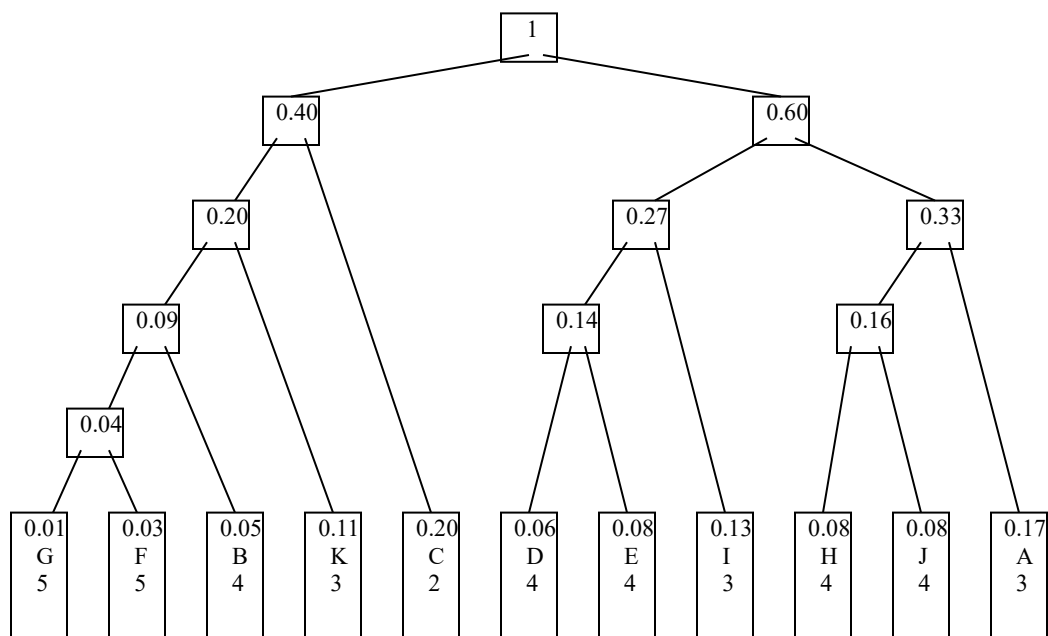
3、 $f_{\max\text{block}} = \frac{l}{T_d + l \cdot T_s} = \frac{256B}{2\mu s + 256 \cdot 2\mu s} \approx 497 \text{ KB/s}$

4、C、D、E、F、G、H

因为 A、B 的工作速率比 $f_{\max\text{byte}}$ 大

十三 (1) 共需传送 $4 \times 200 = 800$ 位。

(2)



(3) 哈夫曼编码的平均码长为 $\sum_{i=1}^{11} p_i \cdot l_i = 3.23$ 位

(4) 可减少传送的二进制码位数是 $(4 - 3.23) \times 1000 = 770$ 位

(5) 采用 3-5 编码 (同码长的字符编码可以不唯一)

字 符	C	A	I	K	E	H	J	D	B	F	G
频 度	0. 20	0. 17	0. 13	0. 11	0. 08	0. 08	0. 08	0. 06	0. 05	0. 03	0. 01
扩展码	000	001	010	011	100	101	110	11100	11101	11110	11111

平均码长为 $0.85 \times 3 + 0.15 \times 5 = 3.3$

3-4 编码的平均码长为 3.39, 3.31 (同频率不同码长); 2-5 编码的平均码长为 3.5; 2-4 编码的平均码长为 3.6。因此最佳编码为 3-5 编码。