

中南大学考试试卷

2006 -- 2007 学年__ 学期

时间 110 分钟

计算机系统结构 课程 64 学时 4 学分 考试形式: 闭卷

专业年级: 计算机 04 总分 100 分, 占总评成绩 60 %

注: 此页不作答题纸, 请将答案写在答题纸上

一. 填空题。

1. 为提高计算机系统的并行性, 可通过的技术途径有_流水线技术____、资源重复和资源共享。
2. . 按弗林(Michael J. Flynn)的观点, 计算机系统可分为 SISD、_SIMD____、MISD 和 MIMD 四大类。
3. 为提高访 Cache 的命中率, Cache 的预取算法可以有恒预取法和_____预取法。
4. 衡量主存性能的指标是访问时间、存储周期和_位价_____。
5. 要实现两条指令在时间上重叠解释, 首先是以增加硬件为代价的, 其次, 还要处理好指令之间可能存在的____相关问
题_____。
6. 互连网络的交换方法主要有线路交换、包交换、线路/包交换, SIMD 互连网络多采用_____交换, 多处理机常采用

包交换。

7. 为同时解释相邻两条或多条指令，常用的控制方式是重叠和_____。
8. 数组多路通道与设备之间的数据传送的基本单位是_____。
9. 多级互连网络的交换开关控制方式主要有三种，分别是_____、单元控制和部分级控制。
10. 多处理机系统按照连接的紧密程度主要分两大类，分别是_____和松散耦合多处理机。
11. 衡量流水线性能通常有三种主要指标，它们是_____、_____和_____。
12. 按照 Flynn 分类法, 根据指令流和数据流的不同组织方式, 计算机系统的结构可以分为 SISD(单指令流单数据流)、_____、_____和_____。
13. 三种向量处理方式指_____、_____和_____。
14. 在 CISC 中，各种指令的使用频度相差悬殊，大致有以下的结果。大约有_____（比例）的指令使用频度较高，占据了_____（比例）的处理机时间。
15. 从不同的角度，我们可以把流水线分成不同的类别。如果根据流水线各功能段是否有反馈信号来划分，可以分为_____和_____；多功能流水线可以分为两种，即根据它在同一时间内是否能连成多种方式，可以分为_____和_____。
16. 计算机系统结构是计算机系统的软、硬件的分界面；计算机组成是计算机系统结构的逻辑实现；计算机实现是计算机组成的_____。
17. 开发并行性是为了并行处理，并行性有二重含义，即同时性和_____性。
18. 某选择通道连接 4 台外设，其数据传送速率分别为 500KB/s、400KB/s、350KB/s、250KB/s，则此选择通道的实际最大流量为_____KB/s。
19. Cache 存储器更新主存的策略有二种，即写回法和_____。

20. 假设高速缓存 Cache 工作速度为主存的 5 倍, 且 Cache 被访问命中的概率为 90%, 则采用 Cache 后, 能使整个存储系统获得的加速比为_____。

21. 解决通用寄存器相关的方法有两种, 即推后相关单元的读和设置_____。

22. 若多功能流水线各功能段同时可按不同运算或功能联接工作, 则称此流水线为_____流水线。

23. 在有 8 个处理器的混洗交换网络中, 若要使第 0 号处理器与第 7 号处理器相连, 需要经过 2 次混洗和_____次交换。

24. 向量的处理方式有三种, 即: 横向处理方式、纵向处理方式和_____处理方式。

25. 多处理机有紧耦合和_____两种基本构型。

三. 在 CRAY-1 向量处理机上, V_i 为向量寄存器, 设向量长度均为 32, 所用浮点功能执行部件的执行时间分别为: 加法需 6 拍, 乘法需 7 拍, 从存储器读数需 6 拍, 求倒数近似值需 14 拍, 打入寄存器及启动功能部件 (包括存储器) 各需 1 拍。问如下指令组中的哪些指令可以链接执行? 哪些可以并行执行? 计算指令组中全部指令执行完所需的拍数。

$V_0 \leftarrow \text{存储器}$

$V_2 \leftarrow 1/V_1$

$V_4 \leftarrow V_1 + V_2$

$V_5 \leftarrow V_3 * V_4$

四.采用页式管理的虚拟存贮器，分时运行 X、Y 两道程序。其中 X 的页面地址流为 A、C、B、E、A、C、B、C、A、D、E、A、C、B、E；Y 的页面地址流为 3、5、4、2、5、3、1、3、2、5、1、3、1、5、2。替换算法为 LRU，实存有 8 页位置。问：

- (1) 若给 X 程序分配 3 个实页，求其命中率。
- (2) 试分析为这两道程序分别分配多少个实页最合理，并求出此时的系统平均命中率。

六.

设有五级中断，中断级屏蔽位“1”对应开放，“0”对应屏蔽，中断响应次序为 5→2→3→1→4，已知各中断处理程序的中断屏蔽位设置如表所示：

| 中断处 理 级别 | 中断级屏蔽位 | | | | |
|----------------|--------|---|---|---|---|
| | 1 | 2 | 3 | 4 | 5 |
| 第 1 级 | 0 | 0 | 0 | 0 | 0 |
| 第 2 级 | 1 | 0 | 1 | 1 | 1 |
| 第 3 级 | 1 | 0 | 0 | 0 | 0 |
| 第 4 级 | 1 | 0 | 1 | 0 | 1 |
| 第 5 级 | 1 | 0 | 1 | 0 | 0 |

问：

- (1) 中断处理次序是什么？
- (2) 在执行用户程序时，如出现 4、5 级中断请求，在处理 5 级中断请求时，又发生 1、2、3 级中断请求，请画出中断处理过程的示意图（包括将交换 PSW 的时间段也表示出来）。
- (3) 上面这五个中断请求的完成次序是什么？

•

十. 假设在一个采用组相联映象的 Cache 存储器中, Cache 的容量为 1KB, 要求 Cache 的每一块在一个主存周期内能从主存取得。主存采用模 32 交叉, 每个分体的宽度为 64 位, 主存的总容量为 4MB。采用按地址访问存储器构成的相联目录表, 实现主存地址到 Cache 地址的变换, 并约定采用 2 个外相等比较电路。

(1) 请设计主存地址格式和 Cache 地址格式, 并标出各段的位数;

(2) 若替换算法采用 LRU 算法, 对于如下主存块地址流: 1、4、1、4、7、1、9、4、27、7, 如主存中内容一开始未装入 Cache 中, 请列出随时间变化 Cache 中各块的使用状况, 求出此期间 Cache 的块命中率。

十一. 假设在一台 40MHz 处理机上运行 200000 条指令的目标代码, 程序主要由四种类型的指令所组成。根据程序跟踪实验结果, 已知指令混合比和每类指令的 CPI 值如下表所示。

| 指令类型 | 指令混合比 | CPI |
|--------------|-------|-----|
| 算术和逻辑 | 60% | 1 |
| 高速缓存命中的加载/存储 | 18% | 2 |
| 转移 | 12% | 4 |
| 高速缓存缺失的存储器访问 | 10% | 8 |

(1) 试计算用上述跟踪数据在单处理机上执行该程序时的平均 CPI;

(2) 根据 (1) 所得到的 CPI, 计算相应的 MIPS 速率及程序的执行时间。

十二. 有 8 台外设, 各设备要求传送信息的工作速率如图所示。现设计的通道, 在数据传送期, 每选择一次设备需 2us, 每传送一个字节数据也需要 2us。

- 1、若用作字节多路通道, 通道的最高流量是多少?
- 2、作字节多路通道时, 希望同时不少于 4 台设备挂在此通道上, 最好多挂一些, 且高速设备尽量多挂一些, 请问应选哪些设备挂在此通道上? 为什么?
- 3、若用作数组多路通道, 通道工作和最高流量是多少? (设定长块大小取成 512B)

4、作数组多路通道用时, 应选哪些设备挂在通道上, 为什么?

| | | | | | | | | |
|----------------|-----|-----|-----|----|----|----|----|----|
| 设备标识 | A | B | C | D | E | F | G | H |
| 工作速率 (KB/S) | 500 | 240 | 100 | 75 | 50 | 40 | 14 | 10 |

十三、报文由 A~K 字符组成, 其出现频度依次为 0. 17, 0. 05, 0. 20, 0. 06, 0. 08, 0. 03, 0. 01, 0. 08, 0. 13, 0. 08, 0. 11。

- (1) 各字符用等长二进制编码, 传送 200 个字符时, 需传送多少个二进制码位?
- (2) 构造哈夫曼树, 写出各字符的二进制码位数。
- (3) 按哈夫曼编码, 计算字符的平均码长。

(4) 用哈夫曼码传送 1000 个字符，比定长码传送可减少传送的码位数是多少？

设计一种平均码长最短的仅有两种码长的扩展操作码编码，并求出其平均码长。