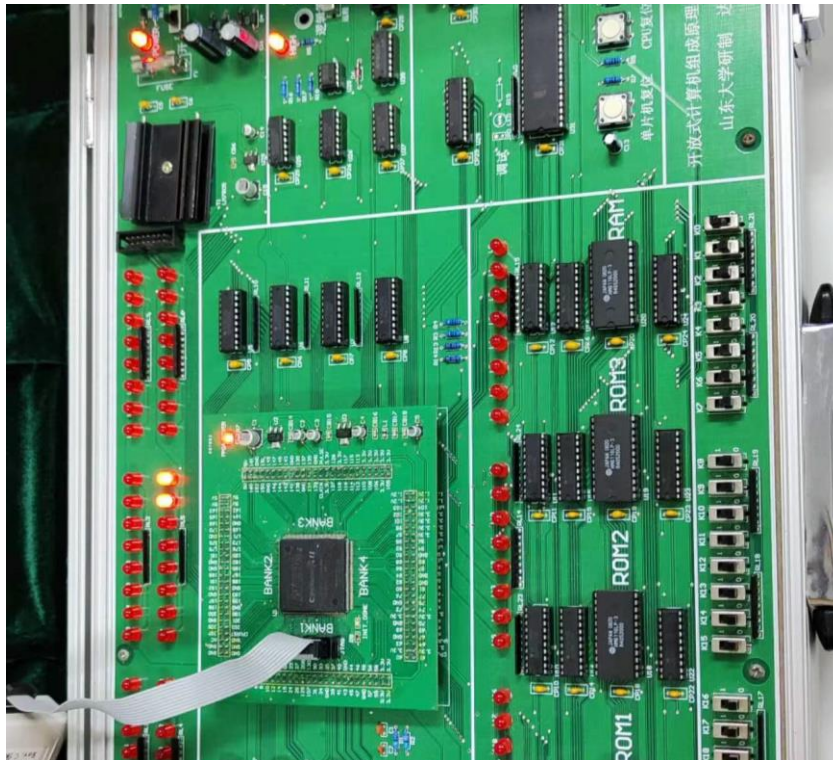
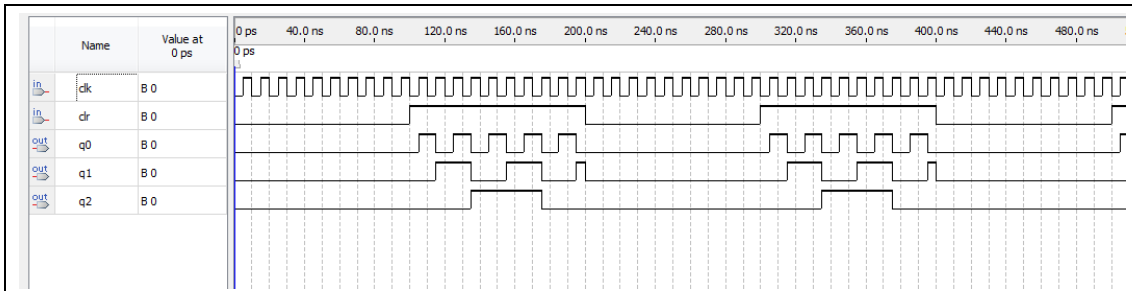


山东大学 计算机科学与技术 学院

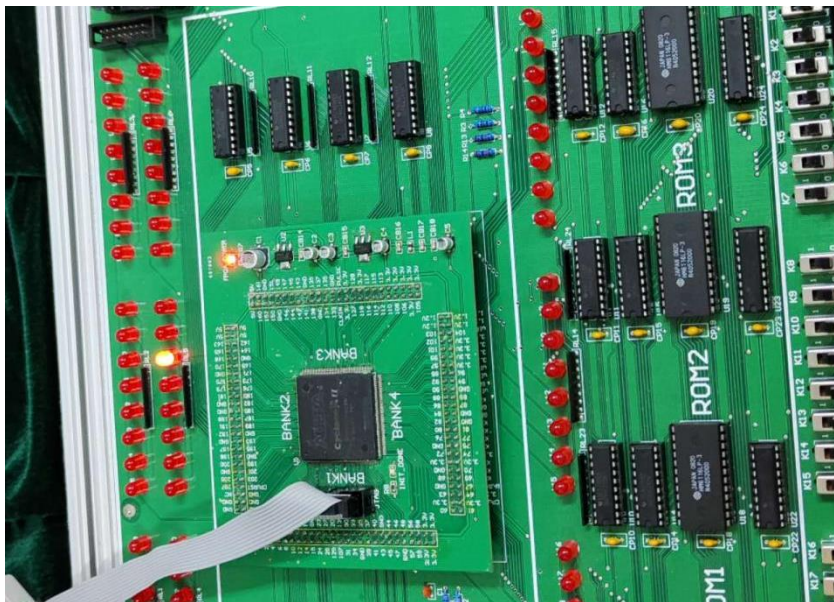
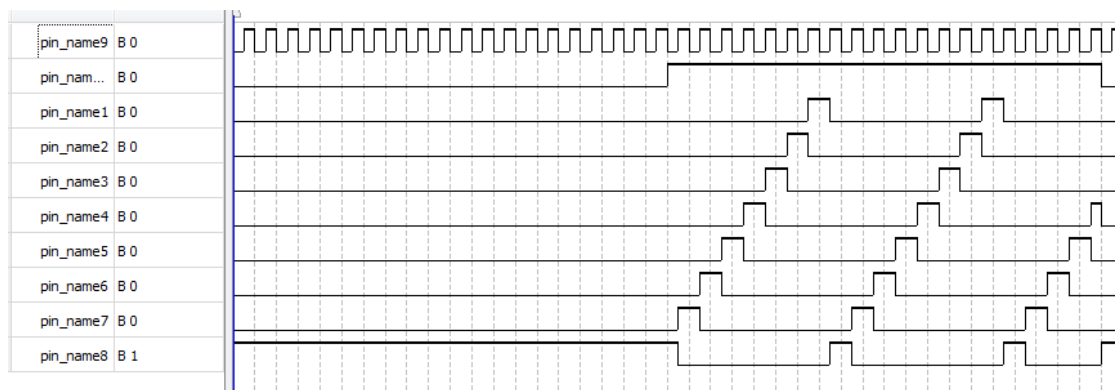
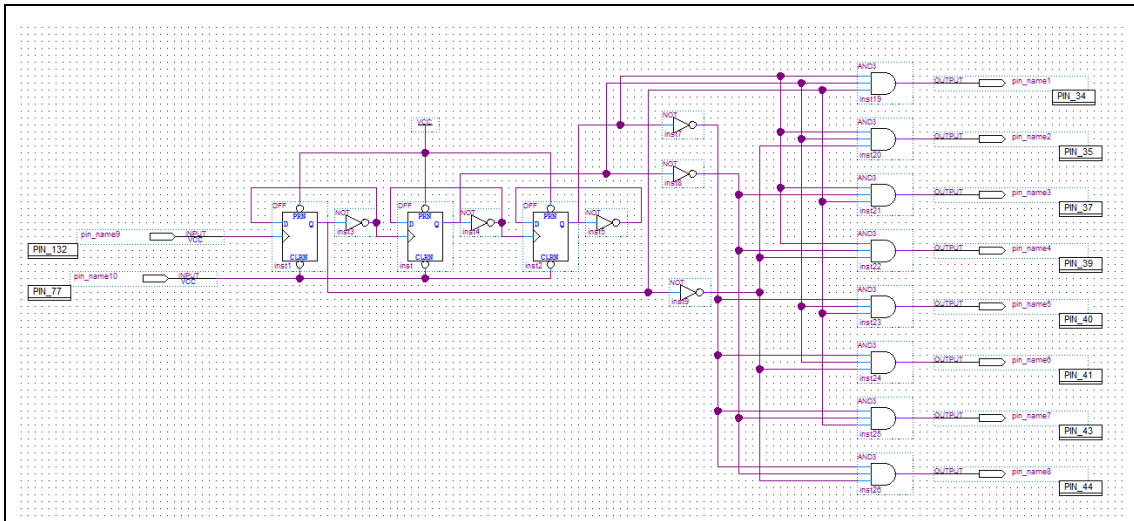
数字逻辑 课程实验报告

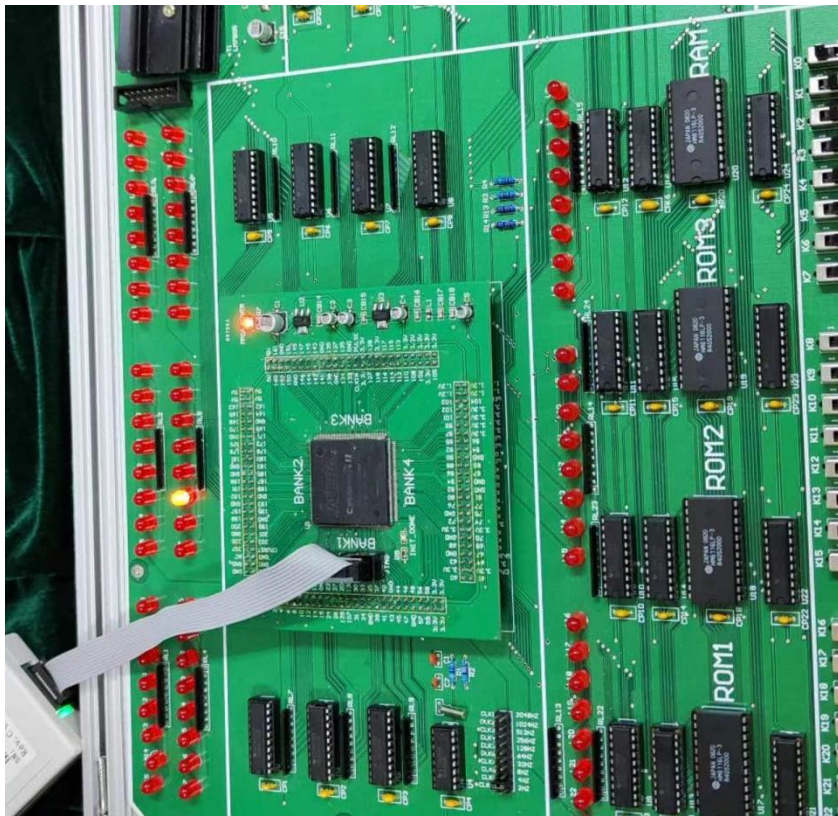
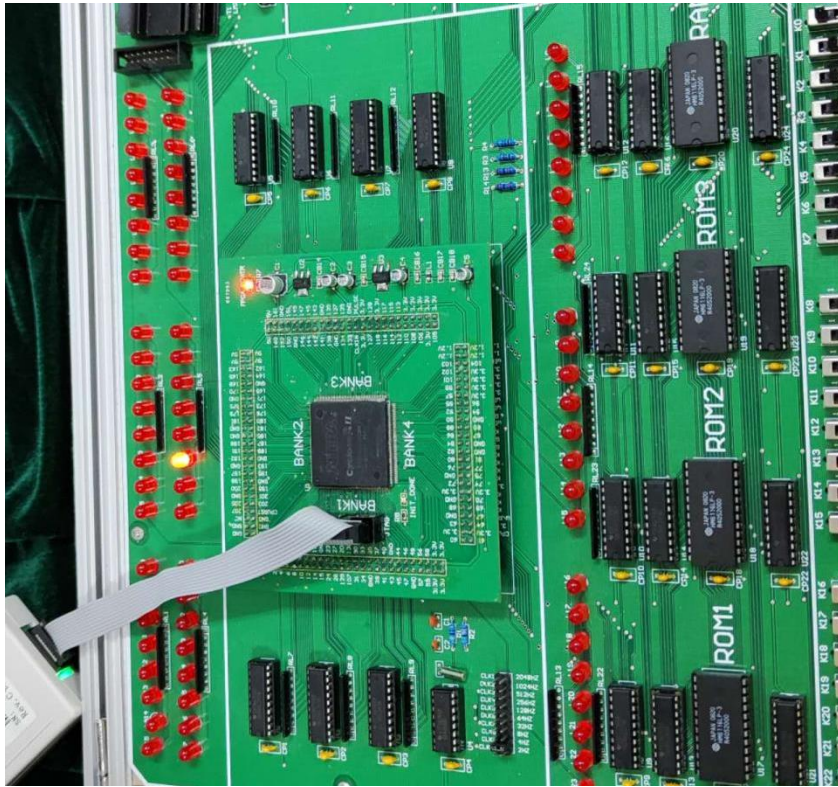
学号：202200130048	姓名： 陈静雯	班级： 6
实验题目： 异步模 8 加 1 计数器，节拍发生器		
实验学时： 4	实验日期： 12.4	
实验目的： <ul style="list-style-type: none"> (1) 学习异步时序电路的设计方法； (2) 了解异步计数器的工作原理和设计方法； (3) 熟悉 EDA 工具软件的使用方法。 (4) 了解节拍发生器的工作原理和设计过程； (5) 学习采用层次化进行数字电路设计的方法； 		
硬件环境： <ul style="list-style-type: none"> (1) 数字逻辑与计算机组成原理实验系统一台； (2) 三输入与门、D 触发器和非门电路若干。 		
软件环境： <ul style="list-style-type: none"> (1) 操作系统为 WINDOWS XP 的计算机一台； Quartus II 		
实验步骤与内容： <p>(包括设计的逻辑电路，采用的逻辑门，或者是前期采用基本逻辑电路实现的符合逻辑，写出逻辑表达式，结果预期(采用什么方式展示，如采用那几个发光二极管等)，以及最终实现的结果(是否与预期的结果一致，若不一致，是什么问题造成的，经过哪些改进，达到了最终的正确结果))</p> <p>1.</p> <p>CLK 为计数脉冲输入，CLR 为复位输入，q2-q0 为计数器的输出 输出在 000—111 之间转换，按一次单脉冲键(132 脚)，计数器加 1； 将计数脉冲定义在连续脉冲上，则计数器循环计数 LED2-0 循环显示； 调整连续时钟脉冲插座上短路块的位置改变连续脉冲频率，则 LED 闪烁频率将随之改变</p>		



2. 由计数器和译码器组成

将计数器的计数脉冲端 cp 接入连续脉冲上，将计数器的复位端 re 接入 $k0$ 上，将译码器的输出分别定义在 $LD7-0$ 上。随着单脉冲不断+1，输出从 $ld0-7$ 不断转换。





结论分析与体会：