
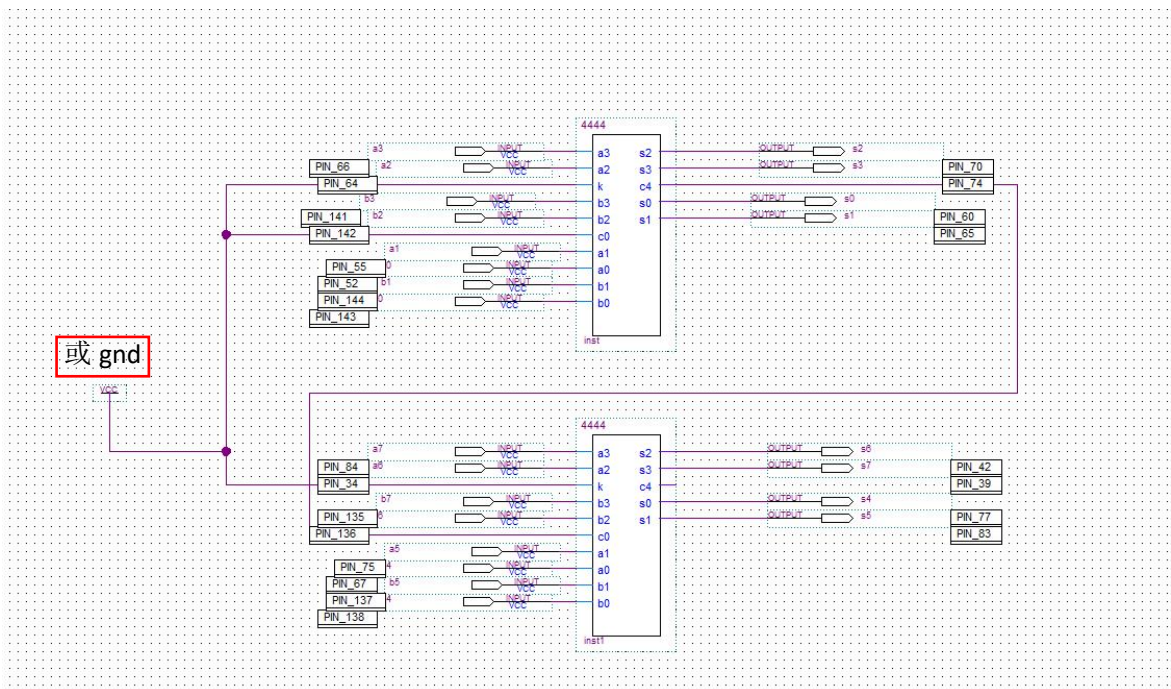



学号： 202200130048	姓名： 陈静雯	班级： 6
实验题目： 补码加法器		
实验学时： 2	实验日期： 3. 26	
实验目的： 设计实现 4 位、8 位补码加法器		
硬件环境： 康芯 KX-CDS EP4CE6/10 器件		
软件环境： quartus II 环境		
<p>实验内容与设计：</p> <p>1、实验内容</p> <p>用一位全加器和异或门设计一个四位二进制补码加法器，操作数和运算结果均采用补码表示，该加法器要求可做补码加法，也可做补码减法运算。</p> <p>2、实验原理图</p> <p>(1) 4 位</p>		

Named: *		Edit: 		Filter: Pins: all			
Node Name	Direction	Location	I/O Bank	VREF Group	Fitter Location	I/O S	
in_a0	Input	PIN_143	8	B8_N0	PIN_143	2.5 V (de	
in_a1	Input	PIN_144	8	B8_N0	PIN_144	2.5 V (de	
in_a2	Input	PIN_142	8	B8_N0	PIN_142	2.5 V (de	
in_a3	Input	PIN_141	8	B8_N0	PIN_141	2.5 V (de	
in_b0	Input	PIN_138	8	B8_N0	PIN_138	2.5 V (de	
in_b1	Input	PIN_137	8	B8_N0	PIN_137	2.5 V (de	
in_b2	Input	PIN_136	8	B8_N0	PIN_136	2.5 V (de	
in_b3	Input	PIN_135	8	B8_N0	PIN_135	2.5 V (de	
in_c0	Input	PIN_52	3	B3_N0	PIN_52	2.5 V (de	
out_c4	Output	PIN_77	5	B5_N0	PIN_77	2.5 V (de	
in_k	Input	PIN_55	4	B4_N0	PIN_55	2.5 V (de	
out_s0	Output	PIN_60	4	B4_N0	PIN_60	2.5 V (de	
out_s1	Output	PIN_65	4	B4_N0	PIN_65	2.5 V (de	
out_s2	Output	PIN_70	4	B4_N0	PIN_70	2.5 V (de	
out_s3	Output	PIN_74	5	B5_N0	PIN_74	2.5 V (de	
pin_name3	Unknown					2.5 V (de	

(2) 8 位



Named: *		Edit: 		Filter: Pins: all			
Node Name	Direction	Location	I/O Bank	VREF Group	Fitter Location	I/O S	
in_a0	Input	PIN_52	3	B3_N0	PIN_52	2.5 V (de	
in_a1	Input	PIN_55	4	B4_N0	PIN_55	2.5 V (de	
in_a2	Input	PIN_64	4	B4_N0	PIN_64	2.5 V (de	
in_a3	Input	PIN_66	4	B4_N0	PIN_66	2.5 V (de	
in_a4	Input	PIN_67	4	B4_N0	PIN_67	2.5 V (de	
in_a5	Input	PIN_75	5	B5_N0	PIN_75	2.5 V (de	
in_a6	Input	PIN_34	2	B2_N0	PIN_34	2.5 V (de	
in_a7	Input	PIN_84	5	B5_N0	PIN_84	2.5 V (de	
in_b0	Input	PIN_143	8	B8_N0	PIN_143	2.5 V (de	
in_b1	Input	PIN_144	8	B8_N0	PIN_144	2.5 V (de	
in_b2	Input	PIN_142	8	B8_N0	PIN_142	2.5 V (de	
in_b3	Input	PIN_141	8	B8_N0	PIN_141	2.5 V (de	
in_b4	Input	PIN_138	8	B8_N0	PIN_138	2.5 V (de	
in_b5	Input	PIN_137	8	B8_N0	PIN_137	2.5 V (de	
in_b6	Input	PIN_136	8	B8_N0	PIN_136	2.5 V (de	
in_b7	Input	PIN_135	8	B8_N0	PIN_135	2.5 V (de	

3、实验步骤

4 位

(1) 原理图输入：从元件库中选取相应器件实现四位补码加法器电路设计。

(2) 管脚锁定：平台工作于模式 5，将 SUM3-SUM0、C4 依次定义在 LED 指示灯 D5-D1 上，将 K、C0、A3-A0、B3-B0 依次绑定在键 2、键 1、拨片开关 dout7-4、3-0 上。

(3) 原理图编译、适配和下载：在 Quartus II 环境中选择 **EP4CE6/10E 器件**，进行原理图的编译和适配，无误后完成下载。

(4) 功能测试：利用输入开关键改变 K、C0 和 A、B 操作数的值，看 LED 指示灯显示的结果是否正确并记录结果。

(5) 生成元件符号。

8 位

(1) 原理图输入：利用四位补码加法器电路实现 8 位补码加法器。

(2) 管脚锁定：平台工作于模式 5，将 SUM7-SUM0 定义在 LED 指示灯 D8-D1 上，将 A7-A0、B7-B0 依次绑定在红色拨码开关 dout7-0，键 8-1 上，k 和 c0 在原理图上进行改变。

(3) 原理图编译、适配和下载：在 Quartus II 环境中选择 **EP4CE6/10E 器件**，进行原理图的编译和适配，无误后完成下载。

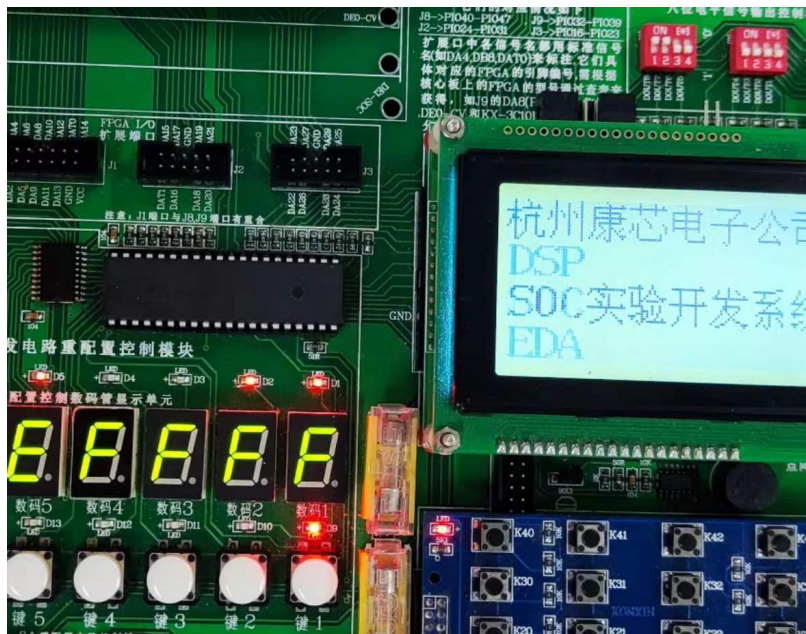
(4) 功能测试：利用输入开关键改变 A、B 操作数的值，看 LED 指示灯显示的结果是否正确并记录结果。

(5) 生成元件符号。

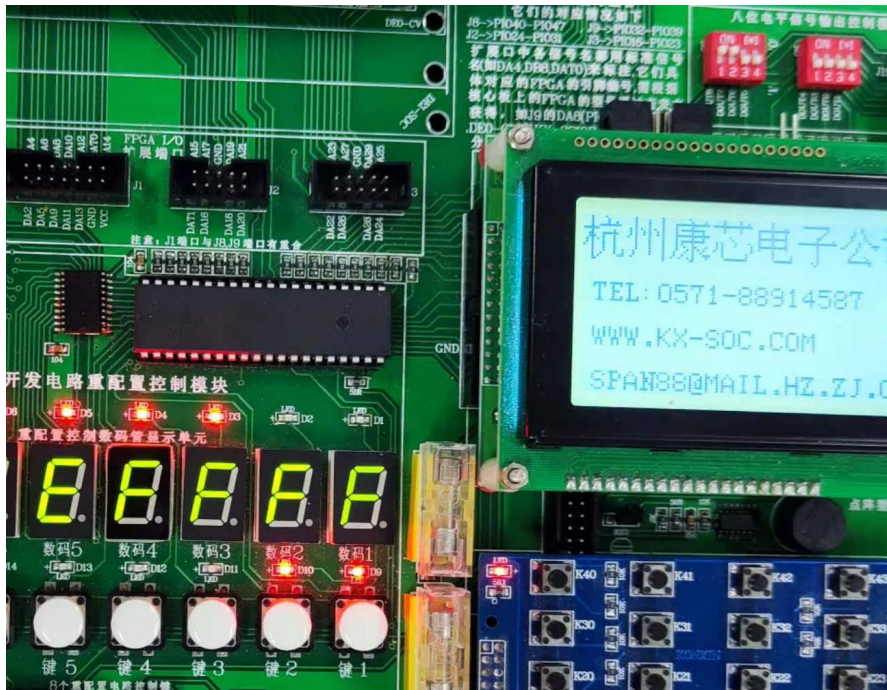
4、实验结果

(1) 4 位

左拨片 B，右拨片 A，led5 高位进位，led4-1 输出，键 1 低位进位，键 2 k
 $B=0011, A=1111, c0=1, k=0, B+A+c0=0011+1111+1=10011$



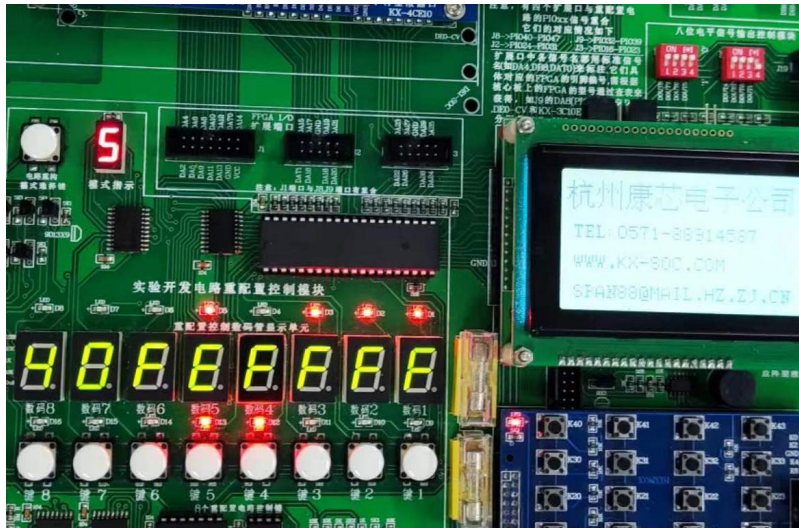
B=0011, A=1111, k=1, c0=1, A-B=11100



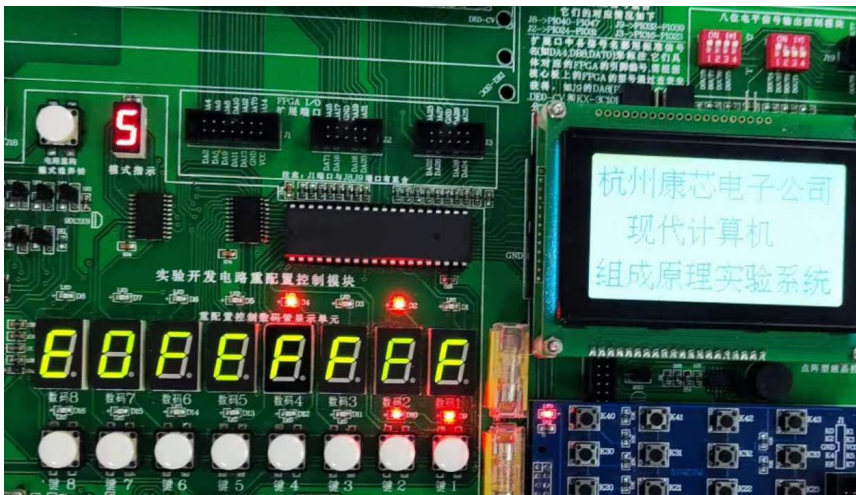
(2) 8 位

键 8-1 A, 拨片开关 B, k、c 原理图中设定

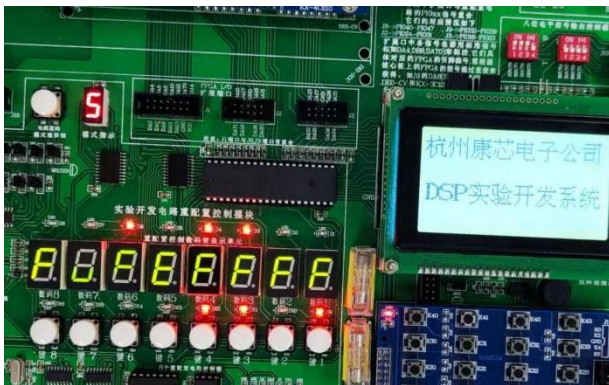
k=1, c0=1, A=00011000, B=00000001, A-B=00010111



$k=0$, $c_0=0$, $A=00000011$, $B=00000111$, $A+B=00001010$



$k=0$, $c_0=0$, $A=00001101$, $B=00011111$, $A+B=00101100$



结论分析与体会：

1. 在减法时，高位进位是 1 才能使结果正确，如果高位进位是 0，结果会有点奇怪

注：实验报告的命名规则：学号_姓名_实验 n_班级