

学号： 202200130048	姓名： 陈静雯	班级： 6
实验题目： RAM 实验		
实验学时： 2	实验日期： 4. 23	
<p>实验目的：</p> <ol style="list-style-type: none"> 1、了解 FPGA 中 RAM 的功能； 2、掌握 RAM 的参数设置和使用方法； 3、掌握作为随机存储器 RAM 的仿真测试方法，工作特性和读写方法。 		
硬件环境：康芯 KX-CDS EP4CE6/10 器件		
软件环境：quartus II 环境		
<p>实验内容与设计：</p> <p>1、实验内容</p> <p>在 FPGA 中利用嵌入式阵列块 EAB 可以构成存储器，RAM 的结构如图 8-1。数据从 ram_dp0 的左边 D[7..0] 输入，从右边 Q[7..0] 输出，R/W 为读/写控制信号端。当输入数据和地址准备好以后，在 inclock 是地址锁存时钟，当信号上升沿到来时，地址被锁存，数据写入存储单元。数据的读出控制是从 A[7..0] 输入存储单元地址，在 CLK 信号上升沿到来时，该单元数据从 Q[7..0] 输出。R/W 是读/写控制端，低电平时进行读操作，高电平时进行写操作；CLK 是读/写时钟脉冲信号；DATA[7..0] 是 RAM_dq0 的 8 位数据输入端；A[7..0] 是 RAM 的读出和写入地址；Q[7..0] 是 RAM_dq0 的 8 位数据输出端。</p> <p>2、实验原理图</p>		

Node Name	Direction	Location	I/O Bank	VREF Group	Fitter Location	I/O Standard	Reserve
a[7]	Input	PIN_39	3	B3_N0	PIN_39	2.5 V (default)	
a[6]	Input	PIN_42	3	B3_N0	PIN_42	2.5 V (default)	
a[5]	Input	PIN_83	5	B5_N0	PIN_83	2.5 V (default)	
a[4]	Input	PIN_77	5	B5_N0	PIN_77	2.5 V (default)	
a[3]	Input	PIN_74	5	B5_N0	PIN_74	2.5 V (default)	
a[2]	Input	PIN_70	4	B4_N0	PIN_70	2.5 V (default)	
a[1]	Input	PIN_65	4	B4_N0	PIN_65	2.5 V (default)	
a[0]	Input	PIN_60	4	B4_N0	PIN_60	2.5 V (default)	
clk0	Input	PIN_58	4	B4_N0	PIN_58	2.5 V (default)	
d[7]	Input	PIN_84	5	B5_N0	PIN_84	2.5 V (default)	
d[6]	Input	PIN_34	2	B2_N0	PIN_34	2.5 V (default)	
d[5]	Input	PIN_75	5	B5_N0	PIN_75	2.5 V (default)	
d[4]	Input	PIN_67	4	B4_N0	PIN_67	2.5 V (default)	
d[3]	Input	PIN_66	4	B4_N0	PIN_66	2.5 V (default)	
d[2]	Input	PIN_64	4	B4_N0	PIN_64	2.5 V (default)	
d[1]	Input	PIN_55	4	B4_N0	PIN_55	2.5 V (default)	
d[0]	Input	PIN_52	3	B3_N0	PIN_52	2.5 V (default)	
q[7]	Output	PIN_80	5	B5_N0	PIN_80	2.5 V (default)	
q[6]	Output	PIN_85	5	B5_N0	PIN_85	2.5 V (default)	
q[5]	Output	PIN_73	5	B5_N0	PIN_73	2.5 V (default)	
q[4]	Output	PIN_76	5	B5_N0	PIN_76	2.5 V (default)	
q[3]	Output	PIN_71	4	B4_N0	PIN_71	2.5 V (default)	
q[2]	Output	PIN_72	4	B4_N0	PIN_72	2.5 V (default)	
q[1]	Output	PIN_68	4	B4_N0	PIN_68	2.5 V (default)	
q[0]	Output	PIN_69	4	B4_N0	PIN_69	2.5 V (default)	
r/w	Input	PIN_53	3	B3_N0	PIN_53	2.5 V (default)	
<<new node>>							

3、实验步骤

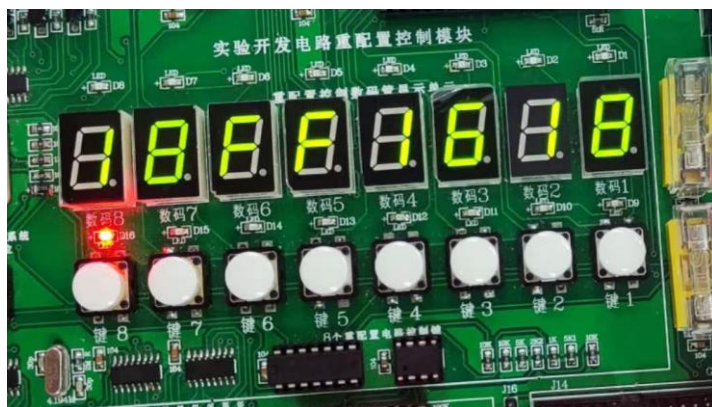
- 1、按图 7-1 输入电路图，进行编译、引脚锁定、向 FPGA 配置下载；
- 2、通过键 1、键 2 输入 RAM 的 8 位数据（选择实验台工作模式 1），键 3、键 4 输入存储器的 8 位地址。键 8 控制读/写允许，低电平时读允许，高电平时写允许；键 7（CLK0）产生读/写时钟脉冲，即生成写地址锁存脉冲，对 RAM 进行写/读操作；
- 3、RAM 也能加入初始化文件；选择 RAM 的 ID 名取为：ram1。

实验中选择实验电路模式为 NO. 1，按以上方式进行验证实验。首先控制读出初始化数据，与载入的初始化文件 ram_dp1.mif 中的数据进行比较，然后控制写入一些数据，再读出比较。使用在系统读写 RAM 的工具对其中的数据进行读写操作，设置成连续读模式，将在系统读写工具窗口的数据与实验箱上数码管上显示的数据进行对比（图 8-3）。

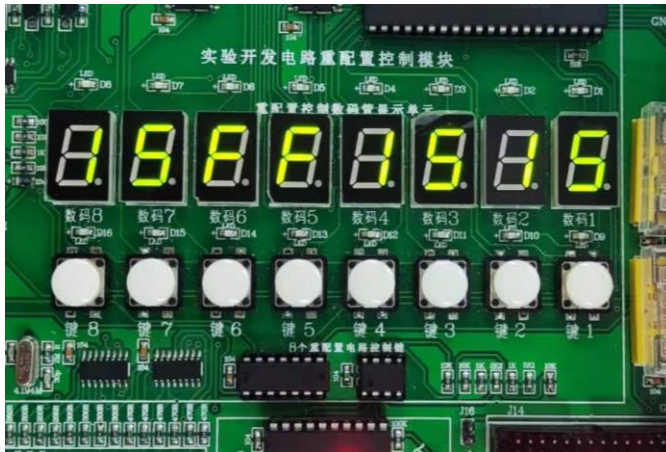
4、实验结果

读/写=键 8，CLK=键 7，数据=键 2-1，地址=键 4-3，
数码管 8-7，输出数据；数码管 4-3，显示输入地址，数码管 2-1，显示输入数据

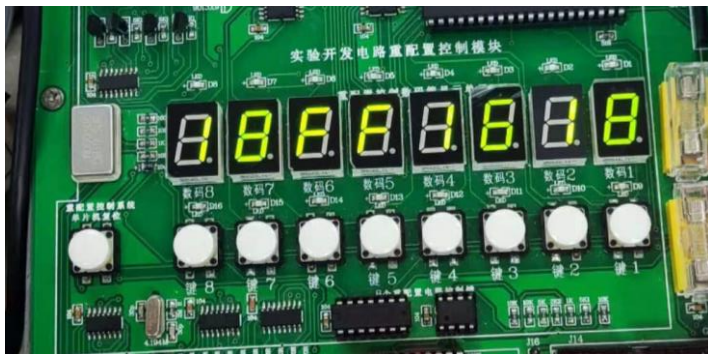
键 8=1，写数据，输入数据 18 到地址 16



键 8=0，读地址 15 的数据：15



键 8=0，读地址 16 的数据，即刚刚写入的，输出：18



结论分析与体会：

1. RAM 读写数据，可以设置初始 mif 数据文件，利用 FPGA 对其进行读写修改

注：实验报告的命名规则：学号_姓名_实验 n_班级