

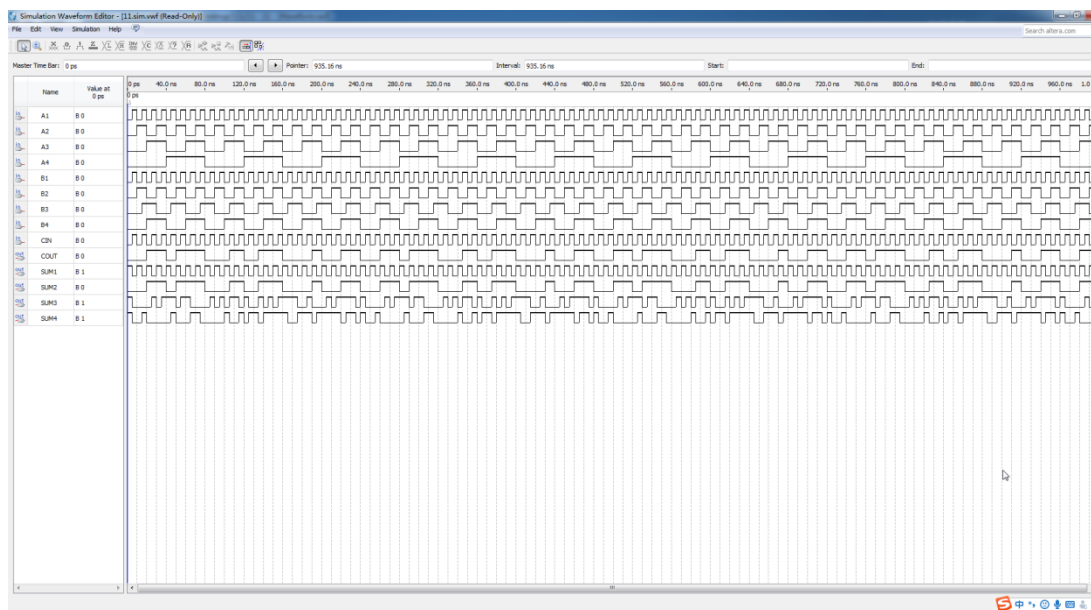
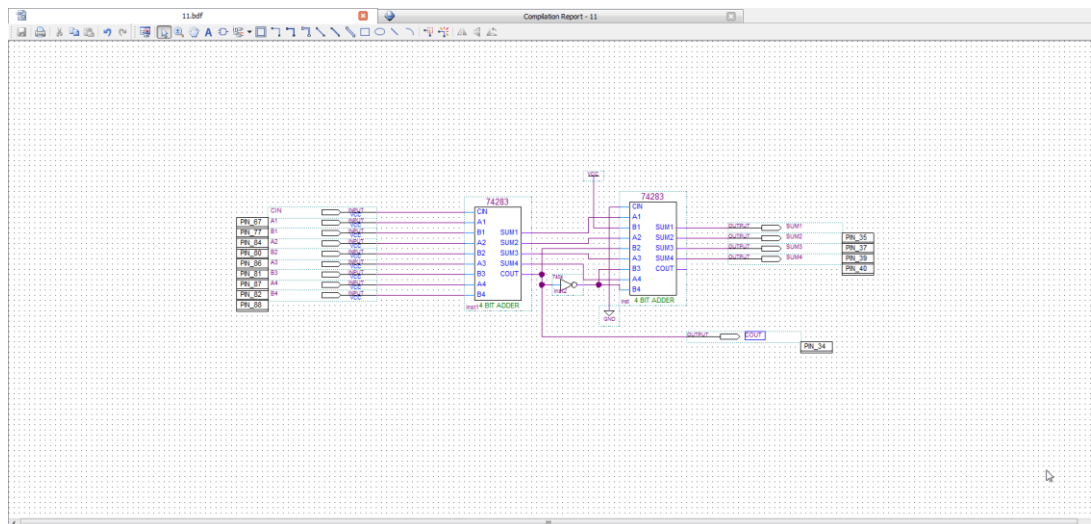
# 山东大学 计算机科学与技术 学院

## 数字逻辑 课程实验报告

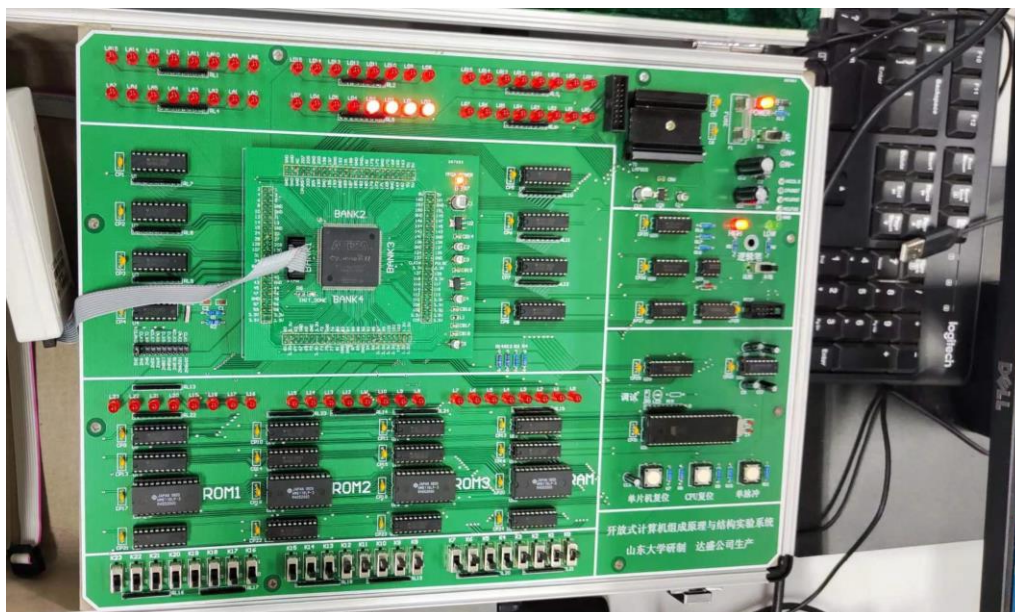
学号：202200130048	姓名：陈静雯	班级：6
实验题目：十进制数加法器		
实验学时：4	实验日期：11.6	
<b>实验目的：</b> (1) 学习组合电路的设计方法； (2) 了解余三码的构成和十进制数加法器的构成和工作原理； (3) 熟悉 EDA 工具软件的使用方法。		
<b>硬件环境：</b> (1) 数字逻辑与计算机组成原理实验系统一台； (2) 4 位二进制并行加法器 74283 和六非门 7404。		
<b>软件环境：</b> (1) 操作系统为 WINDOWS XP 的计算机一台； Quartus II 环境		
<b>实验步骤与内容：</b> (包括设计的逻辑电路，采用的逻辑门，或者是前期采用基本逻辑电路实现的符合逻辑，写出逻辑表达式，结果预期（采用什么方式展示，如采用那几个发光二极管等），以及最终实现的结果（是否与预期的结果一致，若不一致，是什么问题造成的，经过哪些改进，达到了最终的正确结果）  内容： 用 4 位二进制并行加法器 74283 和六非门 7404 设计一个用余三码编码的 1 位十进制数加法器，并通过发光二极管显示加法结果。其中 A4-A1 和 B4-B1 为两个余三码编码表示的加数，CIN 为低位来的进位，SUM4-SUM1 为余三码编码表示的和数，COUT 为向高位的进位。 即两个余三码相加，且结果也为余三码，cin 低位进位，则在原数基础上加 1，cout 高位进位表示 10。  步骤： (1) 原理图输入：根据图 3.6 电路，采用图形输入法在计算机上完成实验电路的原理图输入。 (2) 管脚定义：根据图 3.1 硬件实验平台资源示意图和附录一 平台资源和 FPGA 引脚连接表完成原理图中输入、输出管脚的定义。		

(3)原理图编译、适配和下载：在 Quartus II 环境中选择 EP2C8Q208C8 器件，进行原理图的编译和适配，无误后完成下载。

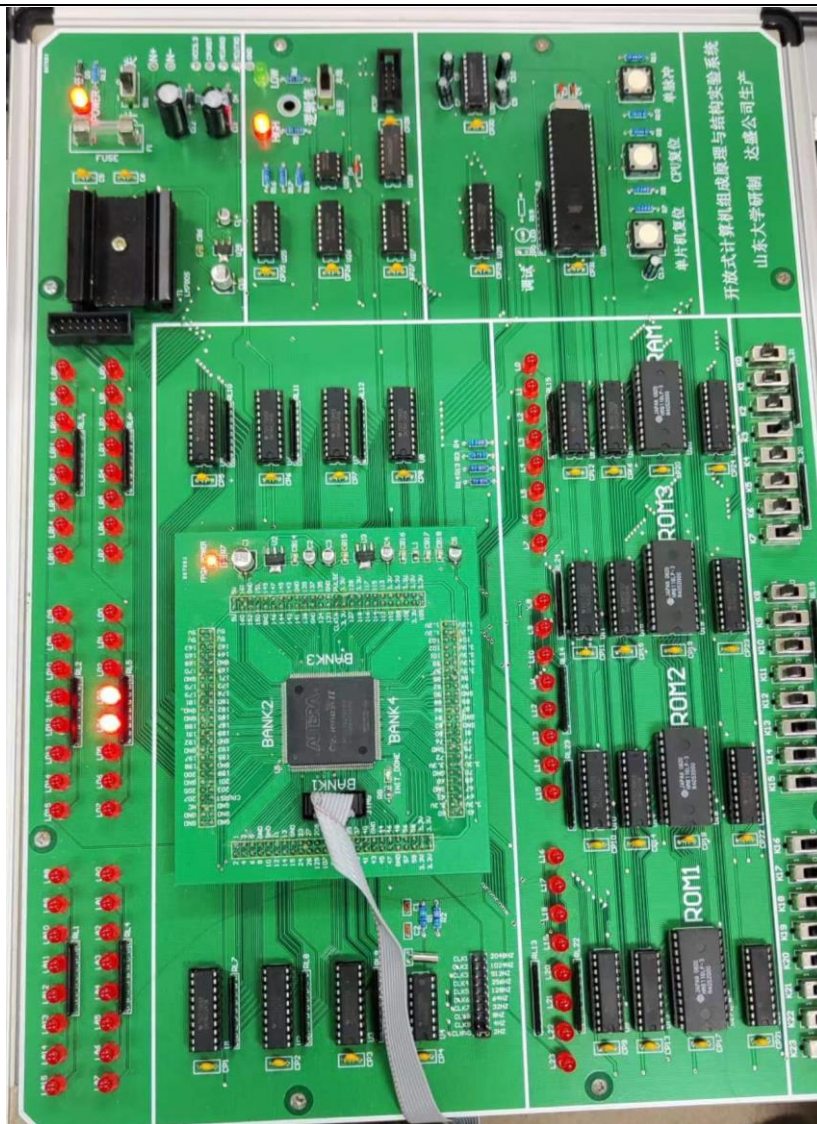
(4) 加法器的调试： 根据余三码的运算规则，使用输入开关在余三码编码的 1 位十进制数加法器的输入端赋值，观察输出和数 SUM 及向高位进位 COUT 的值是否正确。



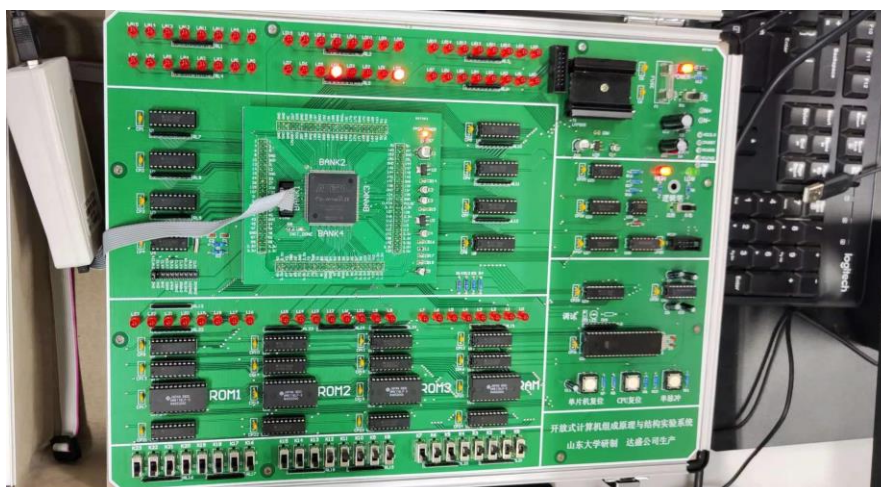
实验箱 led 灯中间第二排从右往左第一个为高位进位，表示十进制的 10，二至五为结果的余三码，开关 k 从右往左，一至四为 B，五至八为 A，都为余三码，即 0 为 0011，第九个是低位进位



$$0100+1111+1 = 0111 + 10 \quad (1+12+1= 4+10 =14)$$



$$0111+0111+1=1100$$



$$0101+1111+1=1000 \quad +10$$

**结论分析与体会：**

余三码的相加，余三码中最小为 0011, 而 0000、0001、0010 在余三码中无意义  
一开始都为零的时候即  $0000+0000+0$  最后 led 为  $1011+0$