

第 五 章

5.34 在一个采用组相联映象方式的 Cache 存储系统中,主存由 $B_0 \sim B_7$ 共 8 块组成,Cache 有 2 组,每组 2 块,每块大小为 16B。在一个程序执行过程中,访存的主存块地址流为: $B_6, B_2, B_4, B_1, B_4, B_6, B_3, B_0, B_4, B_5, B_7, B_3$ 。

(1) 写出主存地址的格式,并标出各字段的长度。

(2) 写出 Cache 地址的格式,并标出各字段的长度。

(3) 指出主存与 Cache 之间各个块的映象关系。

(4) 若 Cache 的 4 个块号为 C_0, C_1, C_2 和 C_3 , 列出程序执行过程中的 Cache 块地址流。

(5) 若采用 FIFO 替换算法,计算 Cache 的块命中率。

(6) 若采用 LRU 替换算法,计算 Cache 的块命中率。

(7) 若改为全相联映象方式,再做(5)和(6)。

(8) 若在程序执行过程中,每从主存装入一块到 Cache,平均要对这个块访问 16 次,计算在这种情况下 Cache 命中率。

解: (1) (2) 采用组相联映象时,主存和 Cache 地址的格式分别为:

区号 E	区内组号 G	主存组内块号 B	块内地址 W	组号 g	组内块号 b	块内地址 w
------	--------	----------	--------	------	--------	--------

主存按 Cache 的大小分区,现主存有 8 个块,Cache 有 $2 \times 2 = 4$ 个块,则主存分为 $8/4 = 2$ 个区,区号 E 的长度为 1 位。又每区有 2 个组,则组号 G、g 的长度都为 1 位。而每组有 2 个块,则块号 B、b 的长度又都为 1 位。每块大小为 16 个存储字,故块内地址 W、w 的长度都为 4 位。

(3) 根据组相联映象的规则,主存块 $0 \sim 7$ 与 Cache 块 $0 \sim 3$ 之间的映象关系为:主存块 0、1、4、5 与 Cache 块 0、1 之间全相联,主存块 2、3、6、7 与 Cache 块 2、3 之间全相联。

(4) 根据组相联映象的规则,该主存块地址流相应的一种 Cache 块地址流如下表所示(组内替换算法为 FIFO)。

时间:	1	2	3	4	5	6	7	8	9	10	11	12
主存块地址流:	B_6	B_2	B_4	B_1	B_4	B_6	B_3	B_0	B_4	B_5	B_7	B_3
Cache 块地址流:	C_2	C_3	C_0	C_1	C_0	C_2	C_2	C_0	C_0	C_0	C_3	C_2

(5) 组内替换算法采用 FIFO 时,Cache 块 $0 \sim 3$ 的使用过程如下表所示。

时间:	1	2	3	4	5	6	7	8	9	10	11	12
主存块地址流:	B_6	B_2	B_4	B_1	B_4	B_6	B_3	B_0	B_4	B_5	B_7	B_3
Cache 块 0			4	4*	4*	4*	4*	0	0*	5	5	5
Cache 块 1				1	1	1	1	1*	4	4*	4*	4*
Cache 块 2	6	6*	6*	6*	6*	6*	3	3	3	3	3*	3*
Cache 块 3		2	2	2	2	2	2*	2*	2*	2*	7	7

命中 命中

命中

可见命中三次,Cache 块命中率为 $H_i = 3/12 = 0.25$ 。

(6) 组内替换算法采用 LRU 时,Cache 块 $0 \sim 3$ 的使用过程如下表所示。

可见命中四次，Cache 块命中率为 $H_1 = 4/12 = 0.33$ 。

(7) 全相联映象的规则是主存块 0~7 可装入 Cache 块 0~3 的任一块上。当替换算法采用 FIFO 时，Cache 块 0~3 的使用过程如下表所示。

可见命中四次, Cache 块命中率为 $H_1 = 4/12 = 0.33$ 。
当替换算法采用 LRU 时, Cache 块 0~3 的使用过程如下表所示。

(8) 当命中三次时, Cache 的命中率为 $H_i = (12 \times 16 - 9) / (12 \times 16)$

5.35 在某采用全相联映象、相联目录表实现地址变换 Cache 存储器中, Cache 的容量是 2^b B, 主存是由 m 个存储体组成的低位交叉访问存储器, 主存总容量是 2^B B, 每一个存储体的字长是 w 位,。

- (1) 画出地址变换图。
- (2) 写出主存地址和 Cache 地址的格式，并标出各字段的长度。
- (3) 说明目录表的行数、相联比较的位数和目录表的宽度。

解：（1）地址变换图见 P243 的图 5-20。

（2）采用全相联映象时，主存和 Cache 地址的格式分别为：

主存块号 B	块内地址 W	组内块号 b	块内地址 w
--------	--------	--------	--------

主存和 Cache 单元数分别为： $8 \times 2^M/w$ 、 $8 \times 2^C/w$ ，相应的地址长度分别为：

$$\log_2 (8 \times 2^M/w) = M+3-\log_2 w, \log_2 (2^C/w) = C+3-\log_2 w。$$

块的大小为 m 个存储字，则主存和 Cache 的块内地址长度均为： $\log_2 m$ ，所以主存和 Cache 的块号长度分别为： $(M+3-\log_2 w) - \log_2 m = M+3-\log_2 wm$ 、 $(C+3-\log_2 w) - \log_2 m = C+3-\log_2 wm$ 。

（3）相联目录表的行数为 Cache 的块数，即 $C_b = 2^{(C+3-\log_2 wm)} = 2^{C+3}/wm$ ；相联比较的位数为主存块号长度，即 $M+3-\log_2 wm$ ；目录表的宽度（位数）为主存块号长度、Cache 块号长度和有效位的和，即 $M+3-\log_2 wm + C+3-\log_2 wm + 1 = M+C+6-2 \log_2 wm + 1$ （有效位一位）。

5.38 一个采用组相联映像方式的 Cache 共有 8 块，分为两组，用硬件比较对法实现 LRU 块替换算法。

（1）共需要多少个触发器和多少个与门？

（2）画出其中一组的逻辑图。

解：（1）设组内块数为 p，则触发器的个数为： $C_p^2 = p(p-1)/2$ 。Cache 有 8 块分为二组，每组 4 个块，则每组需要触发器的个数为： $4(4-1)/2=6$ ，所以共需要触发器为 $6 \times 2=12$ 。

与门的个数为组内块数为 $p=4$ ，与门输入端数为 $p-1=3$ 。

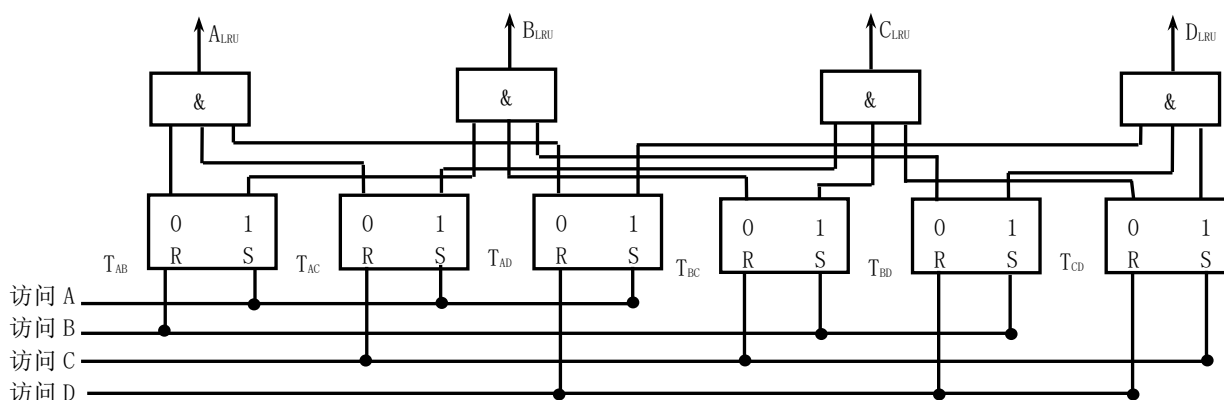
（2）有效比较对有：AB、AC、AD、BC、BD 和 CD，比较对触发器的 $T_{AB}=1$ 表示 A 比 B 更近被访问过， $T_{AB}=0$ 表示 B 比 A 更近被访问过， T_{AC} 、 T_{AD} 、 T_{BC} 、 T_{BD} 和 T_{CD} 也类似定义。

D 最久未被访问过的块的逻辑关系为： $D_{LRU} = T_{AD} \cdot T_{BD} \cdot T_{CD}$

C 最久未被访问过的块的逻辑关系为： $C_{LRU} = T_{AC} \cdot T_{BC} \cdot \overline{T_{CD}}$

B 最久未被访问过的块的逻辑关系为： $B_{LRU} = T_{AB} \cdot \overline{T_{BC}} \cdot \overline{T_{BD}}$

A 最久未被访问过的块的逻辑关系为： $A_{LRU} = \overline{T_{AB}} \cdot \overline{T_{AC}} \cdot \overline{T_{AD}}$



5.40 有一个 16KB 4 路组相联 Cache 的 32 位微处理器，假定该 Cache 的块为 4 个 32 位的字。

(1) 画出该 Cache 的结构逻辑图, 指出主存地址的不同字段的作用。

(2) 主存地址为 ABCDE8F8 的单元在 Cache 中的什么位置。

解: (1) Cache 的结构逻辑图见 P248 的图 5-26。主存地址有区号、区内组号、组内块号和块内地址四个字段, 区内组号是按地址访问映像关系表的地址, 区号和组内块号是相联访问映像关系表的特征内容, 块内地址是选择块内字的地址。

(2) 在 Cache 存储系统中, 主存与 Cache 的块大小是相同的, 由题可知主存与 Cache 是字节编址的。则块内单元数为: $4 \times 32 / 8 = 16$; 由于 $2^4 = 16$, 则块内地址的位数 4; 4 路组相联则组内块数为 4, $2^2 = 4$, 组内块号的位数为 2; 区内组数为: $16KB / 4 \times 4 \times 4B$ (32 位) $= 256$, $2^8 = 256$, 则区内组号的位数为 8。

主存地址为 ABCDE8F8₁₆ 的单元, 其二进制地址为: 1010 1011 1110 1101 1110 1000 1111 1000 (主存字节地址为 32 位); 16KB 的 Cache 二进制地址为 14 位, 则主存地址中的高 18 位为区号: 1010 1011 1110 1101 11; 次高 8 位 10 1000 11 为组号, Cache 的组号与主存区内组号不变; 最低 4 位 1000 为块内地址, Cache 的块内地址与主存块内地址也不变; 次低 2 位 11 为组内块号, 由于全相联, 则 Cache 的组内块号可以是 00 或 01 或 10 或 11。因此, 主存地址为 ABCDE8F8 的单元在 Cache 中的位置为: 10 1000 11 **00 或 01 或 10 或 11** 1000。

5.44 在一个 Cache 存储系统中, Cache 的访问周期为 10ns, 主存储器的访问周期为 60ns, 每个数据在 Cache 中平均重复使用 4 次。当块的大小为 1 个字时, 存储系统的访问效率只有 0.5, 现在要通过增加块大小, 使存储系统的访问效率达到 0.94。

(1) 当存储系统的访问效率为 0.5 时, 计算命中率和等效访问周期。

(2) 为了使存储系统的访问效率达到 0.94, 命中率和等效访问周期应该提高到多少?

(3) 为了使存储系统的访问效率从 0.5 提高到 0.94, 块的大小至少增加到几个字?

解: (1) $e = T_c / (H \times T_c + (1-H)T_m)$, 由题意可知: $T_c=10ns$, $T_m=60ns$, $e=0.5$, H 为命中率, 则有 $H = 0.8$ 。而等效访问周期 $T_e = H \times T_c + (1-H)T_m = 20ns$ 。

(2) 同 (1) 有 $H = 0.9872$ 、 $T_e=17.552 ns$ 。

(3) 设块的大小为 X , 由题意可知一个块的访问次数为 $4X$, 访问效率达到 0.94 的命中率为 0.9872, $H=(4X-1)/4X$, 则 $X=19.53 \approx 20$, 即块的大小至少增加到 20 个字。

5.57 假设在 3000 次访存中, 第一级 Cache 不命中 110 次, 第二级 Cache 不命中 55 次。

试问: 在这种情况下, 该 Cache 系统的局部不命中率和全局不命中率各是多少?

解: 局部不命中率 = 该级 Cache 的不命中次数/到达该级 Cache 的访存次数。

不命中率_{L1} = $110/3000 = 0.0367$, 不命中率_{L2} = $55/110 = 0.50$ 。

全局不命中率_{L1} = 不命中率_{L1} = 0.0367,

全局不命中率_{L2} = 不命中率_{L1} × 不命中率_{L2} = $0.0367 \times 0.50 = 0.0184$ 。