

山东大学 计算机科学与技术 学院

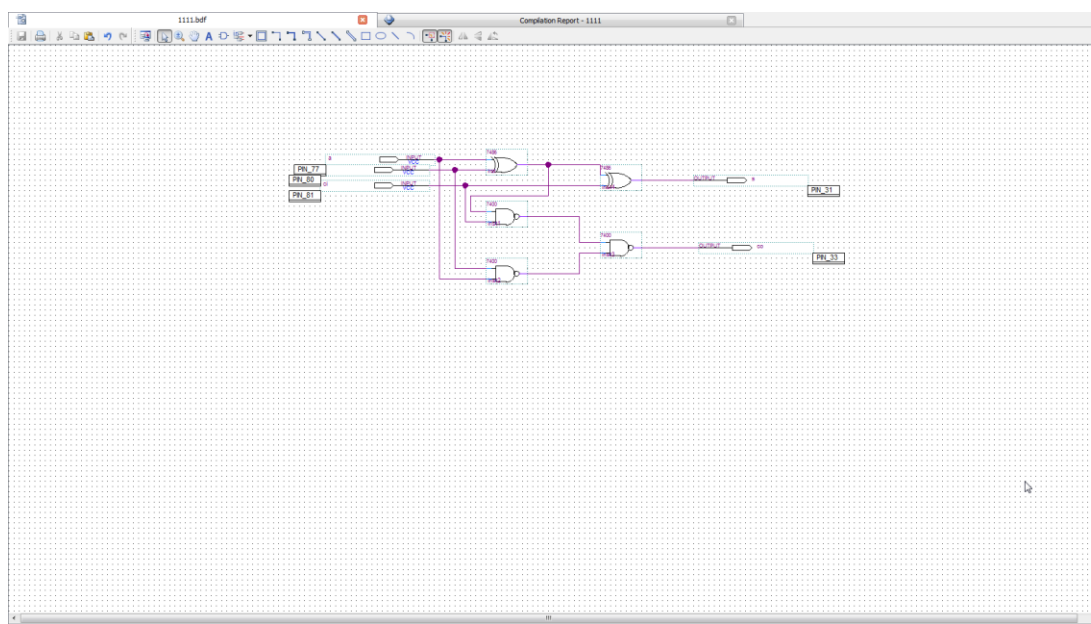
数字系统逻辑设计 课程实验报告

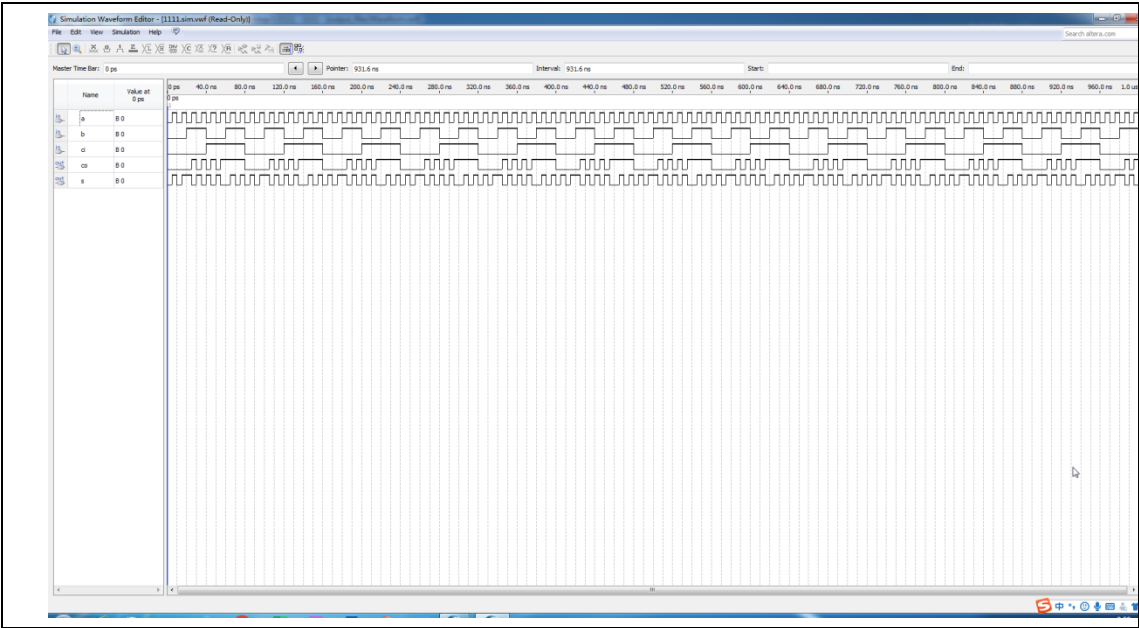
学号：202200130048	姓名：陈静雯	班级：6
实验题目：全加器		
实验学时：4	实验日期：10.30	
<b>实验目的：</b> (1) 学习组合电路的设计方法； (2) 了解全加器的构成和工作原理； (3) 熟悉 EDA 工具软件的使用方法。		
<b>硬件环境：</b> (1) 数字逻辑与计算机组成原理实验系统一台； (2) 二输入四与非门 74LS00 和二输入四异或门 74LS86。		
<b>软件环境：</b> (1) 操作系统为 WINDOWS XP 的计算机一台； Quartus II 环境		
<b>实验步骤与内容：</b> (包括设计的逻辑电路，采用的逻辑门，或者是前期采用基本逻辑电路实现的符合逻辑，写出逻辑表达式，结果预期（采用什么方式展示，如采用那几个发光二极管等），以及最终实现的结果（是否与预期的结果一致，若不一致，是什么问题造成的，经过哪些改进，达到了最终的正确结果） 1. 全加器 真值表即逻辑表达式如下，s 为本位，c 为是否进位，为 1 则相应的灯亮		

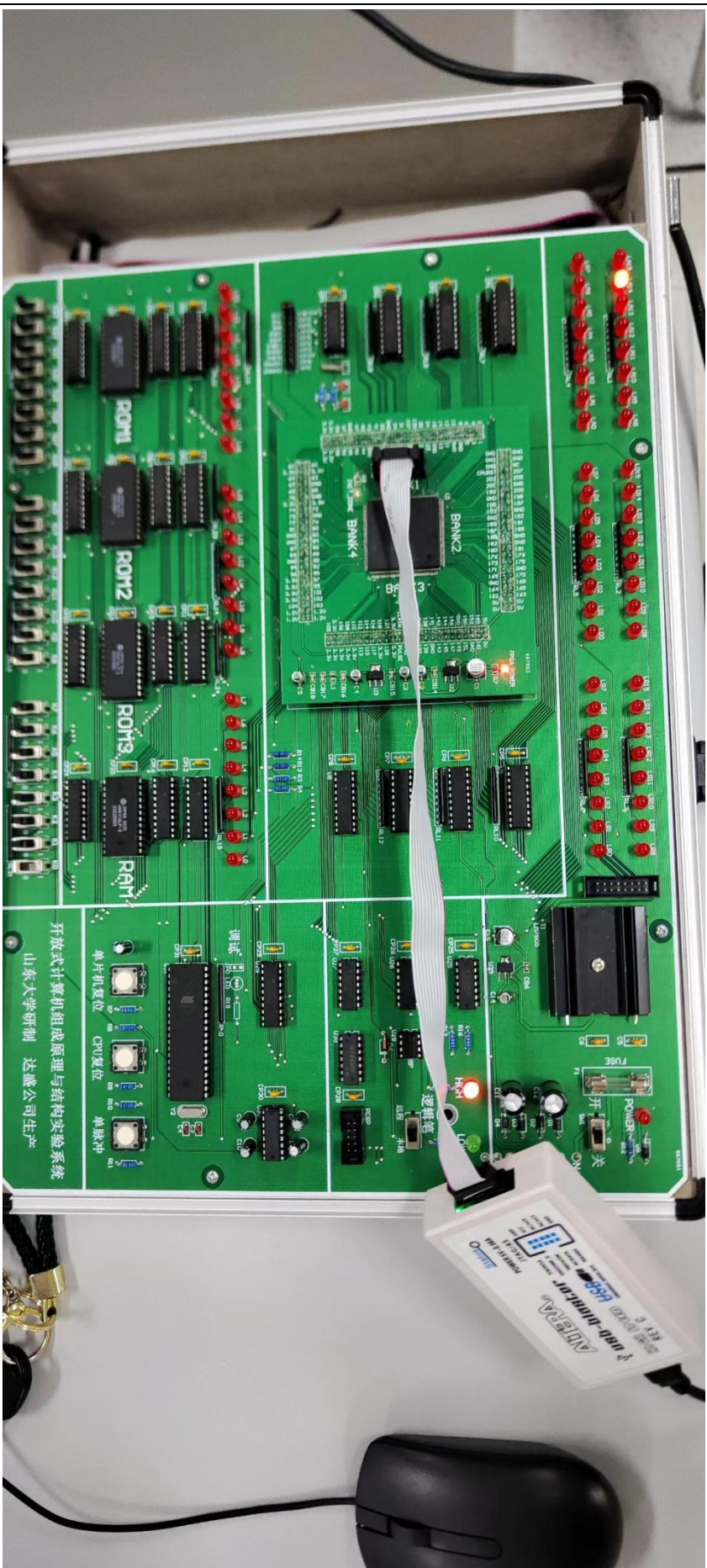
输入			输出	
$A_i$	$B_i$	$C_i$	$S_i$	$C_{i+1}$
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

$$S = A \oplus B \oplus C$$

$$C_{i+1} = A_i B_i + B_i C_i + C_i A_i = A_i B_i + (A \oplus B)C_i$$







**结论分析与体会：**

实验的时候器件不能选错，不然无法适配，start 失败