

学号： 202200130048	姓名： 陈静雯	班级： 6
实验题目： RAM 扩展实验		
实验学时： 2	实验日期： 4.30	
<p>实验目的：</p> <p>了解半导体静态随机读写存储器 RAM 的工作原理及其使用方法。</p> <p>掌握半导体存储器的字、位扩展技术。</p>		
硬件环境：康芯 KX-CDS EP4CE6/10 器件		
软件环境：quartus II 环境		
<p>实验内容与设计：</p> <p>1、实验内容</p> <p>(1) 采用实验 8 所设计的 256 x 4 的 RAM 的结构（参考实验 8 生成器件），构成 1K x 8 的存储器。根据课本第 4 章的内容自行设计实现方案。</p> <p>(2) 实验 8 中，因为 RAM 的数据输入和数据输出是不同的端口，设计时不用隔离器件。要利用 2-4 译码器 74139。</p> <p>(3) 选择五个不连续的存储单元地址，分别存入不同内容，作单个存储器单元的读/写操作实验。</p> <p>2、实验原理图</p>		

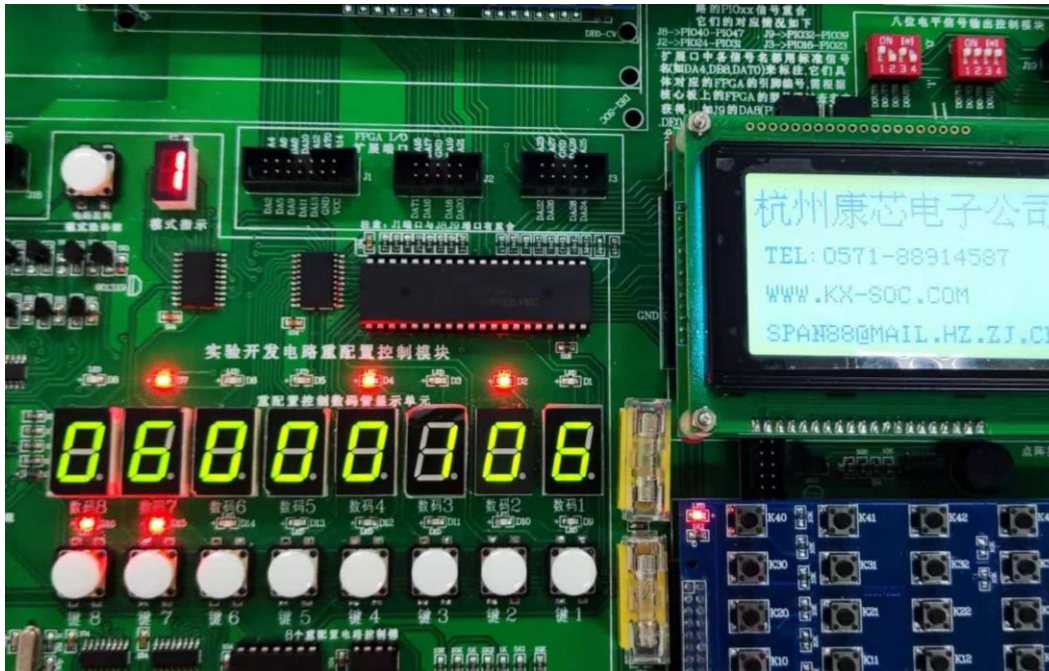
Node Name	Direction	Location	I/O Bank	VBIF Group	Filter Location	I/O Standard	Reserved	Current Strength	Slew Rate	Differential Pair
a[7]	Input	PNL_39	3	83_N0	PNL_39	2.5 V (default)		8mA (default)		
a[6]	Input	PNL_42	3	83_N0	PNL_42	2.5 V (default)		8mA (default)		
a[5]	Input	PNL_83	5	85_N0	PNL_83	2.5 V (default)		8mA (default)		
a[4]	Input	PNL_77	5	85_N0	PNL_77	2.5 V (default)		8mA (default)		
a[3]	Input	PNL_74	5	85_N0	PNL_74	2.5 V (default)		8mA (default)		
a[2]	Input	PNL_70	4	84_N0	PNL_70	2.5 V (default)		8mA (default)		
a[1]	Input	PNL_65	4	84_N0	PNL_65	2.5 V (default)		8mA (default)		
a[0]	Input	PNL_60	4	84_N0	PNL_60	2.5 V (default)		8mA (default)		
aa	Input	PNL_105	6	86_N0	PNL_105	2.5 V (default)		8mA (default)		
ah	Input	PNL_100	6	86_N0	PNL_100	2.5 V (default)		8mA (default)		
ck	Input	PNL_58	4	84_N0	PNL_58	2.5 V (default)		8mA (default)		
q[7]	Input	PNL_84	5	85_N0	PNL_84	2.5 V (default)		8mA (default)		
q[6]	Input	PNL_34	2	82_N0	PNL_34	2.5 V (default)		8mA (default)		
q[5]	Input	PNL_75	5	85_N0	PNL_75	2.5 V (default)		8mA (default)		
q[4]	Input	PNL_67	4	84_N0	PNL_67	2.5 V (default)		8mA (default)		
q[3]	Input	PNL_66	4	84_N0	PNL_66	2.5 V (default)		8mA (default)		
q[2]	Input	PNL_64	4	84_N0	PNL_64	2.5 V (default)		8mA (default)		
q[1]	Input	PNL_55	4	84_N0	PNL_55	2.5 V (default)		8mA (default)		
q[0]	Input	PNL_52	3	83_N0	PNL_52	2.5 V (default)		8mA (default)		
q[0][7]	Output	PNL_80	5	85_N0	PNL_80	2.5 V (default)		8mA (default)	2 (default)	
q[0][6]	Output	PNL_85	5	85_N0	PNL_85	2.5 V (default)		8mA (default)	2 (default)	
q[0][5]	Output	PNL_73	5	85_N0	PNL_73	2.5 V (default)		8mA (default)	2 (default)	
q[0][4]	Output	PNL_76	5	85_N0	PNL_76	2.5 V (default)		8mA (default)	2 (default)	
q[0][3]	Output	PNL_71	4	84_N0	PNL_71	2.5 V (default)		8mA (default)	2 (default)	
q[0][2]	Output	PNL_72	4	84_N0	PNL_72	2.5 V (default)		8mA (default)	2 (default)	
q[0][1]	Output	PNL_68	4	84_N0	PNL_68	2.5 V (default)		8mA (default)	2 (default)	
q[0][0]	Output	PNL_69	4	84_N0	PNL_69	2.5 V (default)		8mA (default)	2 (default)	
q[1][7]	Output	PNL_54	4	84_N0	PNL_54	2.5 V (default)		8mA (default)	2 (default)	
q[1][6]	Output	PNL_59	4	84_N0	PNL_59	2.5 V (default)		8mA (default)	2 (default)	
q[1][5]	Output	PNL_50	3	83_N0	PNL_50	2.5 V (default)		8mA (default)	2 (default)	
q[1][4]	Output	PNL_51	3	83_N0	PNL_51	2.5 V (default)		8mA (default)	2 (default)	
q[1][3]	Output	PNL_46	3	83_N0	PNL_46	2.5 V (default)		8mA (default)	2 (default)	
q[1][2]	Output	PNL_49	3	83_N0	PNL_49	2.5 V (default)		8mA (default)	2 (default)	
q[1][1]	Output	PNL_43	3	83_N0	PNL_43	2.5 V (default)		8mA (default)	2 (default)	
q[1][0]	Output	PNL_44	3	83_N0	PNL_44	2.5 V (default)		8mA (default)	2 (default)	

3、实验步骤

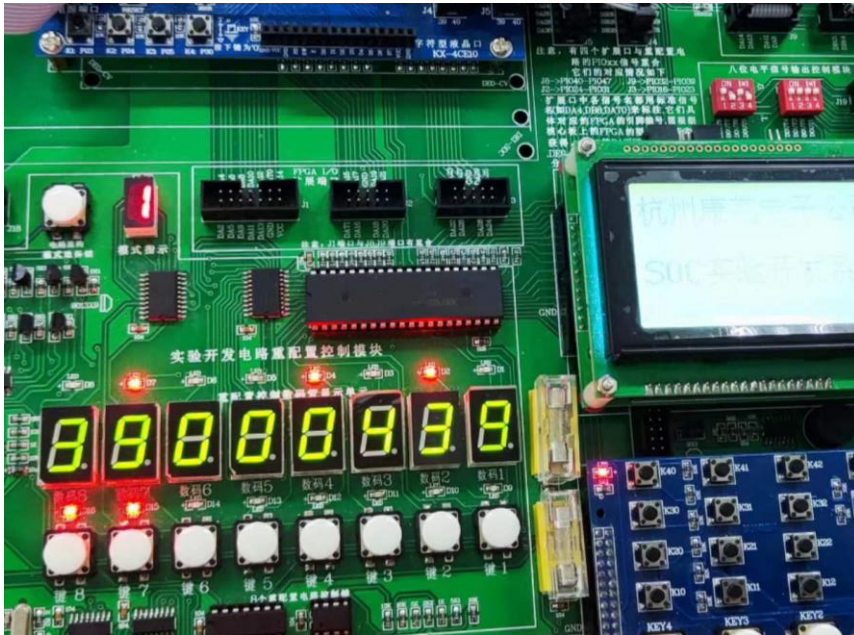
- (1) 按要求设计并输入电路图，进行编译、引脚锁定、向 FPGA 配置下载；
- (2) 通过键 1、键 2 输入 RAM 的 8 位数据（选择实验台工作模式 1），键 3、键 4 输入存储器的低 8 位地址，高 2 位地址由红色的拨码开关提供。键 8 控制读/写允许，低电平时读允许，高电平时写允许；键 7（CLK0）产生读/写时钟脉冲，即生成写地址锁存脉冲，对 RAM 进行写/读操作；

4、实验结果

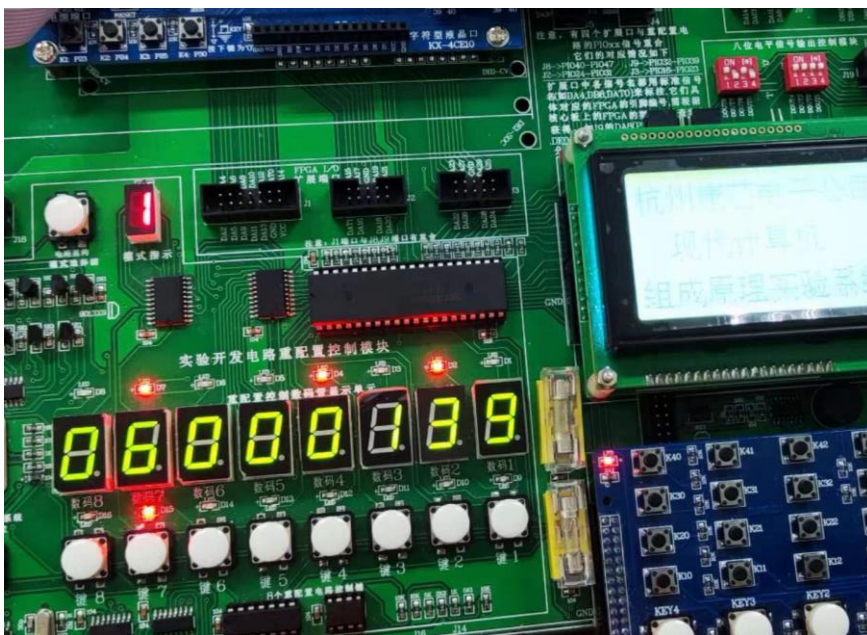
键 8=1=写，键 4-3 控制地址，键 2-1 控制数据，红色拨码开关左 2=A9（最高位地址），左 4=A8（次高位地址），此时 A9A8=11，所以在第四组 RAM 的 01 地址（11000.....01）写入数据 06



在 11000.....04, 第四组 ROM 芯片上写入数据 39



键 8=0=读, 读取 1100.....01 地址的数据, 显示之前写入的 06



结论分析与体会:

1. 位上的扩展可以通过多个 RAM 同时分别读取数据的高位和低位,
2. 字上的扩展通过译码器选择相应的芯片, 具体可以根据最高位地址的不同来设计片选, 来对不同的芯片进行读写

注: 实验报告的命名规则: 学号_姓名_实验 n_班级