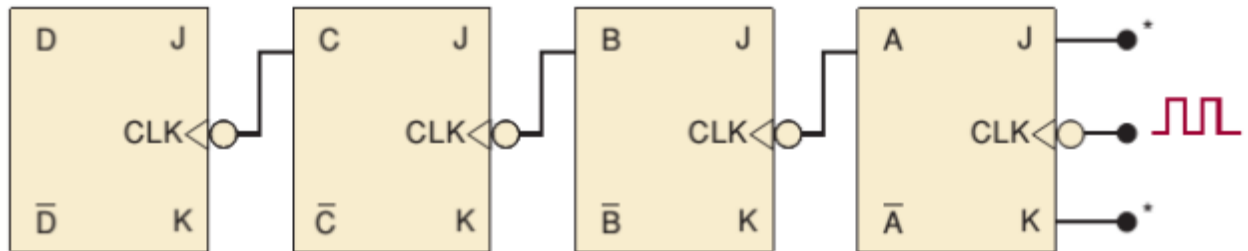


Bài tập chương 6

I. ASYNCHRONOUS COUNTER (bộ đếm bất đồng bộ)

Câu 1:

Cho mạch đếm như hình bên dưới:



(* tất cả ngõ vào J, K của các FF đều bằng 1)

Thêm một Flip-flop E vào bộ đếm. Giả sử tần số xung clock là 8 MHz với 50% duty cycle.

- Tần số và duty cycle của ngõ ra E bằng bao nhiêu?
- Câu hỏi tương tự câu a với trường hợp xung clock ngõ vào có 20% duty cycle.
- Tần số của ngõ ra C bằng bao nhiêu?
- Hệ số bộ đếm (MOD number) của bộ đếm?

Giải:

a) Tần số và duty cycle của ngõ ra E

- Mạch thêm Flip-flop E vào bộ đếm. Mỗi Flip-flop trong chế độ toggle chia đôi tần số của tín hiệu clock đầu vào.
- Tần số ngõ ra của E sẽ là: $f_E = \frac{f_{clock}}{2^n}, n = 5$

$$\text{Với } f_{clock} = 8 \text{ MHz: } f_E = \frac{8}{2^5} = 0.25 \text{ MHz} = 250 \text{ kHz.}$$

- Duty cycle của Flip-flop JK khi hoạt động chia đôi tần số luôn là 50%.

b) Xung clock vào có duty cycle 20%

- Với duty cycle đầu vào là 20%, tần số tại ngõ ra của E không thay đổi (250kHz)
- Duty cycle tại ngõ ra của E vẫn luôn là 50% vì Flip-flop JK chỉ phụ thuộc vào cạnh xung clock, không phụ thuộc vào duty cycle.

c) Tần số ngõ ra C

- Flip-flop C là Flip-flop thứ 3 trong chuỗi. Mỗi Flip-flop giảm tần số xuống 1 nửa, nên: $f_C = \frac{f_{clock}}{2^3} = \frac{8}{8} = 1 \text{ MHz}$

d) Hệ số bộ đếm (MOD number)

- Hệ số bộ đếm của mạch đếm là 2^n , với n là số Flip-flop. Ở đây có tổng cộng 5 Flip-flop (gồm A, B, C, D, E): $MOD = 2^5 = 32$.

Câu 2:

Cho một bộ đếm bất đồng bộ 5-bit có trạng thái bắt đầu là 00000. Trạng thái của bộ đếm bằng bao nhiêu sau 144 xung clock ngõ vào?

Giải:

Bộ đếm bất đồng bộ 5-bit có số trạng thái tối đa là $2^5 = 32$, nghĩa là nó sẽ lặp lại trạng thái sau mỗi 32 xung clock (MOD 32).

- Sau 144 xung clock, trạng thái của bộ đếm sẽ tương đương với:

$$x \equiv 144(\text{mod } 32) \Leftrightarrow x \equiv 16(\text{mod } 32)$$

- Trạng thái của bộ đếm bắt đầu từ 00000 và tăng lên theo giá trị nhị phân. Sau 16 xung clock, trạng thái của bộ đếm sẽ là 16 trong hệ thập phân, tương đương: $16_{10} = 10000_2$.

Vậy sau 144 xung clock, trạng thái của bộ đếm là 10000.

Câu 3:

Cho một bộ đếm Ripple Counter 10-bit có tần số xung clock ngõ vào là 256 KHz

a) Hệ số bộ đếm (MOD number) ?

b) Tần số của ngõ ra MSB?

c) Duty cycle của tín hiệu MSB?

d) Giả sử bộ đếm bắt đầu từ giá trị 0.

Giá trị bộ đếm hiển thị ở dạng số Hexa bằng bao nhiêu sau 1000 xung?

Giải:

a) Hệ số bộ đếm (MOD number):

- Một bộ đếm Ripple Counter 10-bit có số trạng thái tối đa là $2^{10} = 1024$.

Do đó có hệ số bộ đếm: $MOD = 1024$.

b) Tần số của ngõ ra MSB (Most Significant Bit):

- Tần số của MSB là tần số đầu vào chia cho 2^n , với $n=10$: $f_{MSB} = \frac{f_{clock}}{2^{10}}$

$$\text{Với } f_{clock} = 256kHz: f_{MSB} = \frac{256}{1024} = 0.25kHz = 250Hz$$

c) Duty cycle của tín hiệu MSB:

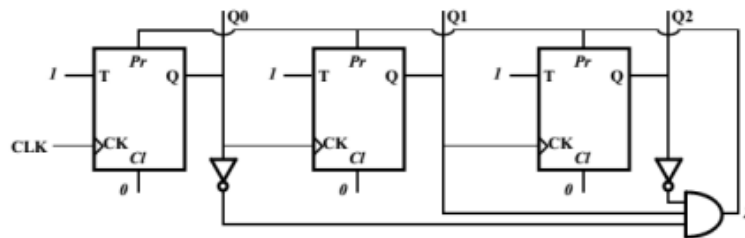
- Trong mạch Ripple Counter, tín hiệu MSB có duty cycle luôn là 50%, vì mỗi Flip-flop JK trong chế độ toggle chia đôi tần số và tạo xung vuông cân bằng.

d) Giá trị bộ đếm sau 1000 xung clock (dạng Hexa):

- Bộ đếm 10-bit có số trạng thái từ 0 đến 1023, sau đó lặp lại.
- Sau 1000 xung clock, giá trị bộ đếm tương ứng với 1000 (do $1000 < 1024$)
- Giá trị 1000_{10} chuyển sang hệ hexa là: $1000_{10} = 3E8_{16}$

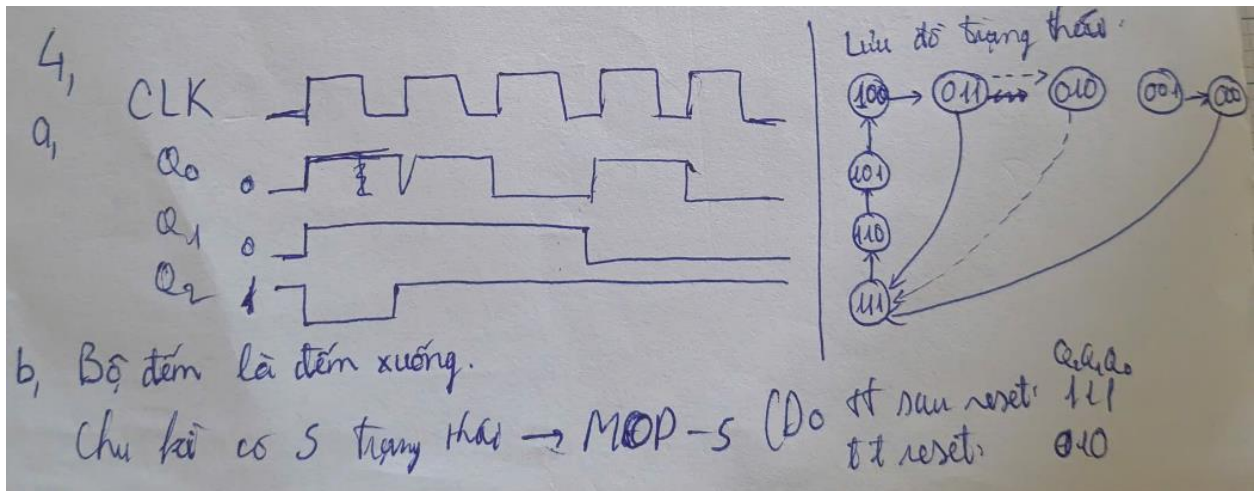
Câu 4:

Cho bộ đếm sau



- Vẽ dạng sóng của bộ đếm trong 5 xung clock liên tiếp, biết rằng trạng thái ban đầu sau khi bật nguồn $Q_2Q_1Q_0 = 100$
- Cho biết bộ đếm là đếm xuống hay đếm lên. Vẽ lưu đồ trạng thái bộ đếm trong trường hợp giá trị ban đầu của bộ đếm là giá trị bất kì.
- Xác định MOD và tần số của bộ đếm. Biết tần số $CLK = 10\text{ KHz}$

Giải:



$$f = \frac{f_{in}}{\text{MOD number}} = \frac{10 \text{ kHz}}{5} = 2 \text{ kHz}$$

Bộ đếm đồng bộ

Câu 5:

Cho sơ đồ mạch như câu 1, nhưng đổi thành **FF-T tích cực cạnh xuống**.

Thực hiện các yêu cầu như trong câu 1a, 1b, 1c

Giải:

a) Tần số và duty cycle của ngõ ra E (xung clock là 8 MHz với 50% duty cycle):

- FF-T hoạt động theo cơ chế chia tần số, tức là ngõ ra của mỗi Flip-flop sẽ có tần số bằng 1/2 tần số ngõ vào.
- Tần số tại ngõ ra E sẽ giảm qua 5 tầng FF-T: $f_E = \frac{f_{clock}}{2^5} = \frac{8 \text{ MHz}}{32} = 250 \text{ kHz}$
- Duty cycle của ngõ ra E:
Với FF-T, duty cycle luôn là 50% vì các FF tạo xung vuông cân bằng.

b) Tần số và duty cycle với ngõ vào có duty cycle 20%:

- Tần số tại ngõ ra E:
Tần số vẫn được chia qua các tầng FF-T, không phụ thuộc duty cycle ngõ vào:
 $f_E = 250 \text{ kHz}$.
- Duty cycle tại ngõ ra E:

- FF-T không bảo toàn duty cycle ngõ vào.
- Do FF-T tích cực cạnh xuống, ngõ ra sẽ luôn có 50% duty cycle.

c) Tần số của ngõ ra C:

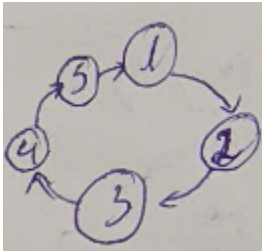
- Ngõ ra C là tầng thứ 3 tính từ ngõ vào.
- Tần số tại C: $f_C = \frac{f_{clock}}{2^3} = \frac{8MHz}{8} = 1MHz$

Câu 6:

Thiết kế bộ đếm lên bất đồng bộ **MOD-5** dùng **FF-T** có xung clock tích cực cạnh xuống và ngõ vào Preset và Clear tích cực cao. Biết rằng trạng thái ban đầu của bộ đếm là 1.

Giải:

- Do bộ đếm MOD-5, trạng thái ban đầu là 1 nên có chu trình đếm là: 1 – 2 – 3 – 4 – 5 – 1 – ... Suy ra số Flip-flop tối thiểu phải là 3 vì $2^2 = 4 < 5 < 8 = 2^3$
- Lưu đồ chuyển trạng thái của bài toán:

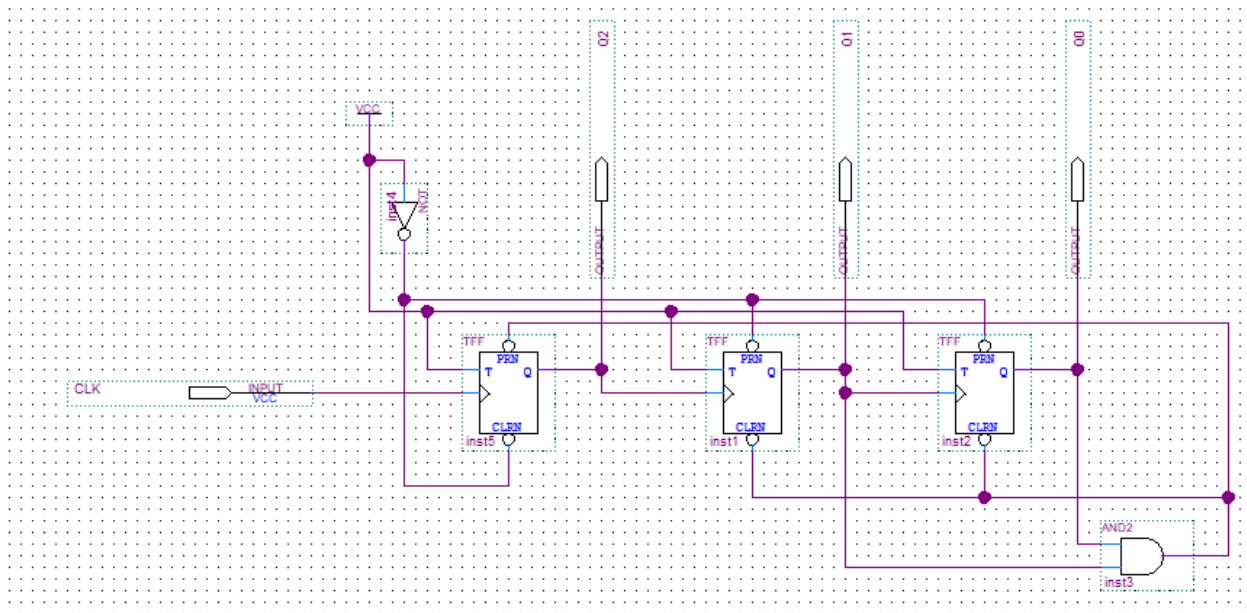


- Thiết kế mạch Reset:

Q2Q1					
Q0		00	01	11	10
0		x		1	
1				x	

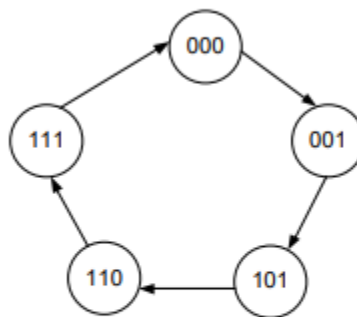
$$\Rightarrow Z = Q_2 Q_1$$

- Thiết kế mạch logic:



Câu 8:

Thiết kế bộ đếm bất đồng bộ dùng FF-T, có ngõ vào xung clock kích theo cạnh xuống; các ngõ vào Preset (Pr) và Clear (Clr) tích cực thấp. Biết rằng bộ đếm có giản đồ xung như sau:



- Xác định MOD của bộ đếm
- Trình bày chi tiết cách thiết kế bộ đếm trên
- Vẽ lại giản đồ bộ đếm bao gồm đầy đủ các trạng thái.

Giải:

- Từ lưu đồ chuyển trạng thái: MOD = 5

