**2.2.进位加法器实验**

**一、实验目的**

1、了解半加器和全加器的电路结构。

2、掌握串行进位加法器和并行进位加法器的原理及设计方法。

**二、实验内容**

设计拥有共同输入端的4位带符号位串行加法器和并行加法器，比较两者运算结果。

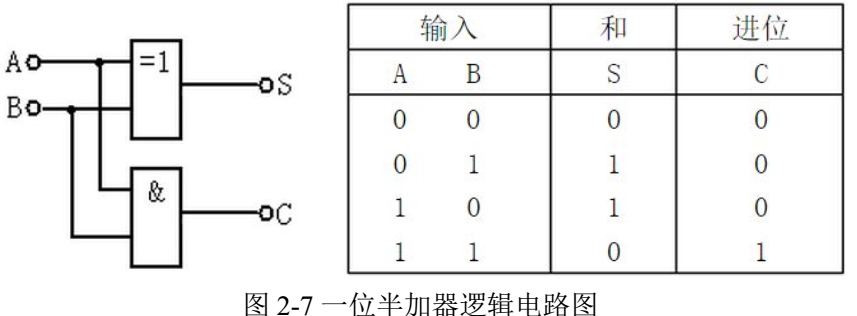
**三、实验器件**

1、2/3/4与门(74LS08/11/21)、非门(74LS04)、或门(74LS32)、异或门(XOR)等逻辑门。

2、三态门（74LS244）、LED指示灯及数码显示管。

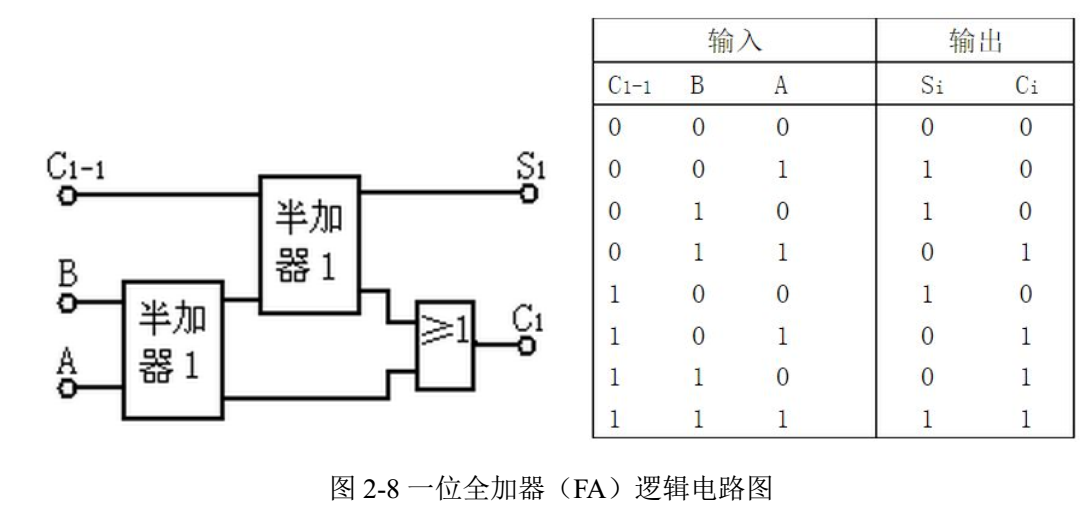
**四、实验原理**

加法器是最常见的运算逻辑电路，用来执行二进制的加减法运算（减法可以通过补码相加实现）。根据功能的不同，加法器可以分为半加器和全加器（FA）。半加器不考虑低位的进位，只考虑两个二进制数相加的结果和向高位的进位，如图2-7所示；而全加器(FA)是在半加器的基础上又考虑了低位过来的进位信号，如图2-8所示。

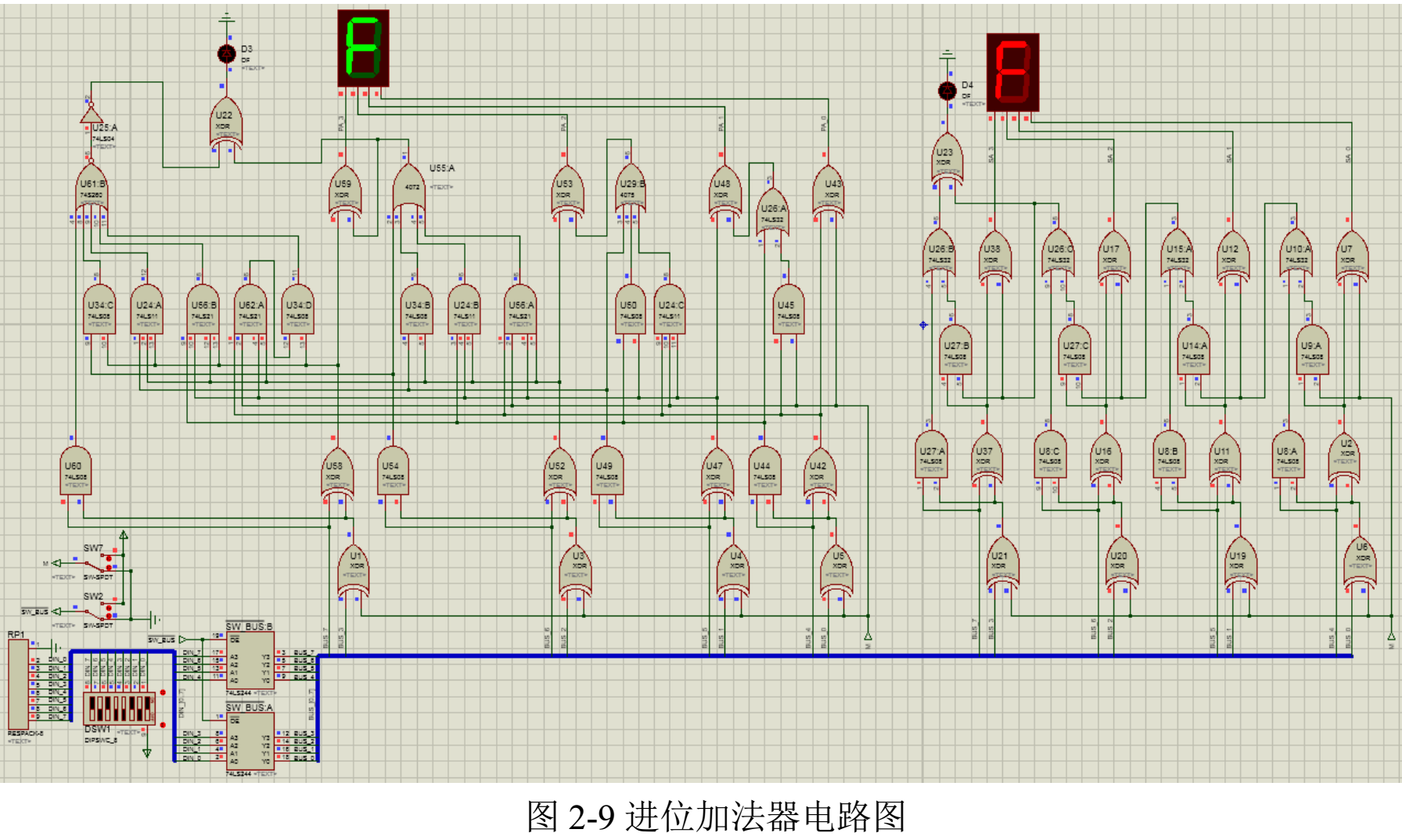


半加器逻辑公式： Si = Ai⊕Bi 且 Ci+1 = Ai·Bi

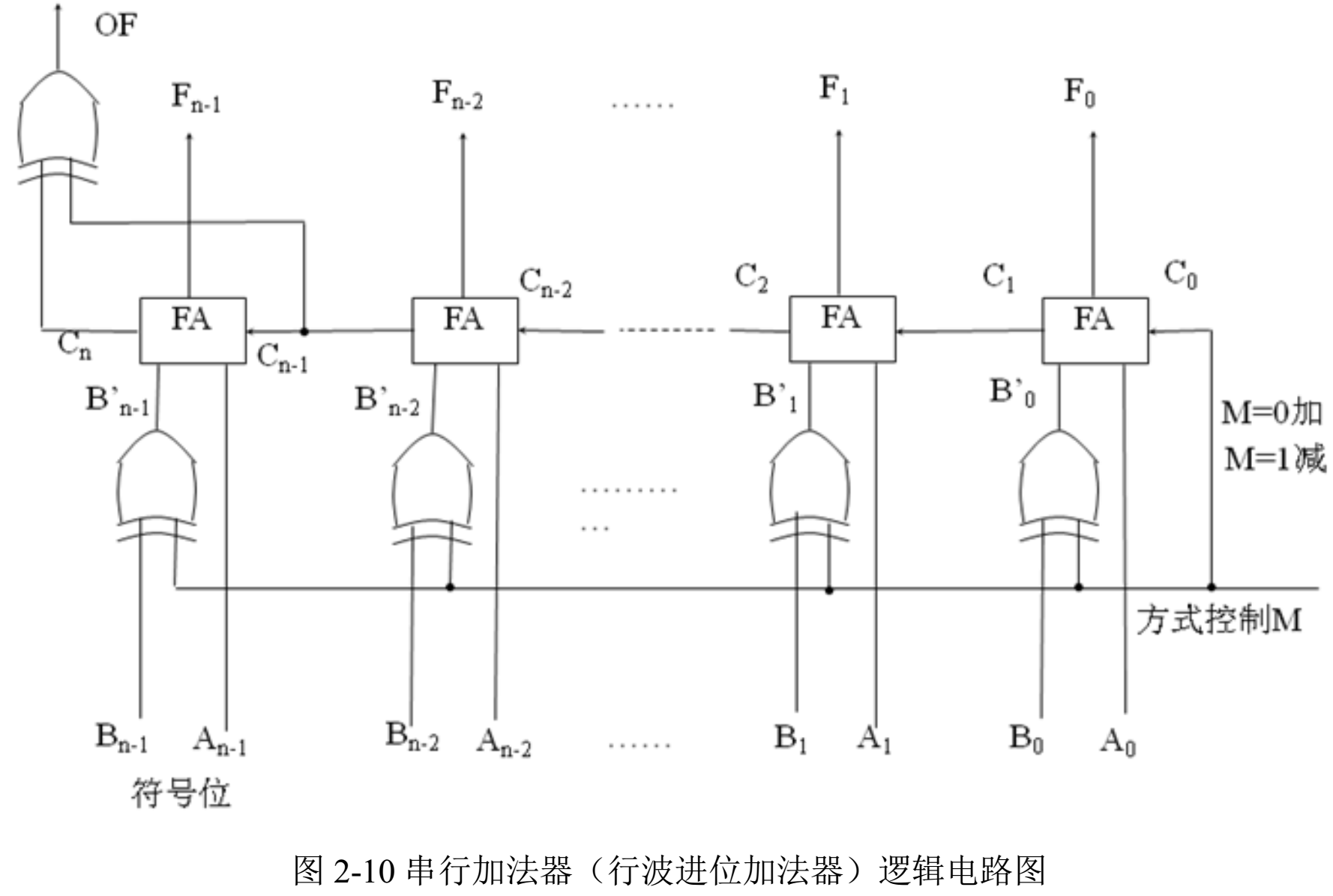
全加器逻辑公式： Si = Ai⊕Bi ⊕Ci 且 Ci+1=Ai·Bi + (Ai⊕Bi)·Ci



本实验设计的加法器电路如下图2-9所示：两个四位加法器（串行和并行进位加法器）、以及输入单元（拨码开关）和输出单元（数码显示管）。输入单元跟上述实验相同：开关SW \_BUS 控制拨码开关向总线输入数据，数据总线BUS同时为两个加法器提供相同的输入端：BUS\_[0..3]和 BUS\_[4..7]，便于对两个加法器的运算结果进行比较。输出单元是一对数码显示管，绿色显示管是并行进位加法器的输出端，红色显示管是串行进位加法器的输出端。

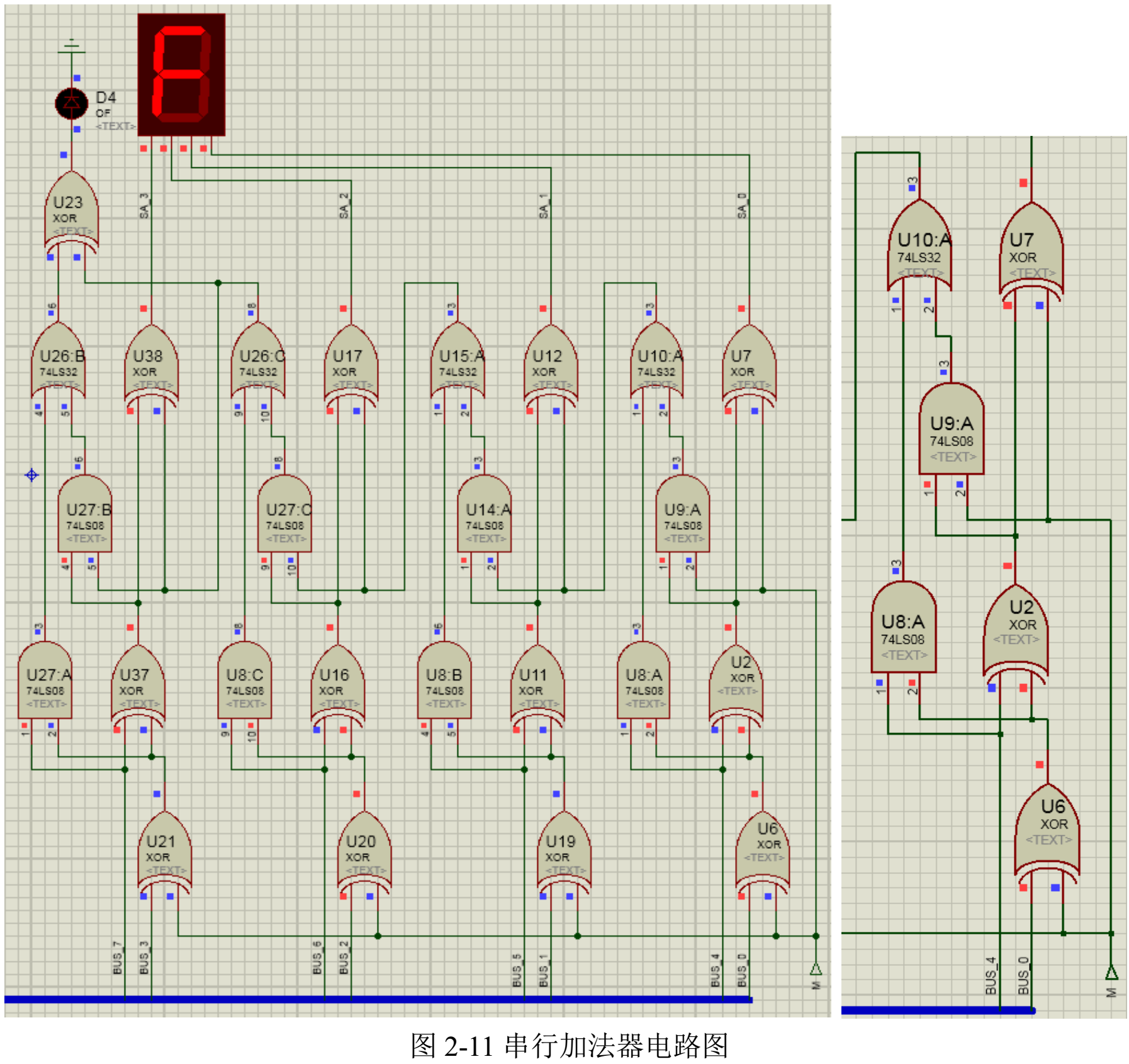


本实验所使用的串行进位加法器，又称为行波进位加法器，其原理图如下图 2-10 所示：由若干位全加器 FA 串行相连得到，其中低位 FA 的进位输出直接与相邻高位 FA 的进位输入相连，加法器的位间进位从低位往高位逐位串行传送。



上图2-10中，An+1和Bn+1是符号位，判溢位OF=Cn⊕Cn-1。FA的运算形式由M决定，当方式控制位 M=0，FA 是补码加法器：Bi’=M⊕Bi=Bi，C0 =0，则[F]补=[A]补+[B]补=[A+B]补；当方式控制位 M=1，FA 是补码减法器：Bi’=M⊕Bi=Bi，C0=1，则[F]补=[A]补+[-B]补=[A-B]补。

下图 2-11（左）所示是四位串行加法器，由图2-11（右）所示的一位全加器串行形成，最高位是符号位，数字有效位是三位。M端控制器件做加法(M=0)或减法(M=1)，因为“任意两数之差的补码等于被减数的补码与减数相反数的补码之和”，所以M端的工作原理基于“[Y]补→[-Y]补”求补运算原则：取反再加1。图2-11中执行的运算是：101+001=110。



本实验的并行加法器又称为超前进位加法器，如下图2-12所示：也是由若干位全加器FA组成，但是每一个FA所需的低位进位都不依赖其他FA，而是根据最低进位C0及各个位的加数、被加数即可同时计算所有进位Cn。因此称之为“并行”加法器，其推导公式如下：

Ci+1=Ai·Bi + (Ai⊕Bi)·Ci 假设Yn=An·Bn且Xn=(An⊕Bn)，

则Cn+1=Yn+Xn·Cn

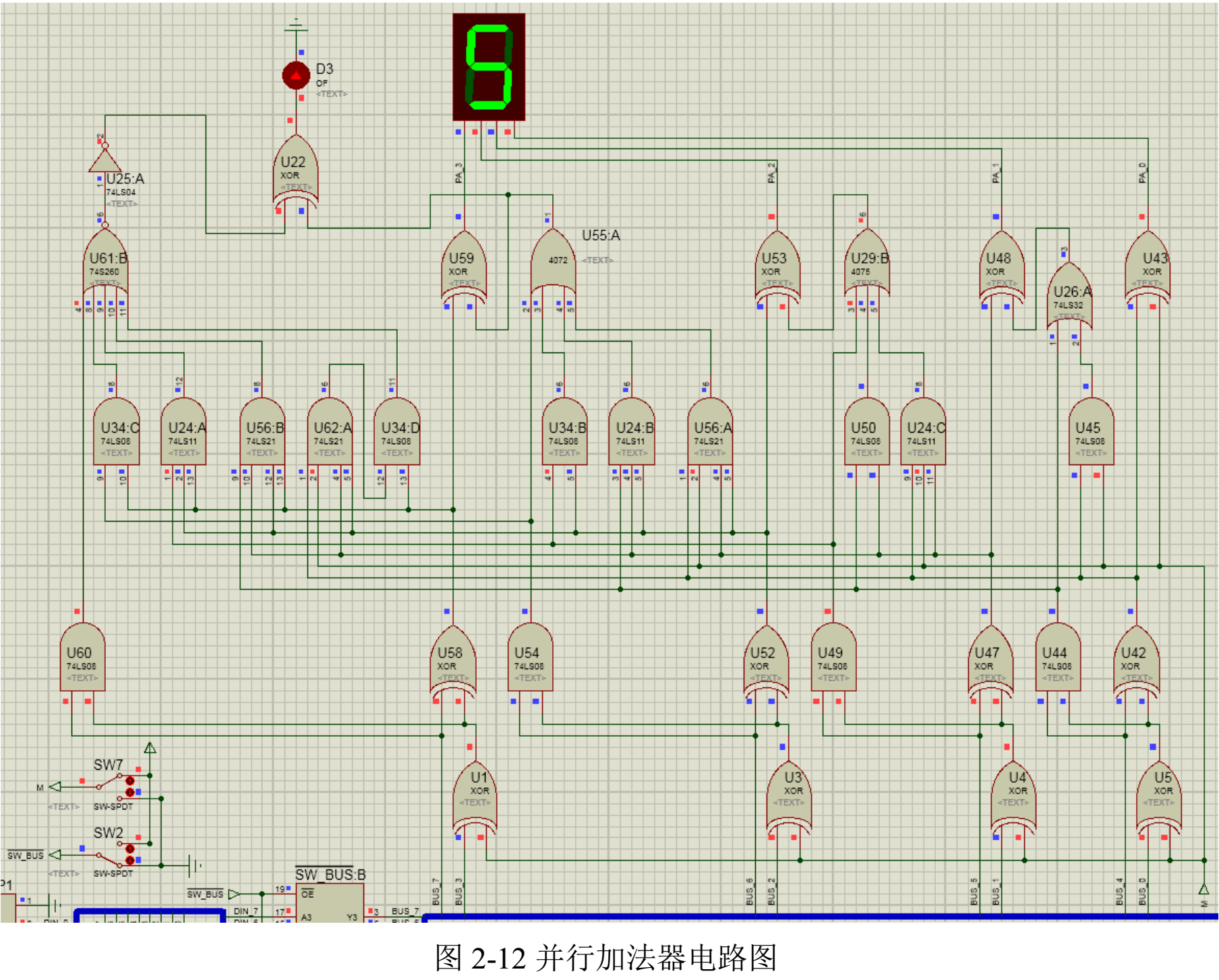
即C1=Y0+X0·C0

C2=Y1 +X1·C1=Y1+X1·Y0+X1·X0·C0

C3=Y2 +X2·C2=Y2+X2·Y1+X2·X1·Y0+X2·X1·X0·C0

C4=Y3+X3·C3=Y3+X3·Y2+X3·X2·Y1+X3·X2·X1·Y0+X3·X2·X1·X0·C0

由下图2-12可以看出，每一个FA所需的低位进位都只跟An、Bn和C0相关，与相邻FA产生的进位无关。从右到左，随着位数越高，进位Cn生成电路越复杂。图2-12中执行的运算是：101+011=1000 ；因为进位导致符号位改变（溢出），OF指示灯点亮。

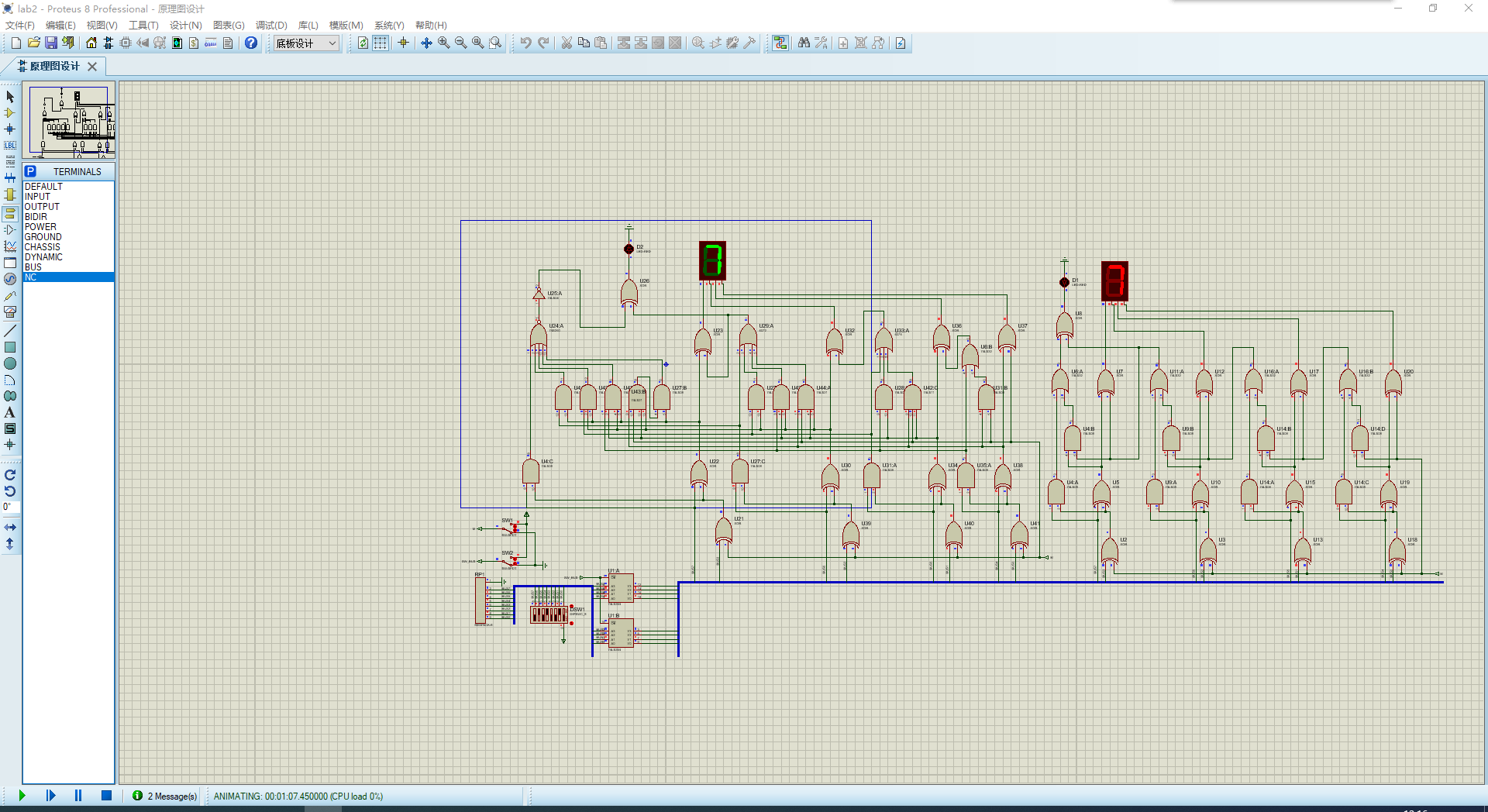


**五、实验步骤**

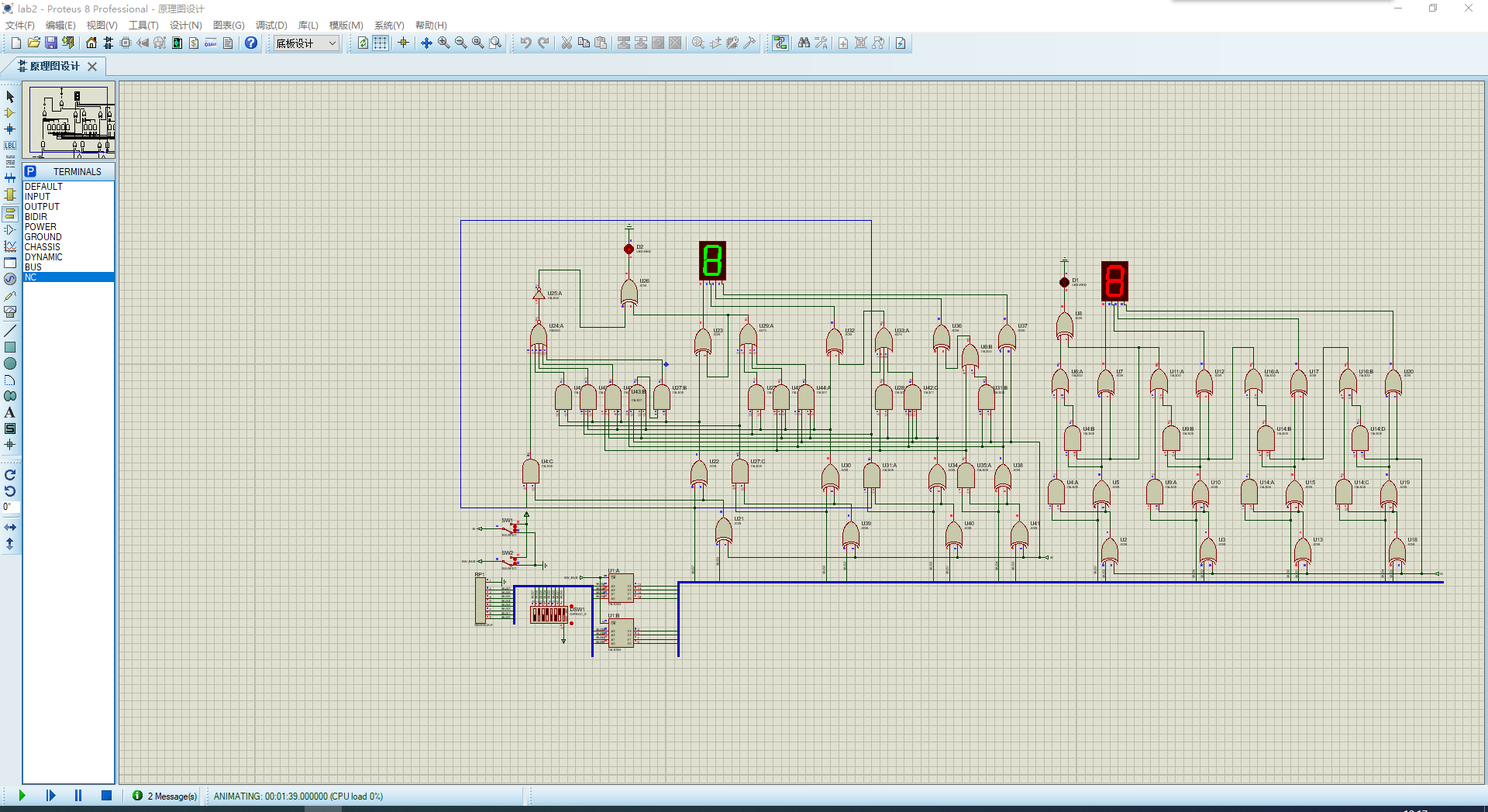
●请根据图2-7和图2-8制作半加器和全加器电路，并验证输入输出与真值表是否一致。

●启动仿真，令BUS\_[7..4]=0101，BUS\_[3..0]=0010，M=0，记录并比较串行与并行加法器的运算结果，是否溢出？如果改为 BUS\_[3..0]=0011，结果如何？

改动输入前无溢出，输出为7；

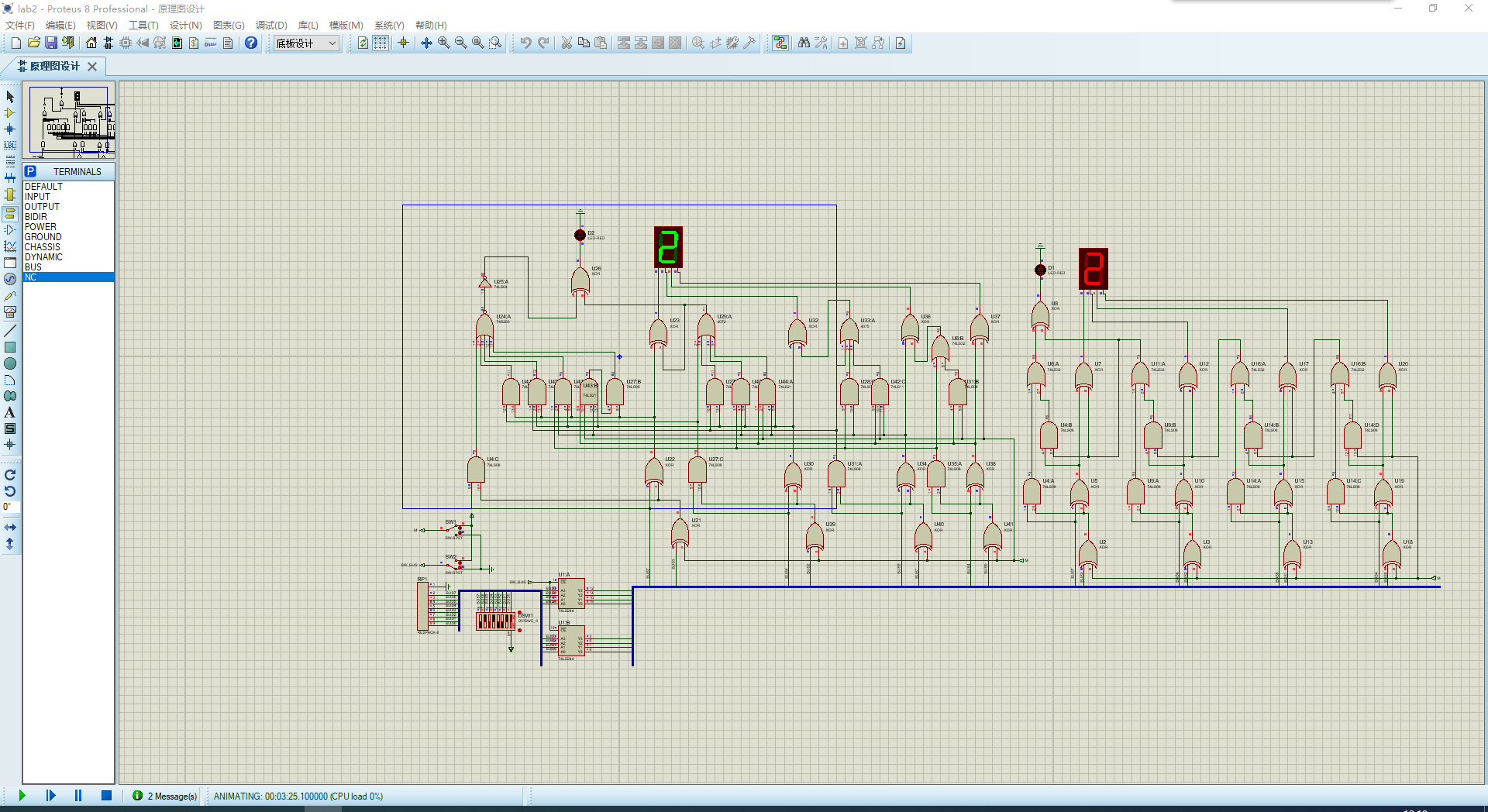


改动输入后发生溢出，输出为8。

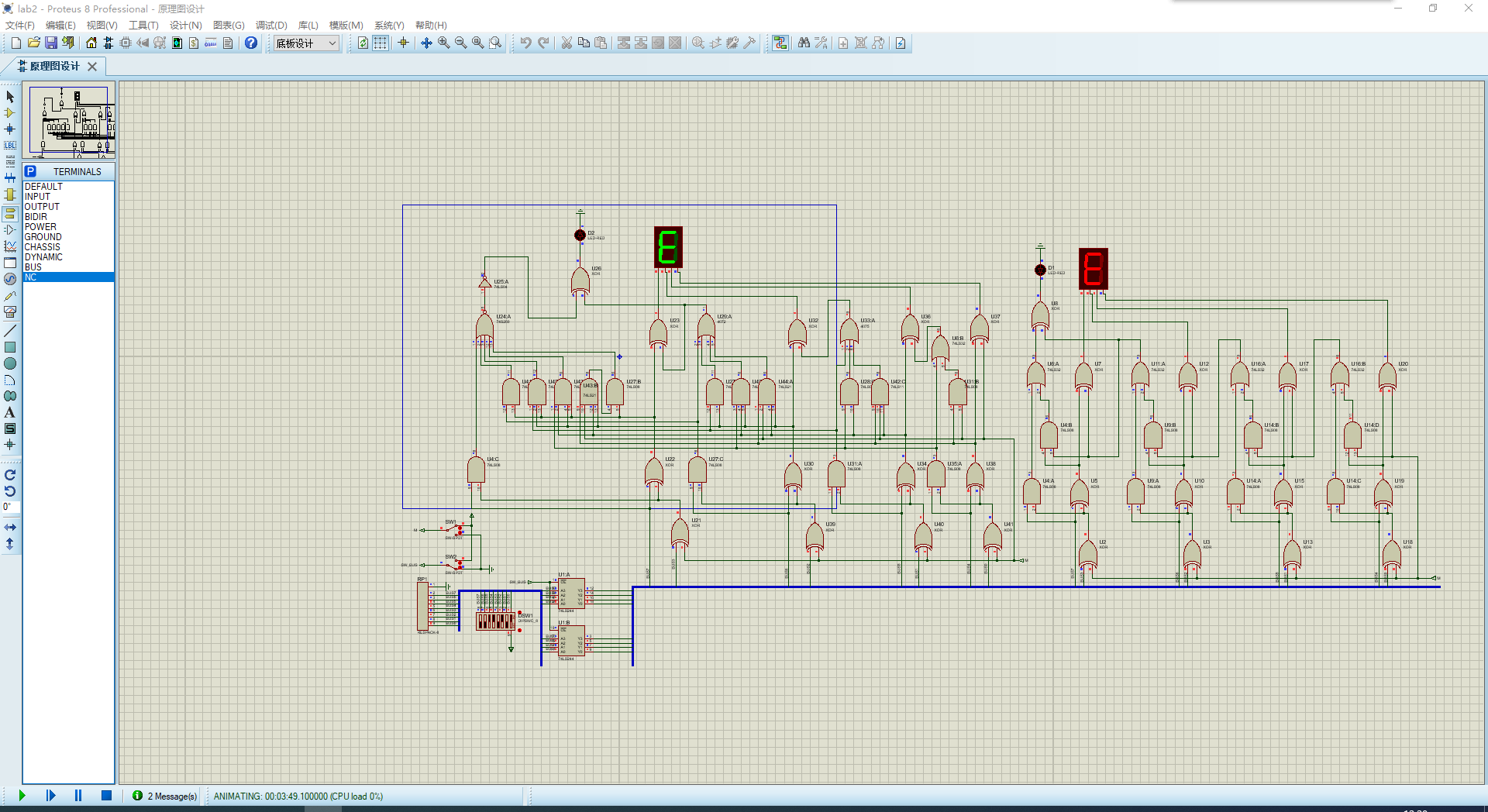


●启动仿真，令BUS\_[7..4]=0101，BUS\_[3..0]=0011，M=1，记录并比较串行与并行加法器的运算结果，是否溢出？如果运算器的输入改为BUS\_[7..4]=0011，BUS\_[3..0]=0101，M=1不变，结果如何？

改动输入前无溢出，输出结果为2；

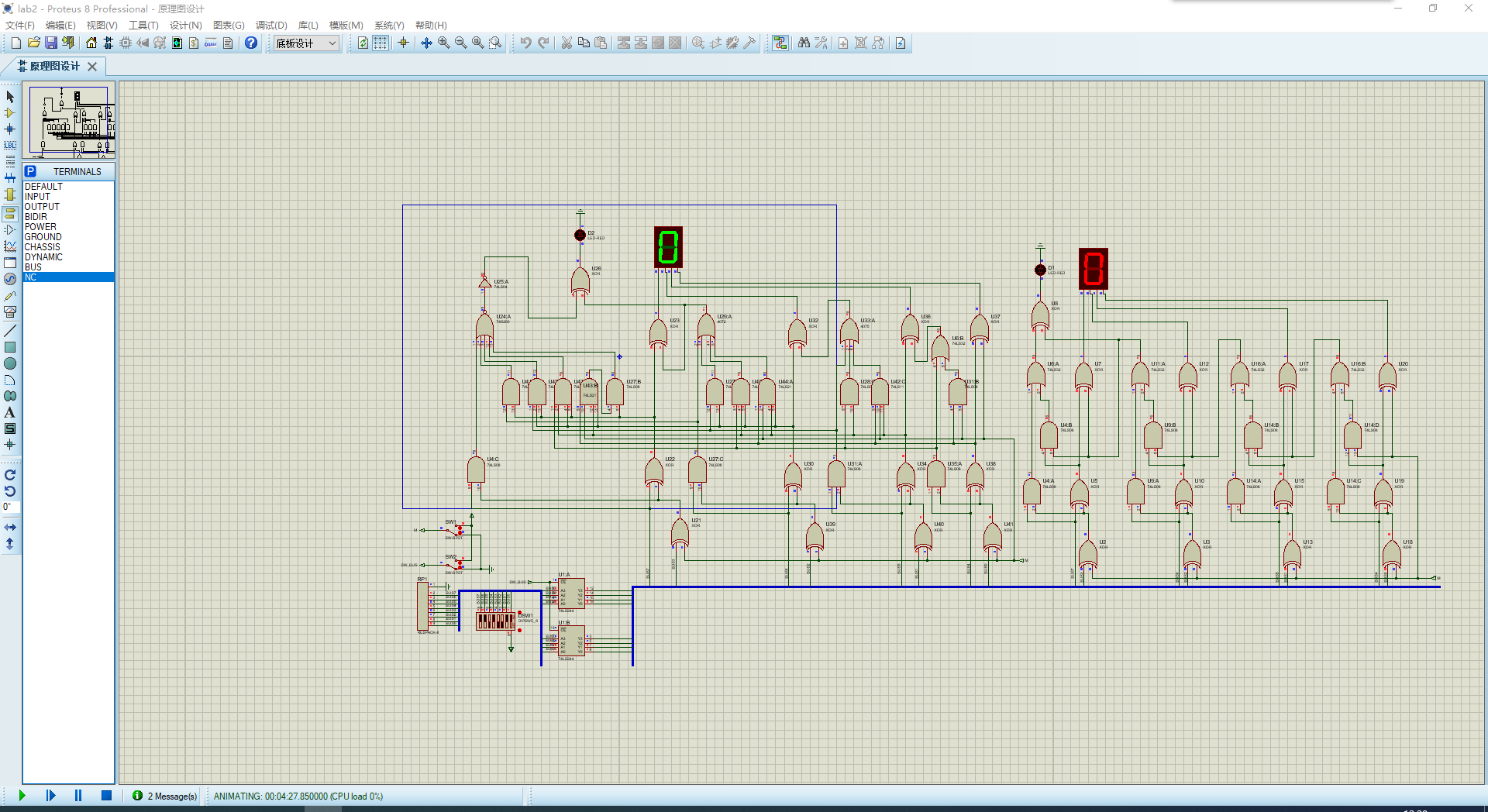


改动输入后无溢出，输出为E(1110)即-2。

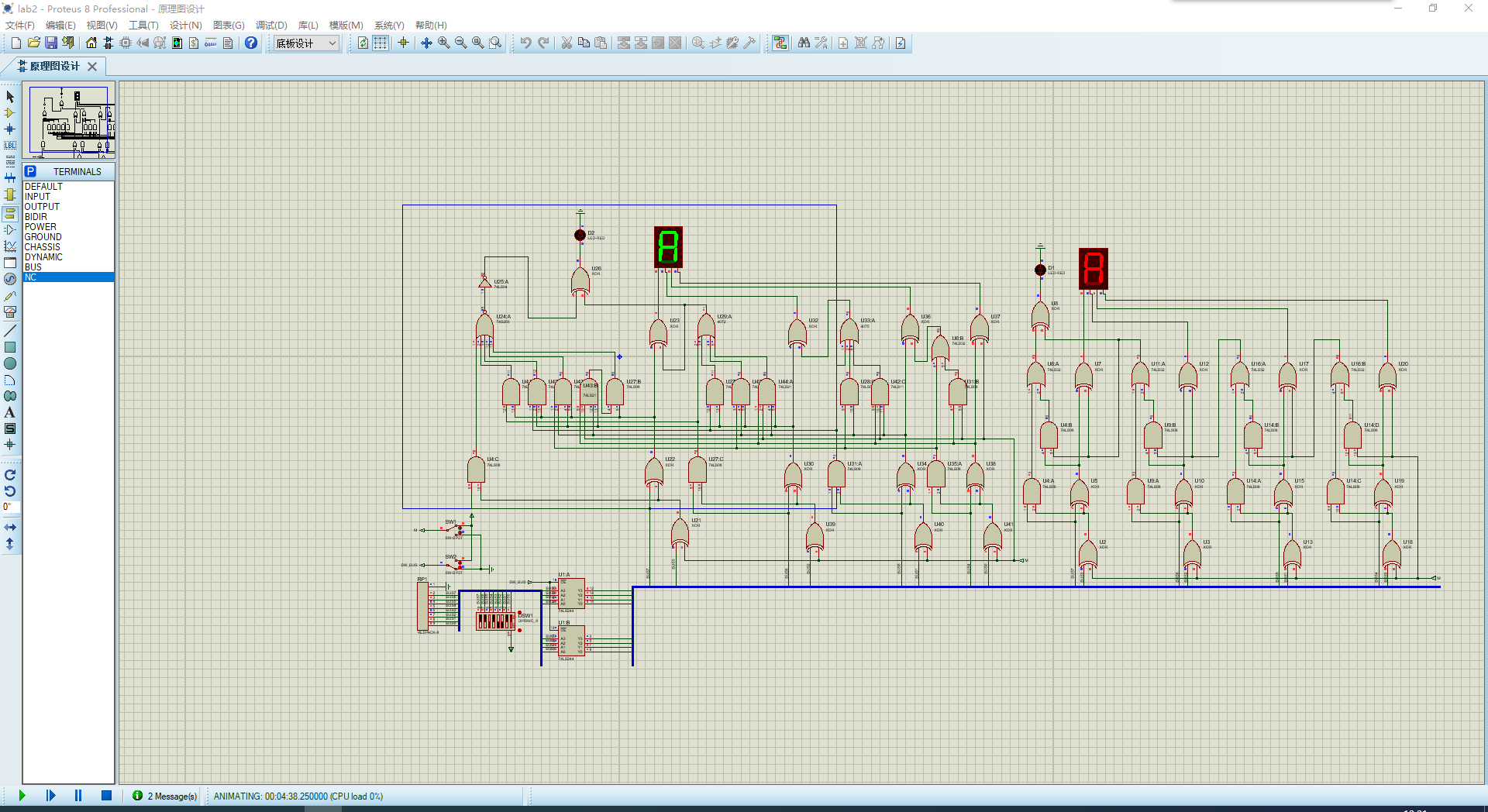


●启动仿真，令 BUS\_[7..4]=1101，BUS\_[3..0]=0011，M=0，记录并比较串行与并行加法器的运算结果。是否溢出？如果改为 M=1，结果如何？

改动输入前无溢出，输出结果为0；



改动输入后无溢出，输出结果为A（1010）即-6。



**六、思考题**

1、请问本实验的运算器是补码运算器、原码运算器还是无符号数运算器？与串行进位加法器相比，并行进位加法器的优势是什么？所谓的“并行”体现在哪里？

补码运算器。与串行进位加法器相比，并行进位加法器运算所花费的时间更短；所谓的“并行”体现在并行进位加法器由若干位全加器FA组成，但是每一个FA所需的低位进位都不依赖其他FA，而是根据最低进位C0及各个位的加数、被加数即可同时计算所有进位Cn。

2、本实验中，运算器可以表示的数值范围是多少？请把串行加法器电路修改为5位，并写出新的数值范围。

本实验中，运算器可以表示的数值范围是-8~7；若把串行加法器电路修改为5位，运算器可以表示的数值范围是-16~15。

