

UNIVERSIDADE FEDERAL DA BAHIA - UFBA
ESCOLA POLITÉCNICA / DEPARTAMENTO DE ENGENHARIA ELÉTRICA E DE COMPUTAÇÃO
2023.2 – ENGG57 – LABORATÓRIO INTEGRADO IV-A – PROF. WAGNER L. A. DE OLIVEIRA

Este Laboratório Integrado será formado por um conjunto de problemas (aqui identificados como módulos), cada qual gerador de uma nota, sendo a nota final na disciplina a soma das notas obtidas nos problemas apresentados.

A nota de cada módulo (N) será formada por 3 componentes, com ponderação ajustável:

- Nota Produto (NP): 50%;
- Nota Relatório (NR): 20% (aferida apenas na entrega final);
- Nota Participação Individual (NI): 30%.

A nota NI poderá ser aferida através de avaliações esporádicas, sem data determinada.

Calendário Previsto (poderá ser alterado)

Data	Atividade
23/08	Apresentação da Disciplina
30/08	Disponibilização de Materiais de Estudo no Moodle: - Ferramentas de Depuração no Quartus - Platform Designer: Especificação de Sistemas Embarcados e Elaboração de Componentes - Platform Designer: Especificação de Sistemas Embarcados e Elaboração de Componentes - Platform Designer: Simulação
06/09	Sessão PBL / Implementação
13/09	Sessão PBL / Implementação
20/09	Sessão PBL / Implementação
27/09	Sessão PBL / Implementação
04/10	Sessão PBL / Implementação
11/10	Poli Acta
18/10	Sessão PBL / Implementação
25/10	Sessão PBL / Implementação
01/11	Sessão PBL / Implementação
08/11	Sessão PBL / Implementação
22/11	Sessão PBL / Implementação
29/11	Sessão PBL / Implementação
06/12	Sessão PBL / Implementação
13/12	Poli Acta / Apresentação de Resultados

Plataforma para Jogos em FPGA

Tema:

Noções básicas de operacionalização das partes internas de um sistema processador de gráficos 2-D e de seu interfaceamento com dispositivos de memória e monitor.

Especificação:

O primeiro jogo para computadores foi criado em 1958 nos Estados Unidos, no laboratório de pesquisas militares **Brookhaven National Laboratory**. O programa se chamava **Tênis para Dois** e era uma simulação bem simplificada do esporte. Um ponto piscando representava a bola e dois jogadores controlavam barras que serviam de raquetes. O jogo nunca saiu do laboratório. Desde então, a indústria do videogame evoluiu a passos largos, devendo atingir receitas superiores a 187 bilhões de dólares em 2023.

Atenta a tais números, a empresa para a qual você trabalha, visando o lançamento de uma plataforma de hardware própria, de baixo custo, voltada para jogos com temas regionais e educacionais, solicitou à sua equipe o desenvolvimento de uma plataforma para jogos 2-D simples, baseada em FPGA, com o intuito de introduzi-los neste universo e desenvolver tecnologia na área.

Tal plataforma deverá ser implementada a partir de diferentes módulos, descritos na sequência, na placa **DE2-115 da Intel**, como um ou mais componentes do ambiente **Platform Designer**, visando sua expansão futura.

Módulo 1: Processador Gráfico – Módulo de Exibição de Imagens de Fundo

Este módulo do processador gráfico consiste em um exibidor de imagens de fundo em formato gráfico (por exemplo, bitmap), com as seguintes características:

- Possibilidade de trabalhar com imagens *True Color*, para monitores com resolução mínima VGA;
- Possibilidade de carregar imagens externamente, usando recursos da placa, através do **Platform Designer**;
- Considerando-se que uma tela VGA corresponda a um quadro, a imagem armazenada poderá ter o tamanho de até 9 quadros: disposição horizontal (1x9), disposição vertical (9x1) e disposição igualitária (3x3);
- Possibilidade de posicionar a imagem em qualquer coluna, quando da disposição horizontal (sem extrapolar os limites de exibição);
- Possibilidade de posicionar a imagem em qualquer linha, quando da disposição vertical (sem extrapolar os limites de exibição);
- Possibilidade de posicionar a imagem em qualquer coluna e linha, quando da disposição igualitária (sem extrapolar os limites de exibição).

Módulo 2: Processador Gráfico – Módulo de Processamento de Sprites

Este módulo deverá ter as seguintes características:

- Possibilidade de se trabalhar com até 32 padrões de 16x16 pixels (programáveis pelo processador principal), como elementos móveis (*sprites*), simultaneamente na tela, em diferentes níveis de sobreposição, com cores *True Color* e transparência;
- Possibilidade de sobrepor, ao menos, 4 *sprites*;
- Identificar colisões entre *sprites*; e
- Disponibilizar, para o processador principal, as seguintes informações (para cada *sprite*):
 - o perímetro da sobreposição do *sprite* com a imagem de fundo, para cada uma de suas laterais;
 - para cada lateral, os valores máximo, mínimo e médio dos componentes RGB das cores dos pontos identificados na sobreposição;
 - comparação dos valores máximo e mínimo dos componentes RGB com valores limítrofes fornecidos pelo processador principal (através de programação); e
 - comparação do valor médio dos componentes RGB com um intervalo de referência fornecido pelo processador principal (através de programação), para identificação de tons de cores da área sobreposta para cada lateral.

Módulo 3: Processador para Jogos

O processador otimizado para jogos deverá ter as seguintes características:

- Instruções que permitam trabalhar com imagens *True Color* armazenadas na SDRAM, conforme descrito na especificação do **Módulo de Exibição de Imagens de Fundo**. Tais instruções deverão garantir as seguintes possibilidades:
 - posicionar a imagem em qualquer coluna, quando da disposição horizontal (sem extrapolar os limites de exibição)
 - posicionar a imagem em qualquer linha, quando da disposição vertical (sem extrapolar os limites de exibição)
 - posicionar a imagem em qualquer coluna e linha, quando da disposição igualitária (sem extrapolar os limites de exibição)
- Instruções que permitam trabalhar com até 32 padrões de 16x16 pixels, como elementos móveis (*sprites*), simultaneamente na tela, em diferentes níveis de sobreposição, com um código de cor reservado para transparência;
- Interfacear um ou mais dispositivos de memória da placa DE2-115, através do **Platform Designer**, para permitir a leitura do programa e a configuração do **Módulo de Processamento de *Sprites***, mediante esquema de arbitragem que dê prioridade ao fluxo de exibição VGA do **Módulo de Processamento de *Sprites***;
- Capacidade máxima de endereçamento: 32k x 32;
- Instruções e operações internas em 32 bits;
- Mínimo de 32 registradores de propósito geral: R0 – R31 (R0 e R1 auxiliares);
- Modos de endereçamento:
 - imediato
 - base-deslocamento
 - a registrador
- Possibilidade de comunicação com dispositivos de E/S externos (por exemplo, entradas de joysticks e saída de áudio);

- Conjunto de instruções: vide tabela 1, mais as instruções para manipulação de *sprites* e *imagens*.

Tabela 1. Conjunto de instruções para o processador proposto.

Tipo	Instrução	Operandos	Descrição
Transferência de Dados	LW	$R_D, I_{16}(R_B)$	$R_D \leftarrow [I_{16}+R_B] \mid R_D \leftarrow [R_B] \mid R_D \leftarrow I_{16}$
	SW	$R_S, I_{16}(R_B)$	$[I_{16}+R_B] \leftarrow R_S \mid [R_B] \leftarrow R_S$
	MOV	R_D, R_S	$R_D \leftarrow R_S$
Aritmética	ADD	R_D, R_S	$R_D \leftarrow R_D + R_S$
	SUB	R_D, R_S	$R_D \leftarrow R_D - R_S$
	MUL	R_D, R_S	$R_D \leftarrow R_D * R_S$
	DIV	R_D, R_S	$R_D \leftarrow R_D / R_S$
Lógica	AND	R_D, R_S	$R_D \leftarrow R_D \text{ AND } R_S$
	OR	R_D, R_S	$R_D \leftarrow R_D \text{ OR } R_S$
	SHL	R_D, R_S	$R_D \leftarrow R_D \ll R_S$
	SHR	R_D, R_S	$R_D \leftarrow R_D \gg R_S$
	CMP	R_D, R_S	compara R_D e R_S , configurando RFlags
	NOT	R_D	$R_D \leftarrow \text{NOT } R_D$
Transferência de Controle	JR	R	desvio incondicional para o endereço $[R]$
	JPC	I_{26}	desvio incondicional relativo a PC atualizado
	BRFL	R, I_7, M_7	desvio para o endereço $[R]$ se $RFlags[i] = I_7[i]$, para todo $i = 1$ em M_7
	CALL	R	chamada de sub-rotina no endereço $[R]$
	RET	Nenhum	retorno de sub-rotina
	NOP	Nenhum	nenhuma operação

Obs.: $[]$ = conteúdo de memória (de dados ou de instruções, a depender da instrução executada)

$R_0 = 0$ e $R_1 = 1$ somente podem ser usados para leitura

RFlags = vetor de 7 bits com componentes [overflow; above; equal; below; between; collision; error]

I_7 = vetor de 7 bits a ser comparado com RFlags, mediante máscara M_7

M_7 = vetor de 7 bits (componente = 1 ativa comparação; componente = 0 desativa comparação)

- As instruções a seguir, para manipulação de *sprites* e *imagens*, poderão ser implementadas diretamente no processador ou serem suportadas via tradutor/compilador):
 - **SPRITE_LEVEL** (*sprite_level*, *id_sprite*)
para definição do shape associado a um nível (obs.: *id_sprite* = 0 corresponde à ausência de sprite)
 - **SPRITE_POS** (*sprite_level*, *row*, *col*)
para posicionamento do sprite associado a um nível
 - **SPRITE_COLLISION_BG** (*sprite_level*, *side*, *R*, *G*, *B*,
selector_min_max_mean, *register_min*, *register_max*)
para configuração do flag *between*: caso o valor mínimo/máximo/médio (selecionado por *selector_min_max_mean*) dos componentes de cor selecionados (*R*, *G*, *B*) dos pontos sobrepostos por uma das bordas do sprite associado a um nível (borda definida por *side*) esteja dentro dos limites dados pelos parâmetros *register_min* e *register_max*, o flag *between* será 1 – caso contrário, será 0.

- **SPRITE_COLLISION_SP** (*sprite_level_1, sprite_level_2*)
para configuração do flag collision: caso sprite_level_2 pertença à lista de colisões de sprite_level_1, o flag collision será 1 – caso contrário, será 0.
 - **PUT_IMAGE** (*row, col*)
para posicionar a imagem de fundo na área de exibição
 - **WAIT_VSYNC**
para suspender o processador, até a ativação do sinal VSYNC pela interface VGA, visando sincronismo com cada tela exibida
- Obs.: Outras poderão ser definidas pela equipe.

Produtos:

Sua equipe deverá entregar 2 produtos:

1. O protótipo da **Plataforma para Jogos em FPGA**, como um ou mais componentes do **Platform Designer**, com um exemplo de jogo teste; e
2. Um relatório técnico, em formato de artigo IEEE, com no máximo 15 páginas, contendo a descrição do protótipo (descrição geral, partes constituintes e sua correlação, estudos realizados e detalhes relevantes para a compreensão), conclusões (problemas encontrados, abrangência da implementação, possíveis melhorias, participação individual e aprendizado adquirido por cada membro) e referências bibliográficas.

Entregas parciais dos produtos poderão ser solicitadas a qualquer momento. A entrega final deverá ser realizada em duas partes: um relatório técnico, acompanhado da pasta de projeto Quartus (link compartilhado com o e-mail *oliveira.wagner@ufba.br*), e a apresentação do jogo, na data limite indicada no calendário.