

pr j23-sram28 项目方案

1) full ip 仿真应分为 read / write 的功能仿真

2) 对于 full ip 中的 sa 仿真，应有 read 时序说明和 sa 内部信号变化的详细说明

目录

- [目录](#)
-
- [1 设计目标](#)
- [2 设计流程](#)
- [3 SRAM 存储器介绍](#)
 - [a. 1RW SRAM](#)
 - [b. 1R1W SRAM 与 2RW SRAM](#)
- [4 SRAM 架构设计](#)
 - [a. 架构图](#)
 - [b. 功能单元说明](#)
- [5 SRAM 模块设计](#)
 - [a. 6T 单元](#)
 - [b. 灵敏放大器](#)
 - [c. 行/列译码器](#)
 - [d. 存储阵列](#)
- [6 仿真](#)
 - [a. 模块仿真](#)
 - [b. full IP 仿真](#)
- [7 小结](#)

1 设计目标

设计一个 2x2bit 的 SRAM

2 设计流程

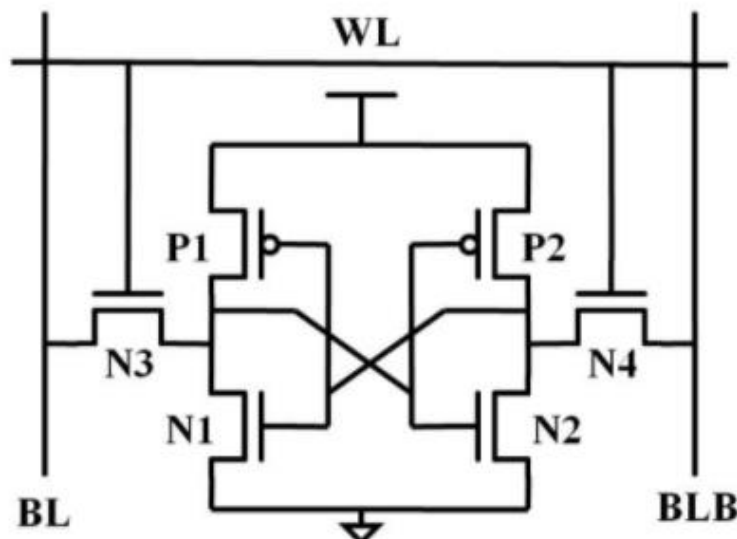
电路绘制工具: virtuoso

仿真工具:spectre

3 SRAM 存储器介绍

SRAM(Static Random-Access Memory, SRAM)静态随机存取存储器。“静态”是指这种存储器只要保持通电，里面储存的数据就可以一直保持。相对之下，动态随机存取存储器（DRAM）里面所储存的数据需要周期性地更新才能保持数据。然而，断电后 SRAM 储存的数据还是会消失，因此 SRAM 属于易失性存储器，这与在断电后还能储存资料的 ROM 或闪存是不同的。SRAM 速度快，但是成本较高，因此常用作 CPU 与低速 DRAM 之间的高速缓存。

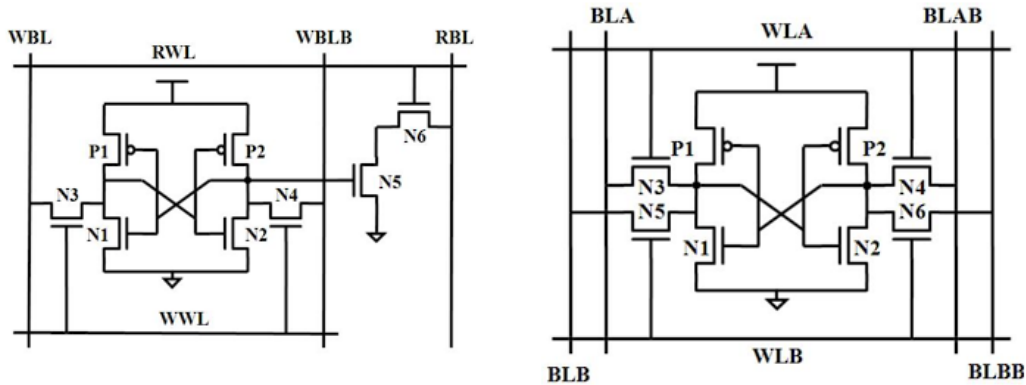
a. 1RW SRAM



常见的单端口 SRAM 主要由一对首尾相接的反相器加两个 N 管组成，如图所示。P1N1 与 P2N2 组成反相器对主要用来锁住写入的数据。BL 与 BLB 为数据写入端口，

当 BL 为 1 时，BLB 为 0，写入 1，当 BL 为 0 时，BLB 为 1，写入 0。读取数据时，先将 BL 与 BLB 预充电至等电位，一般为 V_{DD} 或 $V_{DD}-V_{th}$ 。此时令 WL 为 1，因此 N3 N4 管开启，由于反相器对首尾相接，因此必有一边为高电平一边为低电平，低电平的一端连接到 BL 或 BLB 时会产生分压，因此会导致电压变化。通过观察哪一端有压降即可得知内部存储的数据是 0 还是 1，若 BL 端电压下降，则存储的数据为 0，若 BLB 端电压下降，则存储的数据为 1。

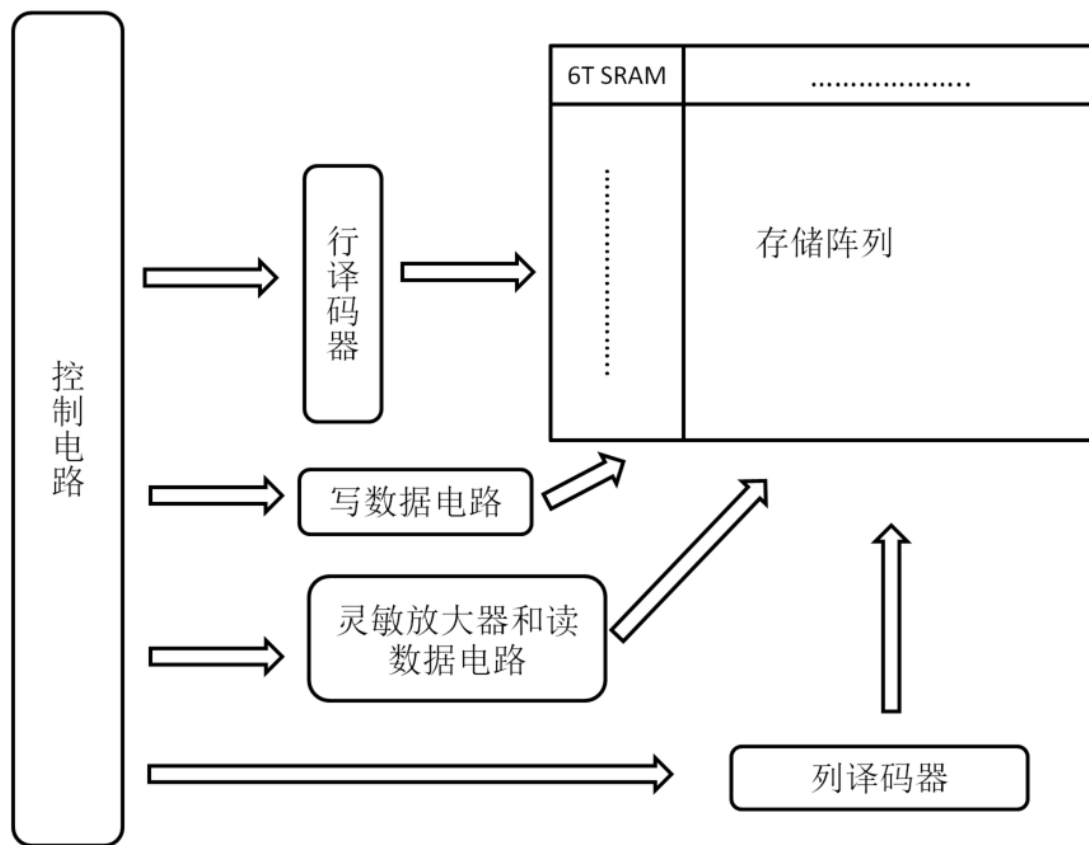
b. 1R1W SRAM 与 2RW SRAM



由于之前的单端口 SRAM 读写都是通过 BL，因此不能做到同时读写且在低电压下稳定性较差，人们又开发了 1R1W SRAM 的结构，如左图所示。相对于 6T SRAM，该结构有独立的读字线 RWL 写字线 WWL 以及读位线 RBL 写位线 WBL WBLB。由于读写位线字线的分离，因此该结构可以做到同时读写。与 1R1W SRAM 中的某一端口只能完成读或写功能不同，在 2RW SRAM（右图）中，每一个端口都可以进行读和写操作。

4 SRAM 架构设计

a. 架构图



b. 功能单元说明

存储阵列：存储阵列由一个个 6TSRAM 组成，每一个 SRAM 存储一位数据。

行/列译码器：根据控制电路得到数据读取或写入的地址。

灵敏放大器：放大微弱的电位差信号从而判断读取的数据是 0 还是 1。

读/写数据电路：将灵敏放大器得到的数据返回控制电路，根据控制电路将数据写入对应的地址。

5 SRAM 模块设计

a. 6T 单元

6T SRAM 为 SRAM 中常见的基本单元，其中电路图与工作原理介绍已在第一节给出。接下来需要确定具体晶体管的尺寸，尺寸参考

该结构为锁存型的 SA, 其信号放大主要依赖在反相器过渡区域的高增益放大和两级反相器组成的正反馈结构。SAE 为低电平时, 灵敏放大器不工作, 在读操作开始前, BL 与 BLB 被预充电至高电平, 此时 P3 P4 管导通, 锁存结构内部为高阻态。当 BL 或 BLB 端有足够的电压变化后, SAE 为高电平, 灵敏放大器开始工作,

P3 P4 管关闭，M3 打开，此时 M1 M2 也将下拉，当上拉 PMOS 打开后，形成正反馈的信号放大。

参考资料：

<https://eecs.wsu.edu/~daehyun/teaching/2019 EE466/lecture notes/lecture 25. pdf>

<http://dx.doi.org/10.4103/0256-4602.107343>

c. 行/列译码器

本设计计划制作一个 2×2 bit 的 SRAM，由于每行每列均只有两个单元，则用反相器即可完成选择。

d. 存储阵列

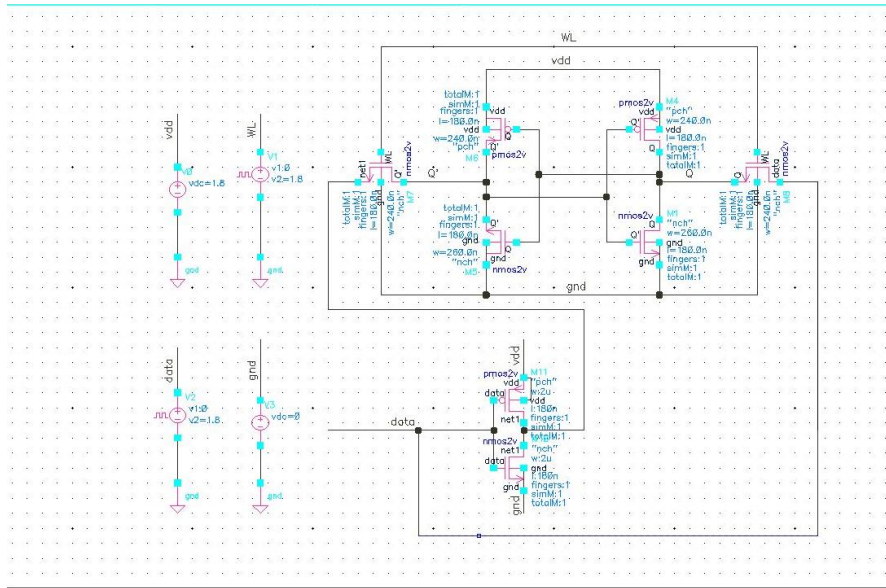
存储阵列由 2×2 个 6T 单元组成，其中每一列公用一组位线，行/列译码器的输出端连接到一个两输入与门，两输入与门的输出连接到 6T 单元的字线，以此实现阵列中单个 6T 单元的选中。

6 仿真

a. 模块仿真

6T 单元仿真：

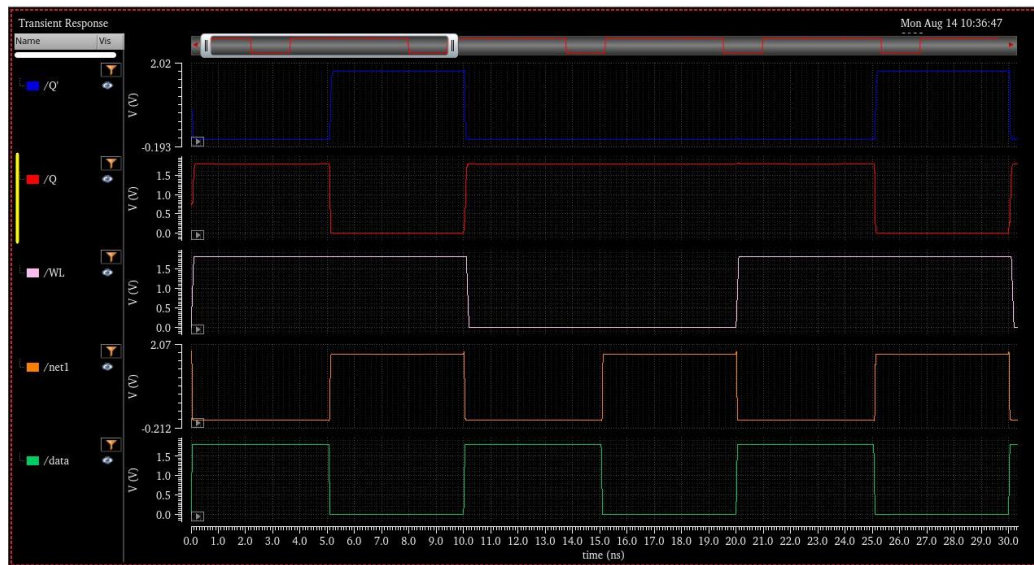
6T SRAM 写操作电路图如图所示，M1M4 M5M6 分别构成一对反相器用来锁存数据，M7M8 为传输管，M7M8 的栅极连接到字线 WL。数据 data 连接到位线 BL，data 非连接到 BLB(net1)。



Data 设定为幅值 0-1.8V 脉宽 5ns 周期 10ns

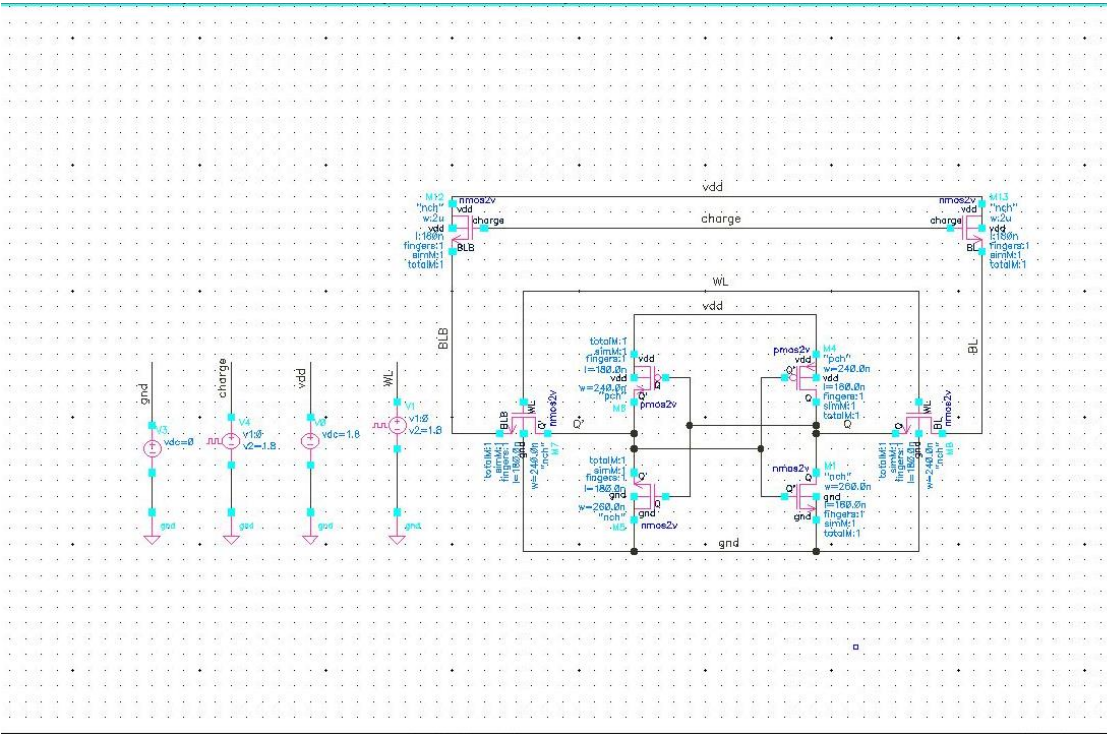
字线 WL 设定为幅值 0-1.8V 脉宽 10ns 周期 20ns

由波形图可知 data 与 net1 Q 与 Q' 均变化规律相反，说明连接的反相器工作正常。

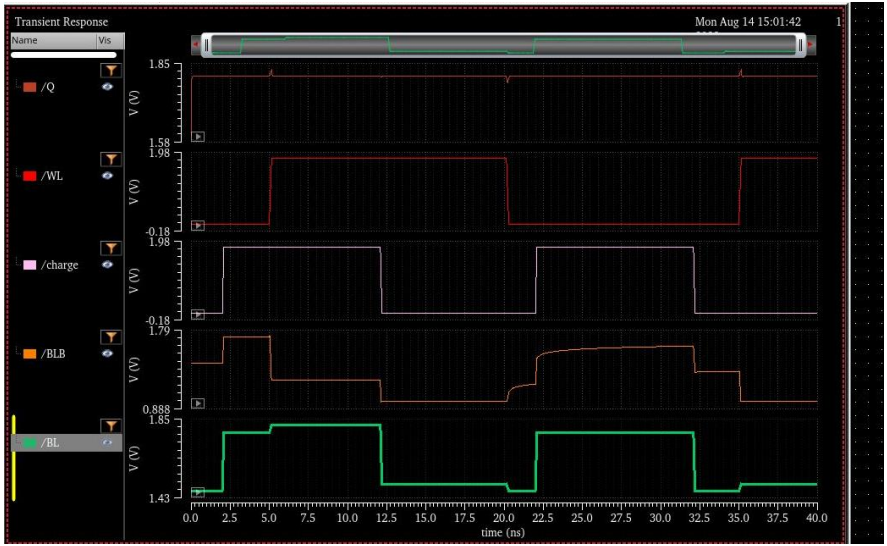


当 WL 为高电平时，Q=data，当 WL 为低电平时，Q 保持不变。这表明 SRAM 的写数据与数据保持功能正常。

读操作电路如图所示，首先将 BL 与 BLB 充电至高电平，当 WL 同时为高时，观察 BL 端或 BLB 端的压降，若 BLB 端电压下降则 Q 为 1，若 BL 端电压下降则 Q 为 0。

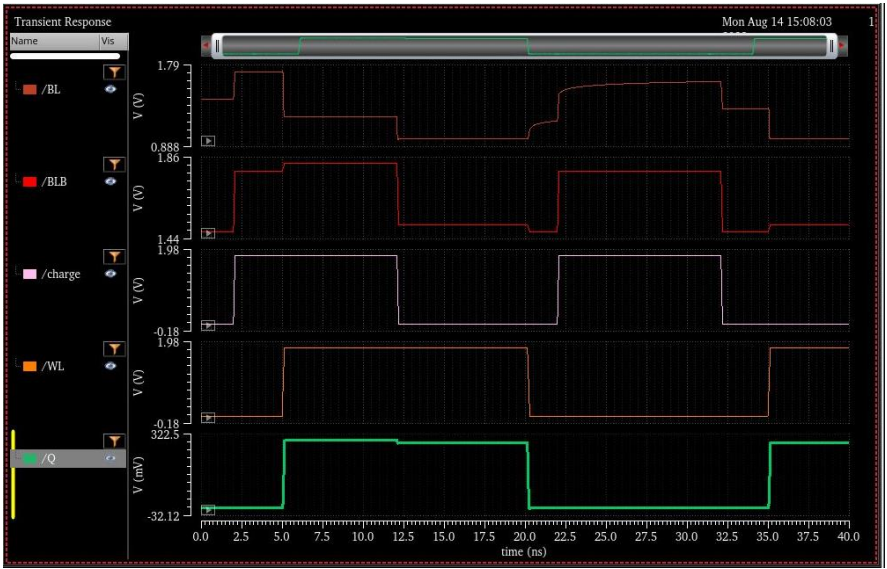


仿真前将 Q 点的电压预设 1.6V，2ns 时 BL 与 BLB 均预充电至高电平 1.7V 左右，5ns 时 WL 拉高，此时发现 BLB 端电压明显下降，下降约 0.5V，这表明存储的值为 1，和预设的状态相符，表明 SRAM 的读 1 功能正常。



随后将 Q 点电压预设 0V，仿真结果如图，在 5ns 时 BL 端能观察到约 0.5V 的压降，说明存储的值为 0，符合预期，表明读该 SRAM 读 0 功能正常。

综上，该 SRAM 的读写功能仿真均通过。



b. full IP 仿真

7 小结