

Cours d'électronique Numérique

Chapitre 3 : Circuits Combinatoires

Pr. A. LAHRECH

Année 2019-2020

1



Circuits Combinatoires



FPK

Filière SMI S3

Introduction

Demi-Additionneur/ Additionneur complet

Demi-soustracteur/ Soustracteur complet

Comparateur binaire

Multiplexeur/ Démultiplexeur

Encodeur / Décodeur

2



Circuits Combinatoires

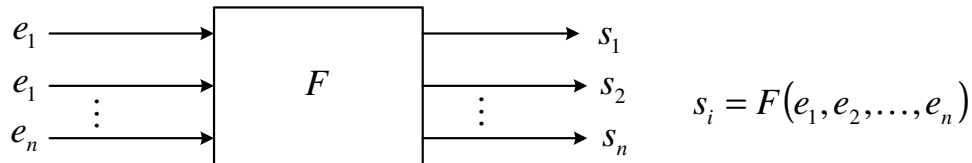


FPK

Filière SMI S3

Circuit Combinatoire

Un circuit combinatoire est un circuit dont l'état des sorties dépend uniquement de la combinaison d'état des entrées.



La conception d'un circuit combinatoire passe par les étapes suivantes

- ✚ Lecture et analyse du cahier des charges et définition des entres/sorties
- ✚ Ecriture sous forme canonique ou représentation par table de vérité
- ✚ Simplification des différentes sorties
- ✚ Synthèse ou portes logiques et réalisation du logigramme

3



Circuits Combinatoires

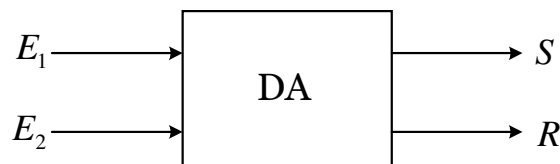


FPK

Filière SMI S3

demi additionneur (Half-Adder)

Un demi additionneur est un circuit combinatoire qui permet de réaliser l'addition de deux bits figurés par les variables E_1 et E_2 . Le résultat de l'addition est la variable S et éventuellement une retenue R (Carry).



Pour réaliser le schéma logique de ce circuit on doit dresser sa table de vérité.

En binaire l'addition sur un seul bit se fait de la manière suivante :

$$\begin{cases} 0 + 0 = 00 \\ 0 + 1 = 1 + 0 = 01 \\ 1 + 1 = 10 \end{cases}$$

4



Circuits Combinatoires



FPK

Filière SMI S3

• demi additionneur (Half-Adder)

La table de vérité associée :

E_1	E_2	R (MSB)	S (LSB)
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

Equation booléenne des sorties

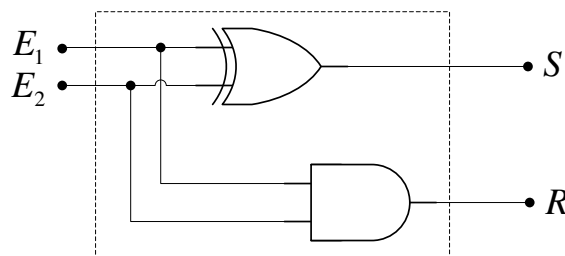
Les équations booléennes qui accompagnent cette table de vérité sont :

$$R = E_1 E_2 \Rightarrow \text{opérateur ET}$$

$$S = \bar{E}_1 E_2 + E_1 \bar{E}_2 = E_1 \oplus E_2$$

\Rightarrow opérateur OU Exclusif

Logigramme (Schéma logique) d'un demi additionneur



5



Circuits Combinatoires

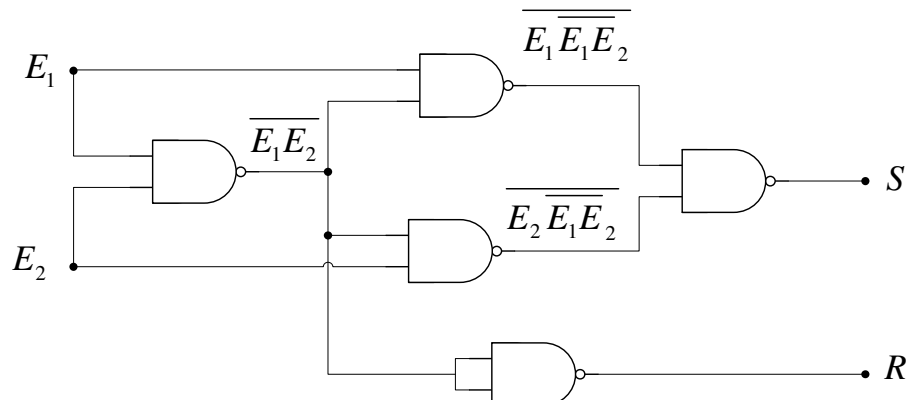


FPK

Filière SMI S3

• demi additionneur (Half-Adder)

Schéma logique à l'aide des portes NAND



Limitations

Un demi-additionneur ne peut réaliser l'addition de deux nombres à plusieurs bits. Pour éliminer cette difficulté, il faut un circuit à trois entrées : c'est un additionneur complet

6



Circuits Combinatoires



FPK

Filière SMI S3

additionneur complet (Full Adder)

Pour effectuer une addition de deux nombres binaires de n bits, on additionne successivement les bits du même poids en tenant compte de la retenue de l'addition précédente comme le montre l'exemple suivant :

$$\begin{array}{r}
 (r_{n-1}) \cdots (r_2) (r_1) (r_0) \quad \leftarrow \text{retenues} \\
 a_n \quad \cdots a_3 \quad a_2 \quad a_1 \quad a_0 \quad \leftarrow \text{nombre A} \\
 b_n \quad \cdots b_3 \quad b_2 \quad b_1 \quad b_0 \quad \leftarrow \text{nombre B} \\
 \hline
 s_n \quad \cdots s_3 \quad s_2 \quad s_1 \quad s_0 \quad \leftarrow \text{somme}
 \end{array}$$

Il faut donc concevoir un additionneur complet qui permet de réaliser l'addition des bits a_n et b_n en plus de la retenue r_{n-1} de l'addition précédente.

7



Circuits Combinatoires

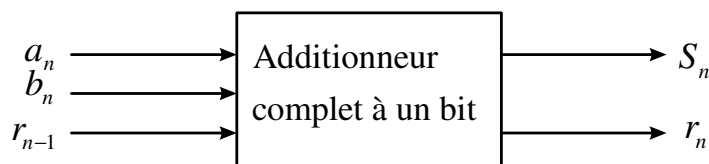


FPK

Filière SMI S3

additionneur complet à un bit

L'additionneur complet à un bit possède 3 entrées deux sorties :



Avec :

r_{n-1} : retenue entrante

r_n : retenue sortante

S_n : somme des bits a_n et b_n

Réalise l'addition des bits a_n et b_n en prenant en compte la retenue d'entrée r_{n-1} et en conservant la retenue de sortie r_n

8



Circuits Combinatoires



FPK

Filière SMI S3

additionneur complet à un bit

Table de vérité associée :

a_n	b_n	r_{n-1}	r_n	S_n
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Tables de Karnaugh

Table de la variable S_n

		$a_n b_n$			
		00	01	11	10
r_{n-1}	0	0	1	0	1
	1	1	0	1	0

Table de la variable r_n

		$a_n b_n$			
		00	01	11	10
r_{n-1}	0	0	0	1	0
	1	0	1	1	1

9



Circuits Combinatoires



FPK

Filière SMI S3

additionneur complet à un bit

Equation booléenne des sorties

À partir des tables de Karnaugh précédentes nous obtenons les équations booléennes suivantes

$$S_n = \bar{a}_n \bar{b}_n r_{n-1} + \bar{a}_n b_n \bar{r}_{n-1} + a_n \bar{b}_n \bar{r}_{n-1} + a_n b_n r_{n-1}$$

$$r_n = \bar{a}_n b_n r_{n-1} + a_n \bar{b}_n r_{n-1} + a_n b_n \bar{r}_{n-1} + a_n b_n r_{n-1}$$

La simplification des équations de sortie donne :

$$S_n = \bar{a}_n (\bar{b}_n r_{n-1} + b_n \bar{r}_{n-1}) + a_n (\bar{b}_n \bar{r}_{n-1} + b_n r_{n-1})$$

$$S_n = \bar{a}_n (b_n \oplus r_{n-1}) + a_n (\overline{b_n \oplus r_{n-1}}) = a_n \oplus b_n \oplus r_{n-1}$$

$$r_n = r_{n-1} (\bar{a}_n b_n + a_n \bar{b}_n) + a_n b_n (r_{n-1} + \bar{r}_{n-1}) = r_{n-1} (a_n \oplus b_n) + a_n b_n$$

La sortie S_n est réalisée par la mise en cascade de deux opérateurs OU exclusif

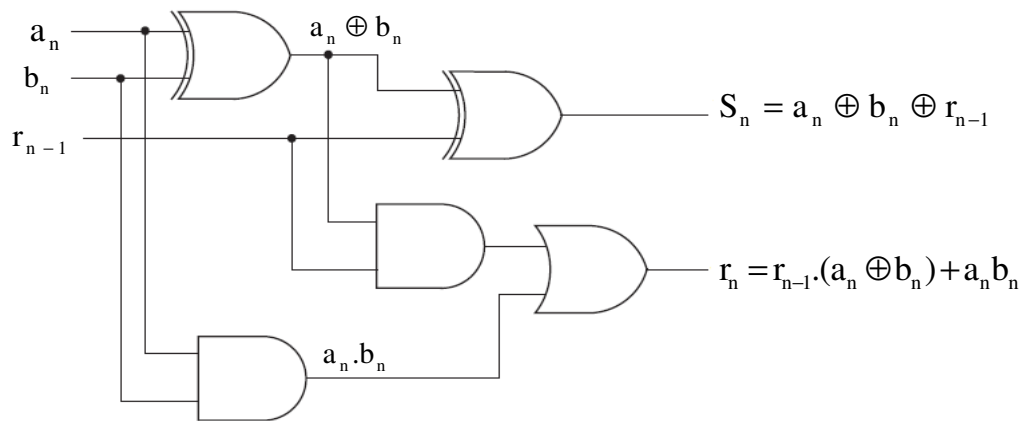
La sortie r_n nécessite les opérateurs : OU exclusif, OU et ET.

10



additionneur complet à un bit

Logigramme d'un Additionneur Complet à un bit



Exercice : Réaliser un additionneur complet à un bit en utilisant deux demi-additionneurs

11



additionneur complet à un bit

Réalisation d'un additionneur complet à un bit à l'aide de deux demi-additionneurs :

$$r_n = a_n b_n + r_{n-1} (a_n \oplus b_n)$$

$$S_n = a_n \oplus b_n \oplus r_{n-1}$$

Si on pose : $x = a_n \oplus b_n$ et $y = a_n b_n$

On obtient : $r_n = y + r_{n-1} \cdot x$ et $S_n = x \oplus r_{n-1}$

x et y sont les sorties du premier demi-additionneur ayant comme entrées a_n et b_n

Si on pose : $z = x \oplus r_{n-1}$ et $T = r_{n-1} \cdot x$

On obtient : $r_n = y + T$ et $S_n = z$

z et T sont les sorties du deuxième demi-additionneur ayant comme entrées x et r_{n-1}

12



Circuits Combinatoires

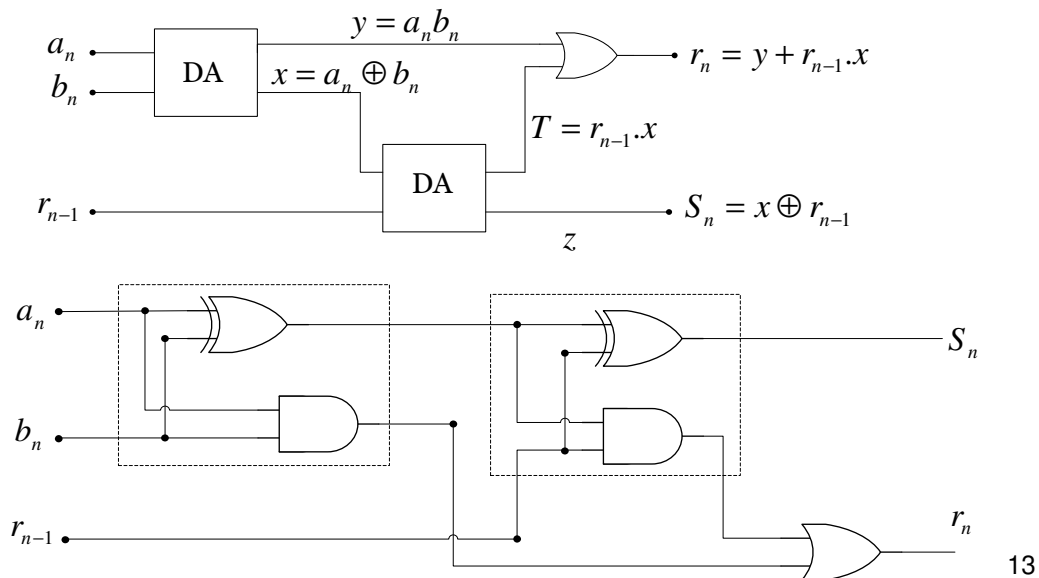


FPK

Filière SMI S3

additionneur complet à un bit

Réalisation d'un additionneur complet à un bit à l'aide de deux demi-additionneurs :



13



Circuits Combinatoires



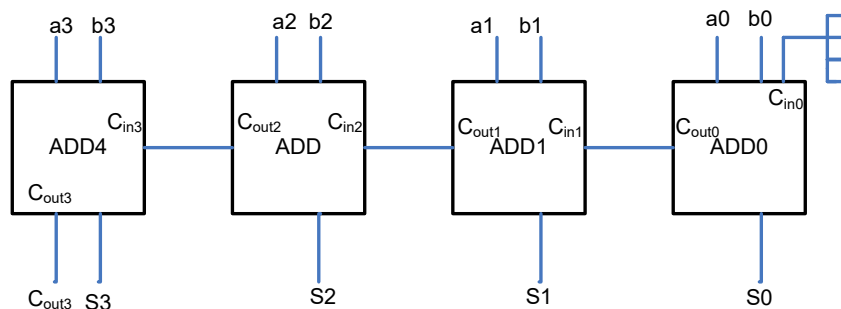
FPK

Filière SMI S3

Additionneur binaire à quatre bits

Un additionneur à 4 bits est un circuit qui permet de faire l'addition de deux nombres binaire A et B défini par 4 bits chacun : $A=(a_3a_2a_1a_0)$ et $B=(b_3b_2b_1b_0)$

Le calcul de la somme nécessite donc quatre additionneurs complets



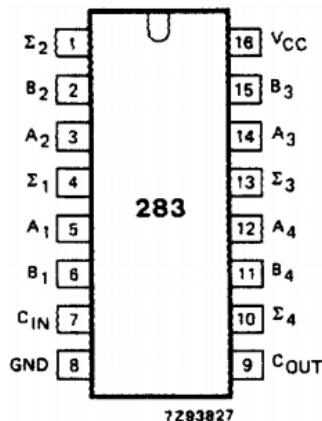
Réalisation sous ISIS

Réaliser sous ISIS un additionneur complet 4 bits à base des additionneurs complets 1 bits et relever sa table de vérité.

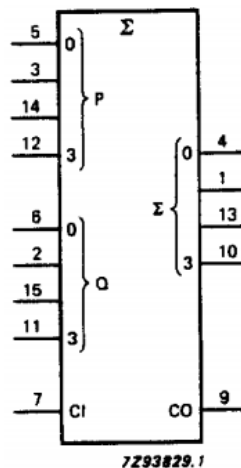
14

additionneur complet avec des circuits intégrés

Exemple de circuit intégré : l'additionneur 4 bits 74HC283



Brochage du circuit intégré 74HC283



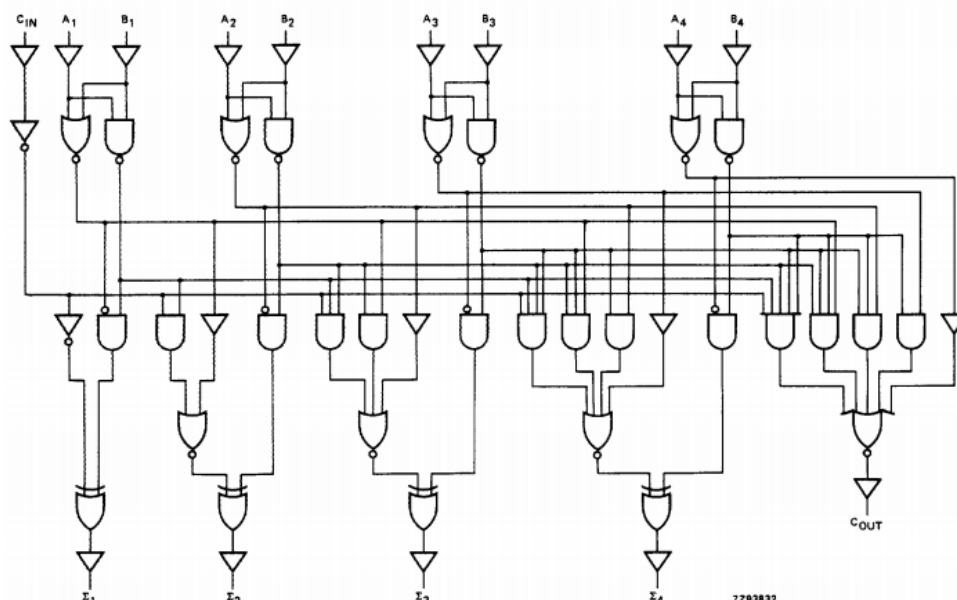
Symbole logique du circuit 74HC283

15

Réaliser sous ISIS un additionneur complet 4 bits à base du circuit intégré 7483 puis tester le montage.

additionneur complet avec des circuits intégrés

Schéma logique du circuit intégré 74HC283



16



Circuits Combinatoires



FPK

Filière SMI S3

demi soustracteur

Un demi soustracteur effectue la différence $D = E_2 - E_1$ de 2 bits E_1 et E_2 avec éventuellement, un report R

La table de vérité associée :

E_1	E_2	D	R
0	0	0	0
0	1	1	0
1	0	1	1
1	1	0	0

Equation booléenne des sorties

Les équations booléennes qui accompagnent cette table de vérité sont :

$$D = E_1 \bar{E}_2 - \bar{E}_1 E_2 = E_1 \oplus E_2$$

$$R = E_1 \bar{E}_2$$

17



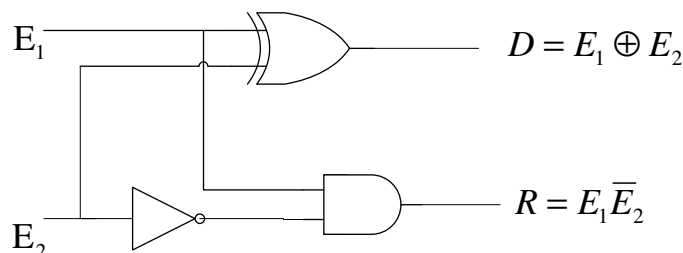
Circuits Combinatoires



FPK

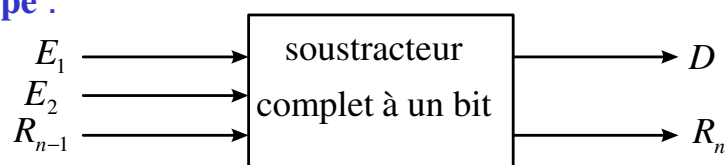
Filière SMI S3

Logigramme d'un demi-soustracteur



soustracteur complet à un bit (Full Subtractor)

Principe :



Les variables de sortie D et R_n correspondent au résultat de la différence des trois variables d'entrée : $E_2 - (E_1 + R_{n-1})$, la variable de sortie R_n étant toujours un éventuel report;



Circuits Combinatoires



FPK

Filière SMI S3

soustracteur complet à un bit (Full Subtractor)

La table de vérité associée :

E_1	E_2	R_{n-1}	D	R_n
0	0	0	0	0
0	0	1	1	1
0	1	0	1	0
0	1	1	0	0
1	0	0	1	1
1	0	1	0	1
1	1	0	0	0
1	1	1	1	1

Tables de Karnaugh

Table de la variable S_n

		$E_1 E_2$			
		00	01	11	10
R_{n-1}	0	0	1	0	1
	1	1	0	1	0

Table de la variable r_n

		$E_1 E_2$			
		00	01	11	10
R_{n-1}	0	0	0	0	1
	1	1	0	1	1

19



Circuits Combinatoires



FPK

Filière SMI S3

soustracteur complet à un bit (Full Subtractor)

Equation booléenne des sorties

Les équations booléennes qui accompagnent la table de vérité du soustracteur complet sont :

$$D = (E_1 \bar{E}_2 + \bar{E}_1 E_2) \bar{R}_{n-1} + (\bar{E}_1 \bar{E}_2 + E_1 E_2) R_{n-1}$$

et

$$R_n = E_1 \bar{E}_2 + (\bar{E}_1 \bar{E}_2 + E_1 E_2) R_{n-1}$$

Soit encore :

$$D = E_1 \oplus E_2 \oplus R_{n-1}$$

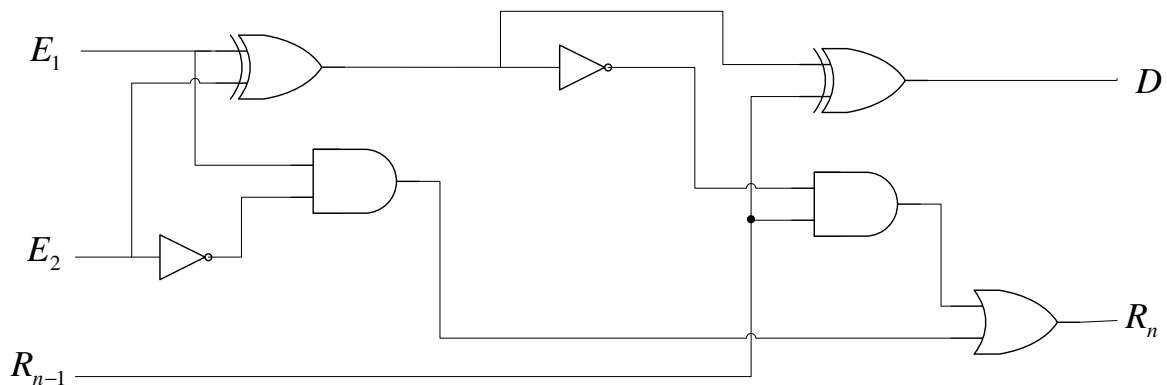
$$R_n = E_1 \bar{E}_2 + (\bar{E}_1 \oplus \bar{E}_2) R_{n-1}$$

20



🌐 soustracteur complet à un bit (Full Subtractor)

Réalisation d'un soustracteur complet à l'aide de deux demi-soustracteurs



21

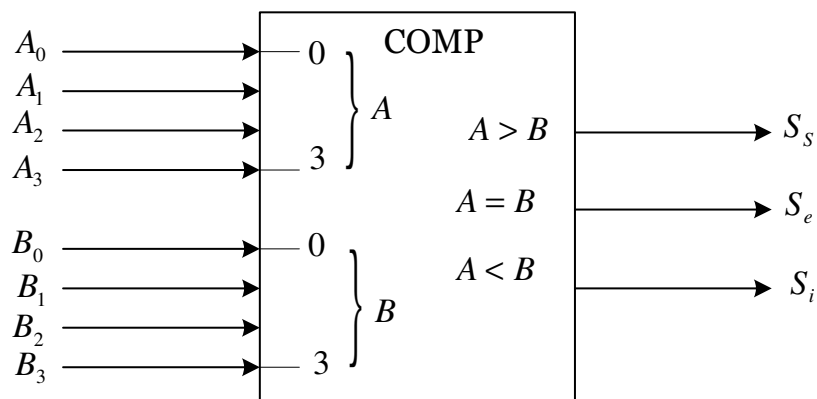


🌐 Comparateur binaire

Un comparateur binaire est un circuit combinatoire qui permet de comparer deux mots binaires généralement notés A et B.

Il possède 3 sorties qui indiquent le résultat de la comparaison :

- $A > B$
- $A < B$
- $A = B$



Les deux mots A et B doivent être codés de la même manière.

22



Circuits Combinatoires



FPK

Filière SMI S3

Comparateur binaire à un seul bit

Table de vérité du comparateur à un seul bit :

Entrées		Sorties		
A	B	$S_s: A > B$	$S_e: A = B$	$S_i: A < B$
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

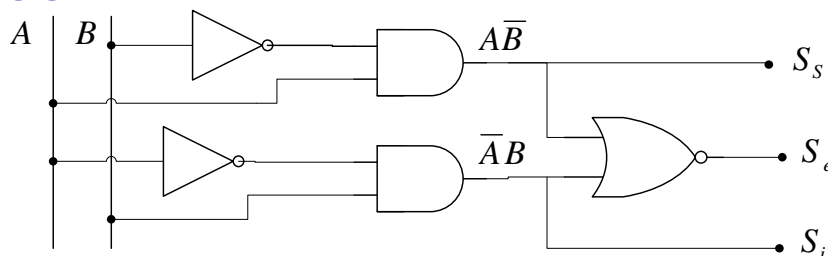
Equation booléenne des sorties

$$S_s = A \cdot \bar{B}$$

$$S_i = \bar{A} \cdot B$$

$$S_e = \bar{A} \bar{B} + AB = \overline{A \oplus B} = \overline{S_s + S_i}$$

Logigramme du comparateur à un seul bit



23



Circuits Combinatoires

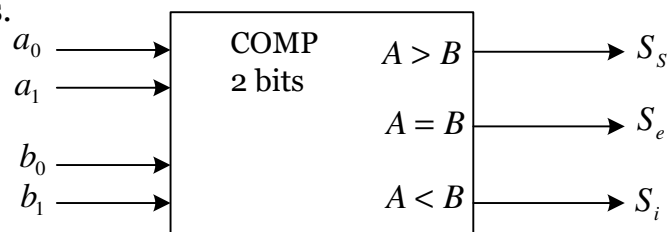


FPK

Filière SMI S3

Comparateur de 2 bits

Il permet de faire la comparaison entre deux nombres $A = (a_1 a_0)$ et $B = (b_1 b_0)$ chacun sur deux bits.



La démarche de comparaison est la suivante :

a_1, b_1	a_0, b_0	$A > B$	$A = B$	$A < B$
$a_1 > b_1$	\times	1	0	0
$a_1 < b_1$	\times	0	0	1
$a_1 = b_1$	$a_1 > b_1$	1	0	0
$a_1 = b_1$	$a_0 < b_0$	0	0	1
$a_1 = b_1$	$a_0 = b_0$	0	1	0

24



Circuits Combinatoires



FPK

Filière SMI S3

Comparateur de 2 bits (suite)

En se référant à la table de vérité suivante, on obtient les équations logiques des sorties

$$S_e = (a_1 \oplus b_1)(a_0 \oplus b_0)$$

$$S_s = a_1 \bar{b}_1 + a_0 \bar{b}_0 (a_1 \oplus b_1)$$

$$S_i = \bar{a}_1 b_1 + \bar{a}_0 b_0 (a_1 \oplus b_1)$$

a_1	a_0	b_1	b_0	S_s	S_e	S_i
0	0	0	0	0	1	0
0	0	0	1	0	0	1
0	0	1	0	0	0	1
0	0	1	1	0	0	1
0	1	0	0	1	0	0
0	1	0	1	0	1	0
0	1	1	0	0	0	1
0	1	1	1	0	0	1
1	0	0	0	1	0	0
1	0	0	1	1	0	0
1	0	1	0	0	1	0
1	0	1	1	0	0	1
1	1	0	0	1	0	0
1	1	0	1	1	0	0
1	1	1	0	1	0	0
1	1	1	1	0	1	0



Circuits Combinatoires

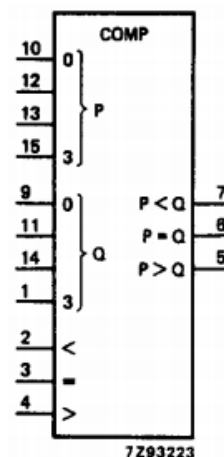
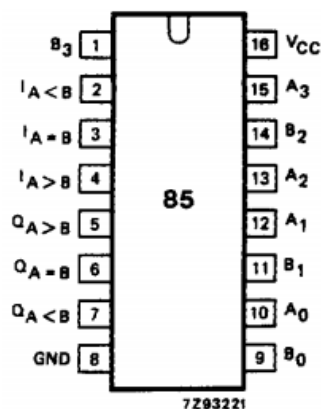


FPK

Filière SMI S3

Comparateur 4 bits avec des circuits intégrés

Exemple de circuit intégré : le comparateur de 4 bits 74HC85



Brochage du circuit intégré 74HC283

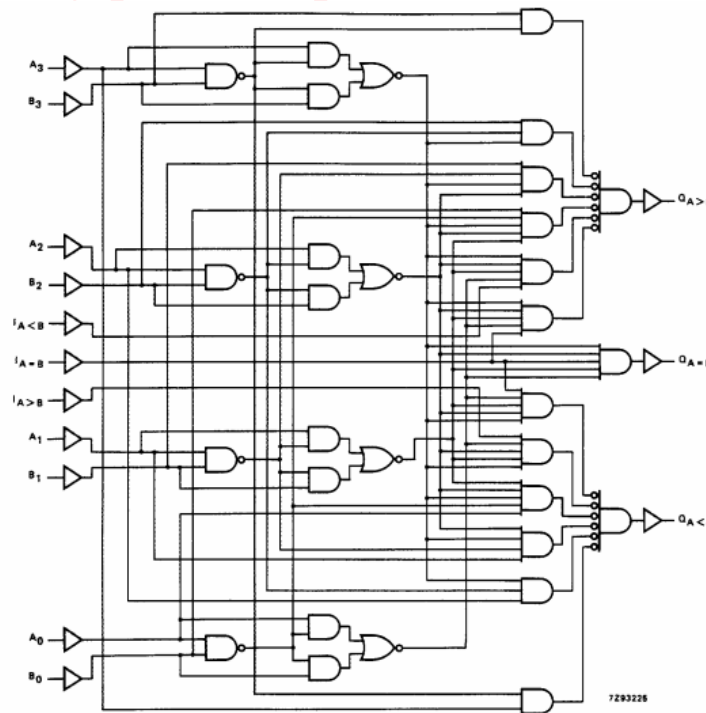
Symbole logique du circuit 74HC283

26

Ce circuit dispose de 3 entrées notées $A = B$, $A > B$ et $A < B$ qui autorisent la mise en cascade de plusieurs circuits comparateurs du même type.

On peut ainsi comparer des nombres de 8, 12, 16 bits

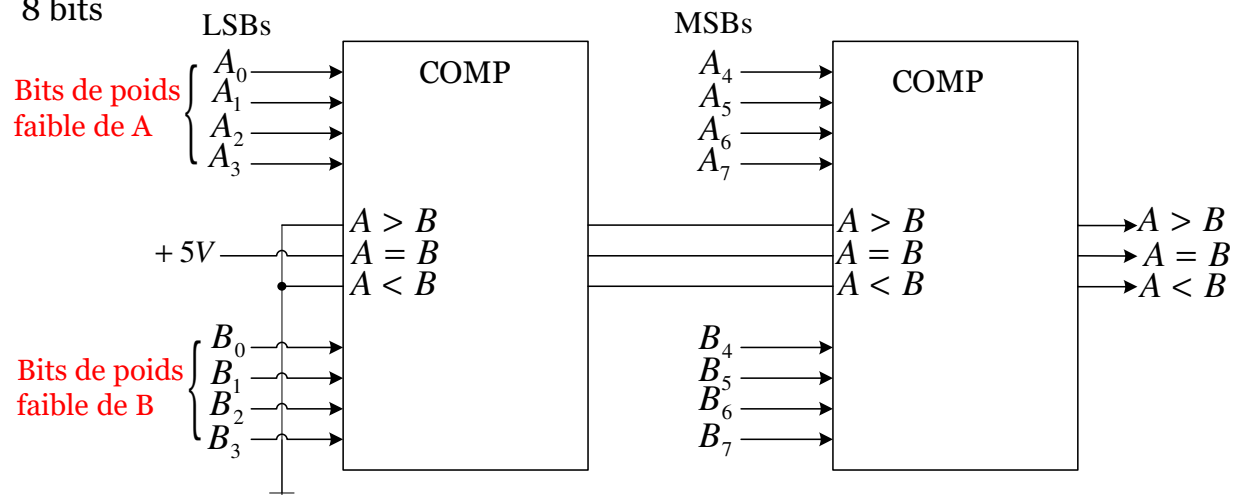
● Schéma logique du comparateur à circuit intégrés : 74HC85



27

● Comparateur 8 bits

En mettant en série deux comparateurs 7485, on peut comparer deux nombres de 8 bits



Le premier circuit compare les poids faibles de **A** avec le poids faibles de **B**. Le résultat de cette comparaison est transmis aux entrées $A < B$, $A = B$ et $A > B$ du deuxième circuit.

28



Circuits Combinatoires



FPK

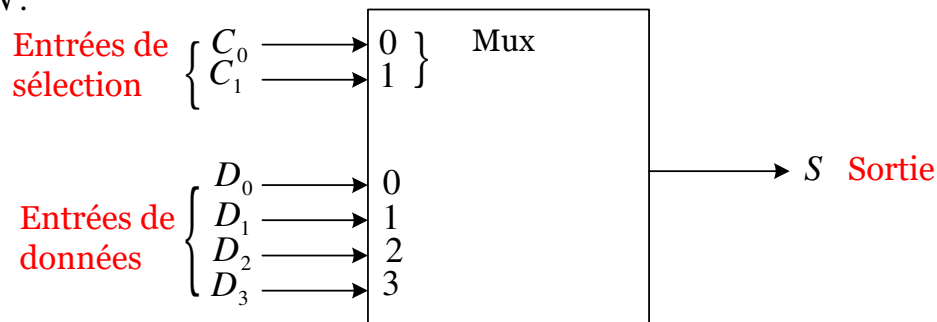
Filière SMI S3

● Multiplexeur (Mux)

Un multiplexeur agit comme un interrupteur à pôle multiples. Il sélectionne une entrée choisie parmi Les N du circuit pour la faire apparaître à la sortie.

La sélection de l'entrée se fait par des lignes d'adressages (ou de sélection) qui répondent à un code binaire.

Un multiplexeur à N entrées de données exigerait n entrées de sélection avec $2^n = N$.



Ils existent des multiplexeurs à 2 entrées de données , 4 entrées de données, 8 entrées de données, 16 entrées de données , etc.

29



Circuits Combinatoires



FPK

Filière SMI S3

● Multiplexeur à deux entrées de données

C'est un multiplexeur à deux entrée de données, donc à une entrée de sélection C

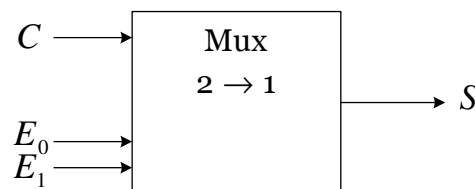


Table de vérité associée :

C	E_0	E_1	S
0			E_0
1			E_1

L'équation logique associée :

$$S = E_0 \bar{C} + E_1 C$$

✚ Lorsque $C = 0 \Rightarrow S = E_0$ et ceci quelle que soit l'entrée E_1

✚ Lorsque $C = 1 \Rightarrow S = E_1$ et ceci quelle que soit l'entrée E_0

30

● Multiplexeur à quatre entrées de données

C'est un multiplexeur à quatre entrées de données, donc à deux entrées de sélection.

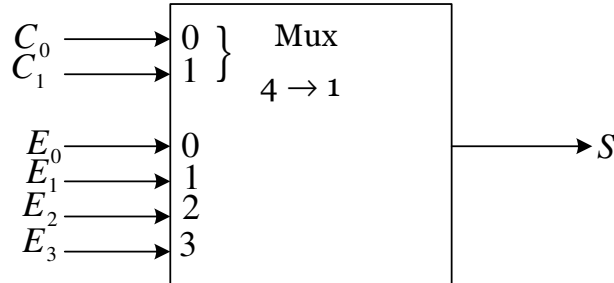


Table de vérité associée :

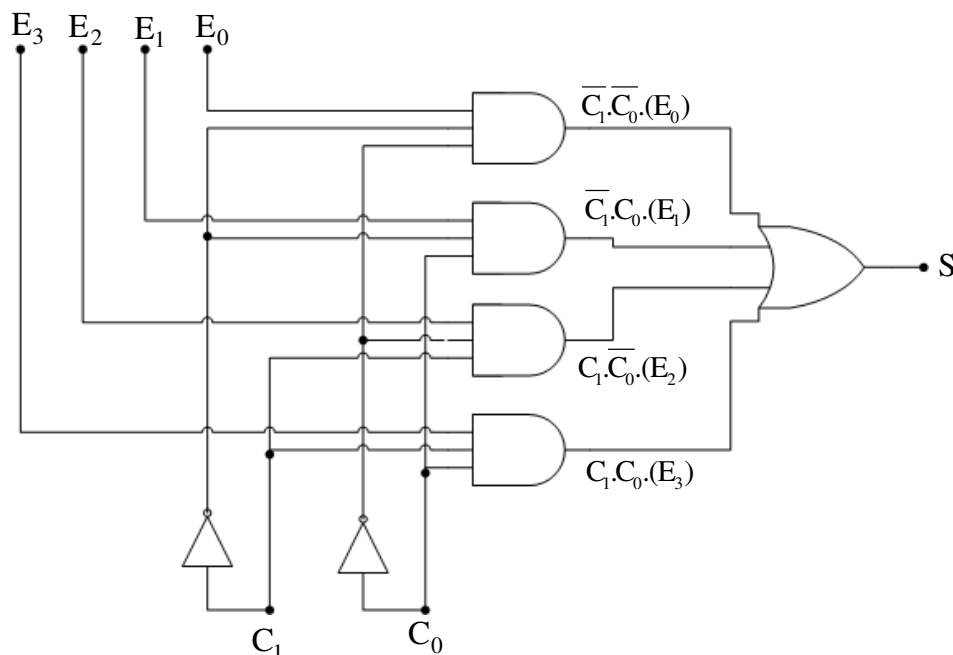
Entrées de sélection		Entrée sélectionnée
C ₁	C ₀	S
0	0	E ₀
0	1	E ₁
1	0	E ₂
1	1	E ₃

L'équation logique associée :

$$S = \overline{C_1} \overline{C_0} E_0 + \overline{C_1} C_0 E_1 + C_1 \overline{C_0} E_2 + C_1 C_0 E_3$$

31

● Schéma logique du multiplexeur à 4 entrées de données



32



Circuits Combinatoires



FPK

Filière SMI S3

Multiplexeur 8 bits vers 1

C'est un multiplexeur à 8 entrées de données, donc à 3 entrées de sélections

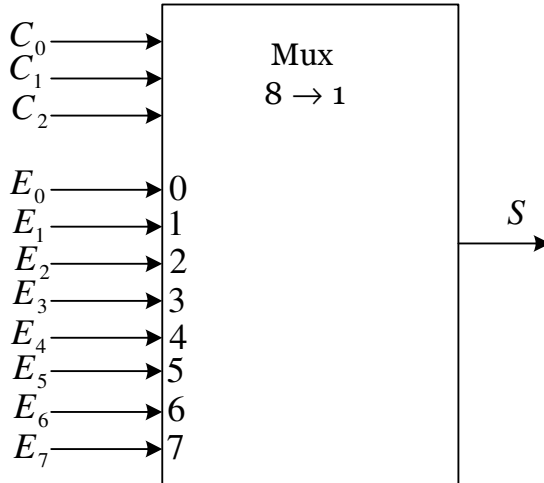


Table de vérité associée :

C_2	C_1	C_0	S
0	0	0	E_0
0	0	1	E_1
0	1	0	E_2
0	1	1	E_3
1	0	0	E_4
1	0	1	E_5
1	1	0	E_6
1	1	1	E_7

$$S = \overline{C_2}\overline{C_1}\overline{C_0}E_0 + \overline{C_2}\overline{C_1}C_0E_1 + \overline{C_2}C_1\overline{C_0}E_2 + \overline{C_2}C_1C_0E_3 + C_2\overline{C_1}\overline{C_0}E_4 + C_2\overline{C_1}C_0E_5 + C_2C_1\overline{C_0}E_6 + C_2C_1C_0E_7$$

33



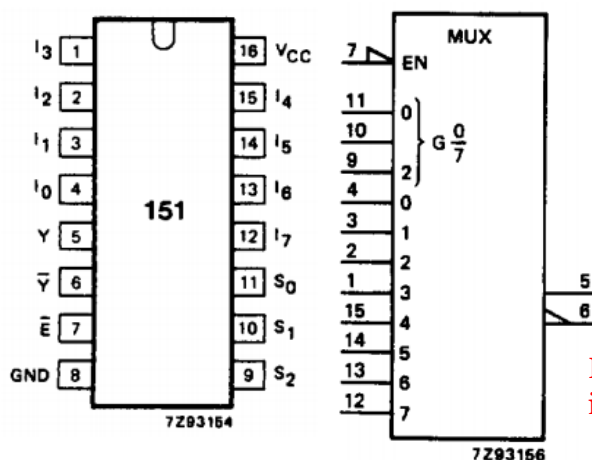
Circuits Combinatoires



FPK

Filière SMI S3

Multiplexeur 8 vers 1 à circuits intégrés : 74HC151



PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
4, 3, 2, 1, 15, 14, 13, 12	I_0 to I_7	multiplexer inputs
5	Y	multiplexer output
6	\overline{Y}	complementary multiplexer output
7	\overline{E}	enable input (active LOW)
8	GND	ground (0 V)
11, 10, 9	S_0, S_1, S_2	select inputs
16	V_{CC}	positive supply voltage

Brochage et symbole du circuit intégré 74HC151

EN est une entrée supplémentaire dite de validation, elle permet :

- lorsqu'elle est mise à l'état 0, de faire apparaître à la sortie l'état de la l'entrée correspondant à l'adresse sélectionnée;
- lorsqu'elle est mise à l'état 1, d'imposer un zéro à la sortie quelle que soit l'entrée sélectionnée.

34



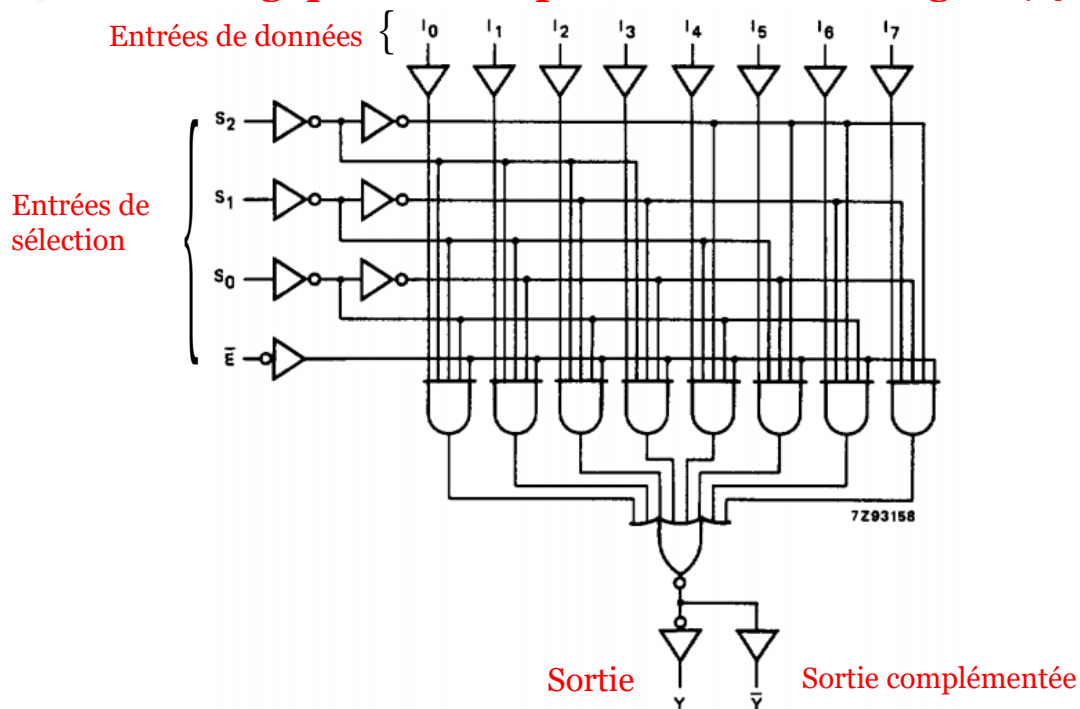
Circuits Combinatoires



FPK

Filière SMI S3

● Schéma logique du Multiplexeur à circuit intégré : 74HC151



35



Circuits Combinatoires



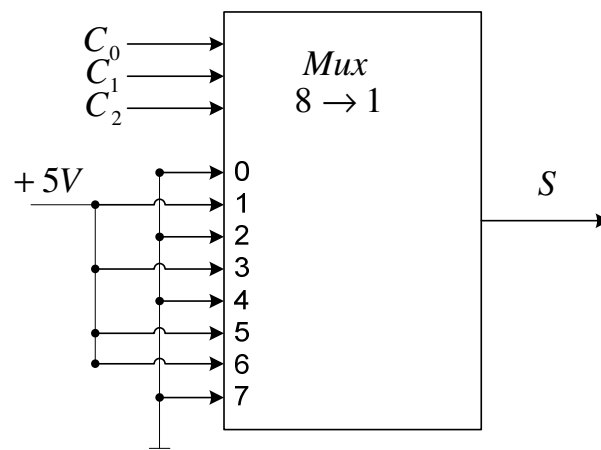
FPK

Filière SMI S3

● Multiplexeur 8 vers 1 à circuits intégrés : 74HC151

Réaliser la fonction logique spécifiée dans le tableau ci-dessous en utilisant uniquement un multiplexeur 8 vers 1 à base du circuit 74HC151 .

C_2	C_1	C_0		S
0	0	0		0
0	0	1		1
0	1	0		0
0	1	1		1
1	0	0		0
1	0	1		1
1	1	0		1
1	1	1		0



Réaliser ce schéma sous Isis et vérifier sa table de vérité

$$S = \bar{C}_2 \bar{C}_1 C_0 + \bar{C}_2 C_1 C_0 + C_2 \bar{C}_1 C_0 + C_2 C_1 \bar{C}_0$$

36

⚙️ Démultiplexeurs (DEMUX)

Le démultiplexeur permet de distribuer l'information présente à l'entrée vers l'une des 2^n sorties. La sélection de la sortie se fait à l'aide de n lignes d'adressage.

⚙️ Démultiplexeurs 1 vers 2 (DEMUX 1 vers 2)

DEMUX 1 → 2

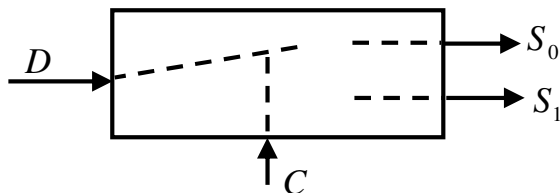


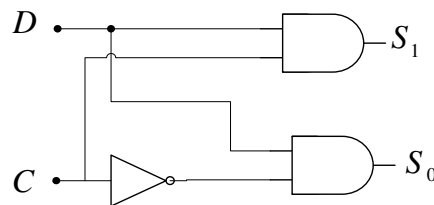
Table de vérité associée :

C	S_0	S_1
0	D	0
1	0	D

$$\begin{aligned} S_0 &= D\bar{C} \\ S_1 &= DC \end{aligned}$$

Les équations logiques associées aux sorties sont :

Schéma logique du DEMUX à deux sortie



37

⚙️ Démultiplexeurs 1 vers 4 (DEMUX 1 vers 4)

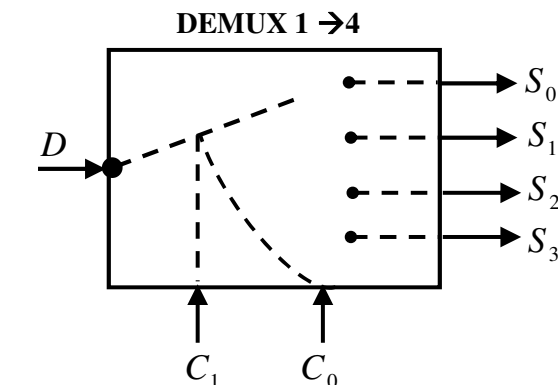
C'est un démultiplexeur à 4 sorties de données donc à deux entrées d'adressage.

Table de vérité associée :

C_1	C_0	S_3	S_2	S_1	S_0
0	0	0	0	0	D
0	1	0	0	D	0
1	0	0	D	0	0
1	1	D	0	0	0

$$\begin{aligned} S_0 &= \bar{C}_1 \bar{C}_0 D \\ S_1 &= \bar{C}_1 C_0 D \end{aligned}$$

$$\begin{aligned} S_2 &= C_1 \bar{C}_0 D \\ S_3 &= C_1 C_0 D \end{aligned}$$



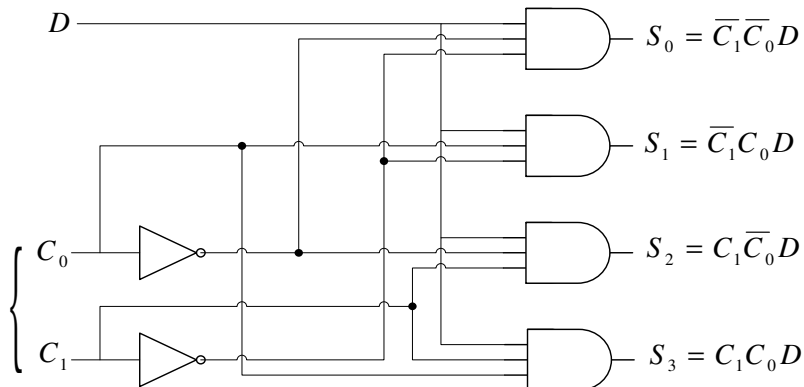
✚ la combinaison $C_1 C_0 = 00$ permet de sélectionner la sortie S_0 ; l'entrée D est orientée vers la sortie S_0 .

✚ la combinaison $C_1 C_0 = 01$ permet de sélectionner la sortie S_1 ; l'entrée est orientée vers la sortie S_1 .

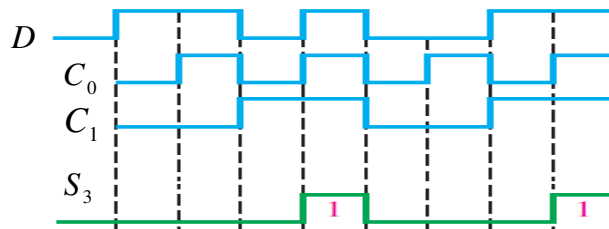
✚ etc.

38

⚙ Schéma logique du démultiplexeurs 1 vers 4



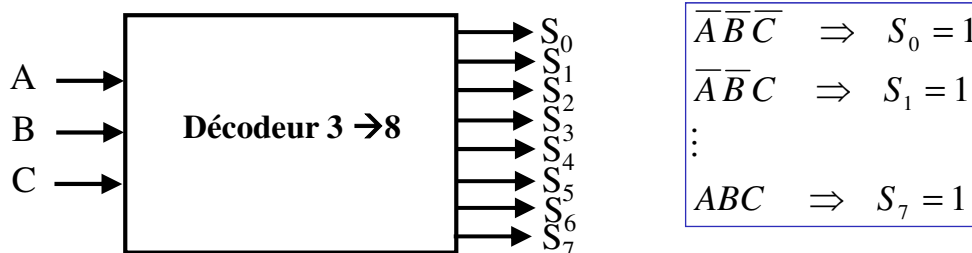
Application : compléter le chronogramme de la sortie S_3 :



39

⚙ Les Décodeurs

Un décodeur n vers N est un circuit possédant n entrées et $N = 2^n$ sorties. Il active la sortie dont le numéro est donné en binaire sur ses entrées. Deux sorties ne peuvent donc être à l'état 1 en même temps.



Remarque : Certains décodeurs présentent une ou plusieurs entrées de validation; par exemple, une entrée de validation au niveau 1 permet au décodeur de fonctionner normalement; si elle est au niveau 0 le décodeur est bloqué au niveau 0 (toutes les sorties sont à l'état 0)

40



Circuits Combinatoires

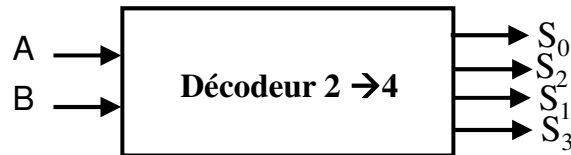


FPK

Filière SMI S3

● Décodeur binaire 2 vers 4

Aux deux variables d'entrée E_0, E_1 , ce décodeur fait correspondre quatre variables de sortie S_0, S_1, S_2, S_3



Sa table de vérité est la suivante :

B	A	S_0	S_1	S_2	S_3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

A cette table on associe les équations logiques :

$$\begin{aligned}\overline{A}\overline{B} &\Rightarrow S_0 = 1 \\ \overline{A}B &\Rightarrow S_1 = 1 \\ A\overline{B} &\Rightarrow S_2 = 1 \\ AB &\Rightarrow S_3 = 1\end{aligned}$$

41



Circuits Combinatoires

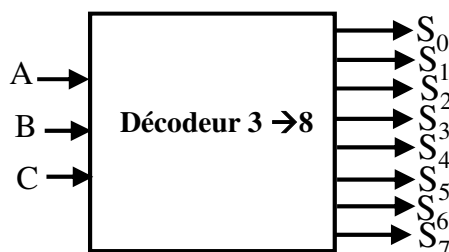


FPK

Filière SMI S3

● Décodeur à trois entrées binaires (3 vers 8)

Aux trois variables d'entrée A, B, C ce décodeur fait correspondre 8 variables de sortie $S_0, S_1, S_2, S_3, S_4, S_5, S_6, S_7$



Sa table de vérité est la suivante :

A	B	C	S_0	S_1	S_2	S_3	S_4	S_5	S_6	S_7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

$$\begin{aligned}S_0 &= \overline{A}\overline{B}\overline{C} \\ S_1 &= \overline{A}\overline{B}C \\ S_2 &= \overline{A}B\overline{C} \\ S_3 &= \overline{A}BC\end{aligned}$$

$$\begin{aligned}S_4 &= A\overline{B}\overline{C} \\ S_5 &= A\overline{B}C \\ S_6 &= AB\overline{C} \\ S_7 &= ABC\end{aligned}$$

42



Circuits Combinatoires

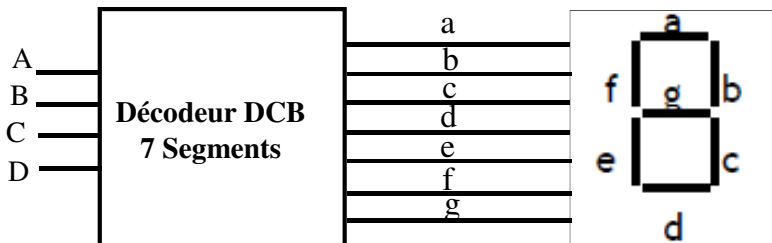


FPK

Filière SMI S3

● Décodeur DCB-afficheur à sept segments

Ce type de décodeur permet de convertir un code BCD 4 bits à l'entrée pour obtenir à la sortie un code permettant de représenter dix chiffres (de 0 à 9) et des lettres de l'alphabet. Ces symboles sont dessinés au moyen de sept segments lumineux qui sont des diodes électroluminescentes .



Exemple d'un afficheur à anodes communes

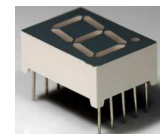
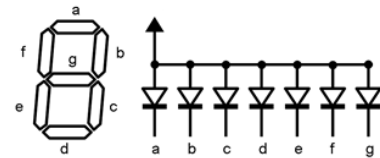


Table d'affichage

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15

Exemple : pour afficher le chiffre 6 (selon les indications de la table d' affichage) il faut éteindre les segments **a** et **b**, les autres étant allumés.

43



Circuits Combinatoires



FPK

Filière SMI S3

● Décodeur DCB-afficheur à sept segments (2)

Pour établir le schéma logique, la table de vérité est écrite en affectant le niveau 1 à chaque segment allumé, le niveau 0 à chaque segment éteint, d'où la table de vérité pour chacun des segments.

Chiffre decimal	Entrées					Sorties							Afficheur 7-segment
	D	C	B	A		a	b	c	d	e	f	g	
0	0	0	0	0		1	1	1	1	1	1	0	0 1 2 3 4 5 6 7 8 9
1	0	0	0	1		0	1	1	0	0	0	0	
2	0	0	1	0		1	1	0	1	1	0	1	
3	0	0	1	1		1	1	1	1	0	0	1	
4	0	1	0	0		0	1	1	0	0	1	1	
5	0	1	0	1		1	0	1	1	0	1	1	
6	0	1	1	0		0	0	1	1	1	1	1	
7	0	1	1	1		1	1	1	0	0	0	0	
8	1	0	0	0		1	1	1	1	1	1	1	
9	1	0	0	1		1	1	1	1	0	1	1	

44



Circuits Combinatoires



FPK

Filière SMI S3

● Décodeur DCB-afficheur à sept segments (3)

Équations logiques associée :

Pour écrire les équations logiques de ce décodeur, il faut construire les tables de Karnaugh correspondant à tous les segments. Il y en a donc sept. Dans ces tables, les 0 étant moins nombreux que les 1, il est préférable d'établir les équations correspondant à l'extinction des segments.

Table de Karnaugh du segment **b**

b		BA			
		00	01	11	10
DC	00	1	1	1	1
	01	1	0	1	0
	11	x	x	x	x
	10	1	1	x	x

$$\bar{b} = A\bar{B}C + \bar{A}BC$$

45



Circuits Combinatoires

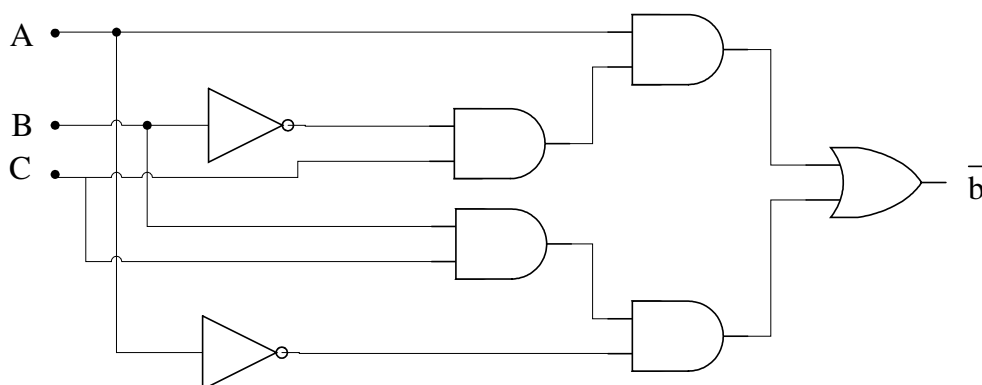


FPK

Filière SMI S3

● Décodeur DCB-afficheur à sept segments (4)

Logigramme du segment b



Élément d'un décodeur 7 segments commandant l'affichage du segment b

46



Circuits Combinatoires



FPK

Filière SMI S3

● Décodeur DCB-afficheur à sept segments (5)

Équations logiques associée au décodeur DCB 7 segments :

$$\bar{a} = A\bar{B}\bar{C}\bar{D} + \bar{A}C$$

$$\bar{b} = A\bar{B}C + \bar{A}BC$$

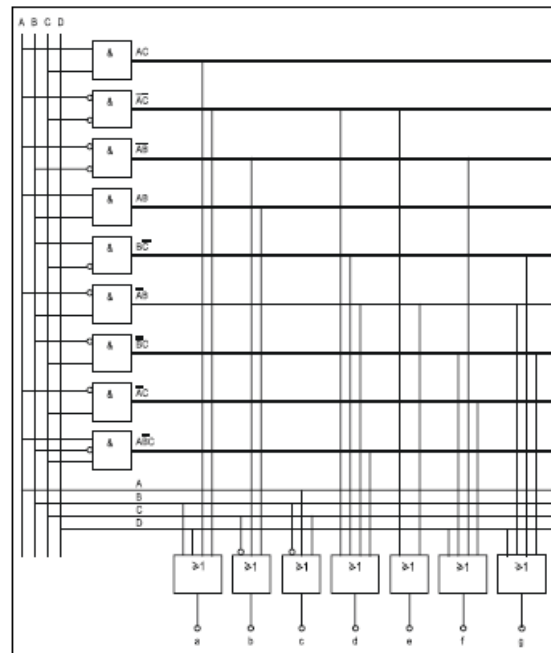
$$\bar{c} = \bar{A}B\bar{C}$$

$$\bar{d} = \bar{A}\bar{B}C + ABC + A\bar{B}\bar{C}$$

$$\bar{e} = A + \bar{B}C$$

$$\bar{f} = A\bar{C}\bar{D} + AB + BC$$

$$\bar{g} = \bar{B}\bar{C}\bar{D} + ABC$$



Circuits Combinatoires

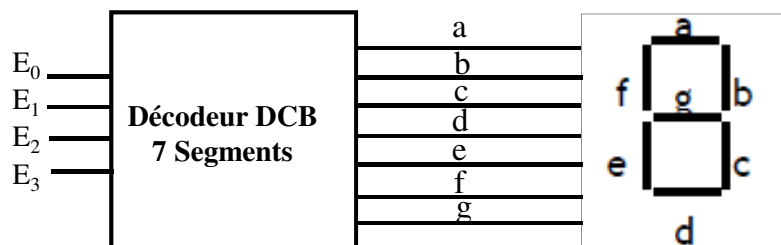


FPK

Filière SMI S3

● Exemple

On considère un afficheur sept segments :



Un chiffre décimal est fourni à l'afficheur sous son code DCB (quatre bits

$E_3E_2E_1E_0$). On désigne par a, b, c, d, e, f, g les sept fonctions logiques valant 0 lorsque le segment correspondant est allumé, 1 sinon.

✚ Concevoir un circuit logique commandant le segment f à partir des $E_3E_2E_1E_0$ et de leurs compléments en n'utilisant que des portes NAND.

✚ Réaliser le schéma sous ISIS et tester le montage.

Questions ?