

Travaux Dirigés d'électronique Numérique

Correction de la série n°4

Exercice 1 :

On considère un afficheur sept segments (Fig.1) :

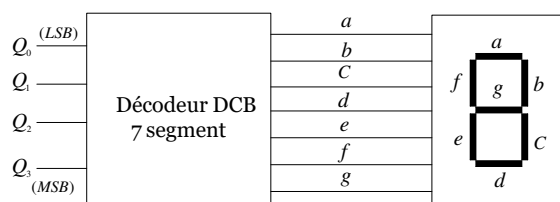


Fig. 1

Un chiffre décimal est fourni à l'afficheur sous son code DCB (quatre bits $Q_3Q_2Q_1Q_0$). On désigne par a, b, c, d, e, f, g les sept fonctions logiques valant 0 lorsque le segment correspondant est allumé, 1 sinon.

1. Dresser la table de vérité du décodeur *DCB-7* segments commandant le segment f .
2. A l'aide du tableau de Karnaugh déterminer l'expression simplifiée de la sortie f
3. Représenter le schéma logique du segment f en n'utilisant que des portes NAND.

Solution :

1. Table de vérité de la fonction f .

La table de vérité est écrite en affectant le niveau 0 au segment f allumé, 1 sinon, d'où la table de vérité :

Entrées				Afficheur 7 segment	Sortie f
Q_3	Q_2	Q_1	Q_0		
0	0	0	0	0	0
0	0	0	1	1	1
0	0	1	0	2	1
0	0	1	1	3	1
0	1	0	0	4	0
0	1	0	1	5	0
0	1	1	0	6	0
0	1	1	1	7	1
1	0	0	0	8	0
1	0	0	1	9	0
1	0	1	0		×
1	0	1	1		×
1	1	0	0		×
1	1	0	1		×
1	1	1	0		×
1	1	1	1		×

Fig. 2

$f = 0$ si le chiffre est 0, 4, 5, 6, 8, 9 (segment allumé)

$f = 1$ si le chiffre est 1, 3, 7, 2 (segment éteint)

Les combinaisons $(Q_3 \cdot \overline{Q_2} \cdot Q_1 \cdot \overline{Q_0})$; $(Q_3 \cdot \overline{Q_2} \cdot Q_1 \cdot Q_0)$, ..., $(Q_3 \cdot Q_2 \cdot Q_1 \cdot Q_0)$ ne sont pas spécifiées. On peut leur affecter la valeur (0 ou 1) qui permet des simplifications

2. Expression simplifiée de la fonction logique f

La table de Karnaugh correspondant au segment f est :

		$Q_1 \cdot Q_0$			
f		$\overline{Q_1} \cdot \overline{Q_0}$	$\overline{Q_1} \cdot Q_0$	$Q_1 \cdot \overline{Q_0}$	$Q_1 \cdot Q_0$
	$\overline{Q_3} \cdot \overline{Q_2}$	0	1	1	1
	$\overline{Q_3} \cdot Q_2$	0	0	1	0
	$Q_3 \cdot \overline{Q_2}$	\times	\times	$\times = 1$	\times
	$Q_3 \cdot Q_2$	0	0	$\times = 1$	$\times = 1$

Fig. 3

On obtient finalement :

$$F = Q_1 \cdot Q_0 + \overline{Q_3} \cdot \overline{Q_2} \cdot Q_0 + Q_1 \overline{Q_2}$$

3. Réalisation de la fonction f à l'aide des portes NAND :

On double complémente l'équation logique, puis on applique le théorème de De Morgan

$$\begin{aligned}
 f &= \overline{\overline{f}} = \overline{\overline{Q_1 \cdot Q_0 + \overline{Q_3} \cdot \overline{Q_2} \cdot Q_0 + Q_1 \overline{Q_2}}} \\
 &= \overline{(Q_1 \cdot Q_0) \cdot (\overline{Q_3} \cdot \overline{Q_2} \cdot Q_0) \cdot (Q_1 \overline{Q_2})}
 \end{aligned}$$

d'où le schéma logique du segment f

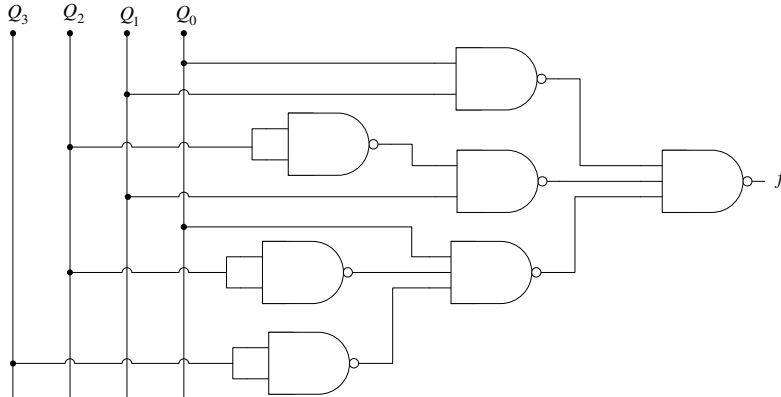


Fig. 4

Exercice 2 :

1. Donner l'équation de la fonction logique F réalisée par le multiplexeur représenté sur la Figure 5

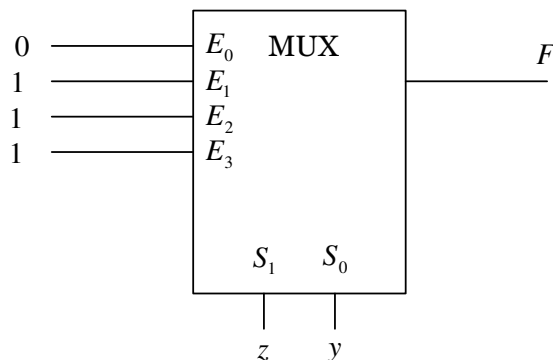


Fig. 5

2. A l'aide d'un multiplexeur à 2 entrées d'adresses, réaliser la fonction :

$$F = \overline{A}.\overline{B}.\overline{C} + A.B.\overline{C} + \overline{A}.B.C$$

Solution :

1. Table de vérité associée au multiplexeur à 2 entrées d'adresses :

$S_1 = z$	$S_0 = y$	Entrée	F
0	0	E_0	0
0	1	E_1	1
1	0	E_2	1
1	1	E_3	1

La fonction logique réalisée par le multiplexeur s'écrit donc :

$$F = y.\overline{z} + \overline{y}.z + yz$$

2. A l'aide d'un multiplexeur à 2 entrées d'adresses, réaliser la fonction suivante :

$$F = \overline{A}.\overline{B}.\overline{C} + A.B.\overline{C} + \overline{A}.B.C$$

Le nombre de variables est égal à 3, une de plus que les entrées de sélection ($S_1 S_0$) et la troisième sera branchée en entrée de données du multiplexeur.

Plusieurs solutions sont possibles, on peut choisir par exemple $A = S_0$ et $B = S_1$.

On en déduit la table de vérité suivante :

Fonction	$S_1 = B$	$S_0 = A$	F	Entrée
$\overline{A.B.C}$	0	0	\overline{C}	E_0
	0	1	0	E_1
$\overline{A}.B.C$	1	0	C	E_2
$A.B.\overline{C}$	1	1	\overline{C}	E_3

Ce qui donne le schéma suivant :

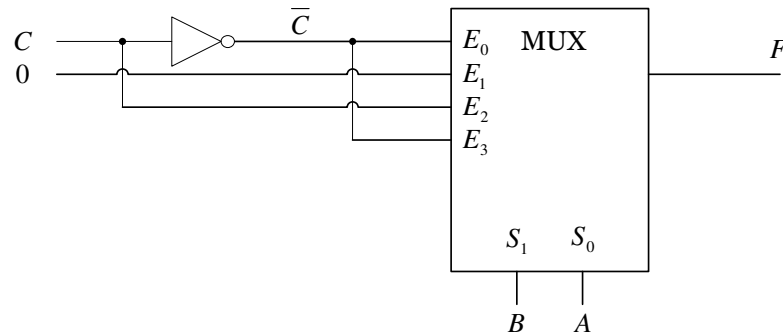


Fig. 6

Exercice 3 :

Déterminer la forme d'onde de Q pour la bascule de la figure 8, en supposant qu'au début $Q = 0$.

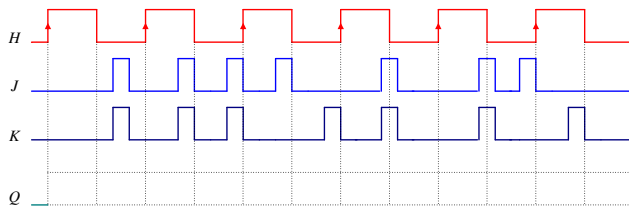


Fig. 7

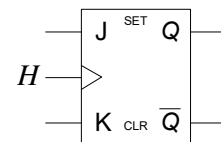


Fig. 8

Solution :

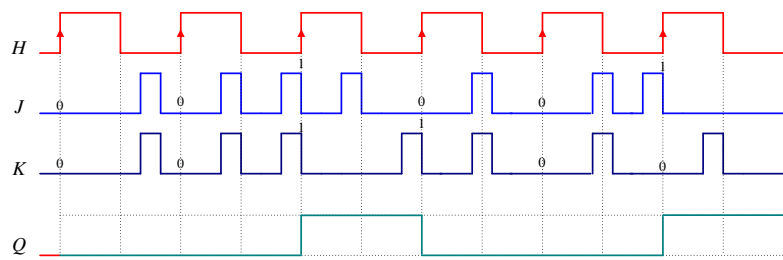


Fig. 9

Exercice 4 :

Déterminer la forme d'onde de Q pour la bascule de la figure 11, en supposant qu'au début $Q = 0$.

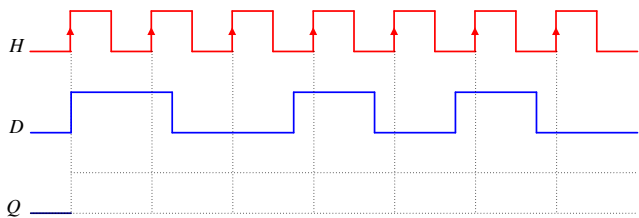


Fig. 10

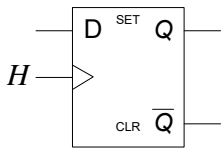


Fig. 11

Solution :

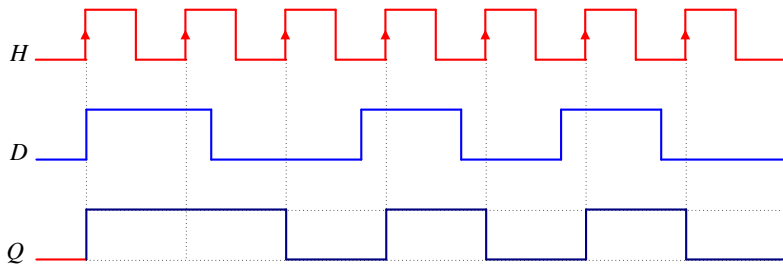


Fig. 12

Exercice 5 :

Dessinez la forme d'onde Q pour chacune des bascules de la figure 13, en supposant qu'au début $Q = 0$.

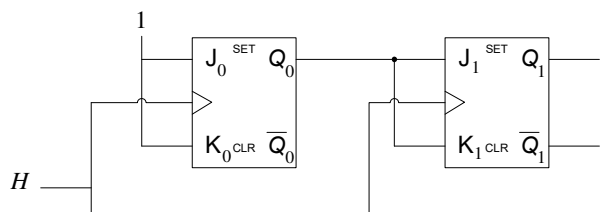


Fig. 13

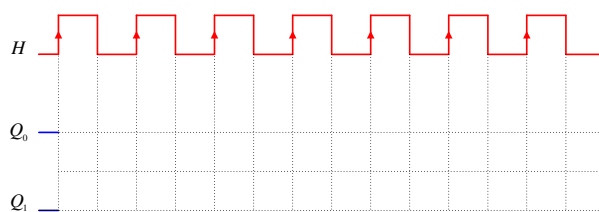


Fig. 14

Solution :

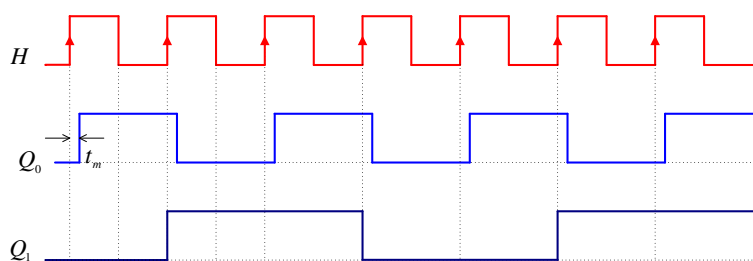


Fig. 15

Exercice 6 :

On considère le circuit de la figure 16 réalisé avec une bascule RS asynchrone à base de portes NAND

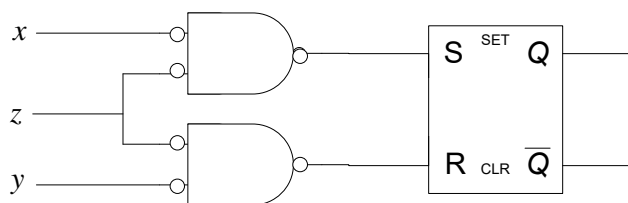


Fig. 16

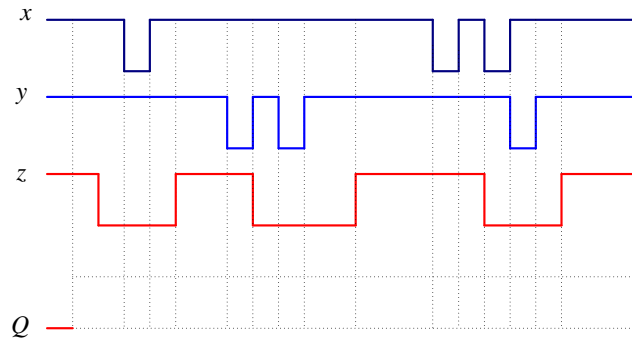


Fig. 17

1. Rappeler la table de vérité d'une bascule RS asynchrone à base de portes NAND
2. Donner les expressions logiques des entrées R et S de la bascule RS .
3. Compléter le chronogramme de la figure 17

Solution :

1. Table de vérité d'une bascule RS asynchrone à base de portes NAND

R	S	Q_{n+1}	$\overline{Q_{n+1}}$	
0	0	1	1	"Interdit"
0	1	1	0	Set
1	0	0	1	Reset
1	1	Q_n	$\overline{Q_n}$	Mémoire

2. Expressions logiques des entrées R et S .

Sur le schéma on lit directement :

$$S = \overline{\overline{x}.\overline{z}} = x + z$$

$$R = \overline{\overline{z}.\overline{y}} = z + y$$

3. Forme d'onde de Q

x	y	z	S	R	Q_{n+1}
0	0	0	0	0	"Interdit"
0	0	1	1	1	Q_n
0	1	0	0	1	0
0	1	1	1	1	Q_n
1	0	0	1	0	1
1	0	1	1	1	Q_n
1	1	0	1	1	Q_n
1	1	1	1	1	Q_n

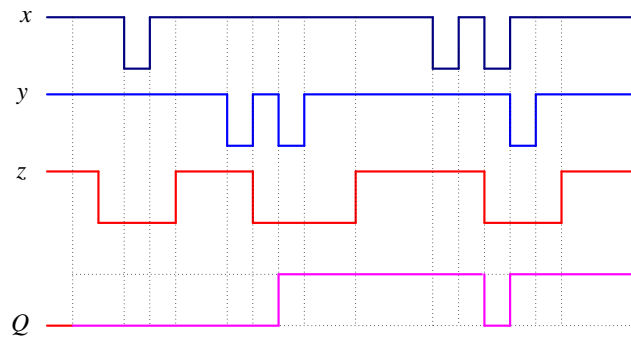


Fig. 18

Exercice 7 :

On désire réaliser un compteur synchrone modulo-5 à l'aide des bascules JK .

1. Combien de bascules JK sont nécessaires
2. Etablissez la table de vérité de ce compteur.
3. A l'aide de tableaux de Karnaugh, donnez les équations des entrées J_i et K_i des différentes bascules
4. Dessinez le schéma logique du compteur

Solution :

1. $2^2 < 5 < 2^3 \implies 3$ bascules

2. Table de vérité du compteur modulo-5.

État présent			État suivant			Entrées des bascules					
Q_2	Q_1	Q_0	Q_2	Q_1	Q_0	J_0	K_0	J_1	K_1	J_2	K_2
0	0	0	0	0	1	1	×	0	×	0	×
0	0	1	0	1	0	×	1	1	×	0	×
0	1	0	0	1	1	1	×	×	0	0	×
0	1	1	1	0	0	×	1	×	1	1	×
1	0	0	0	0	0	0	×	0	×	×	1

TABLE 1 – Table de vérité du compteur modulo-5

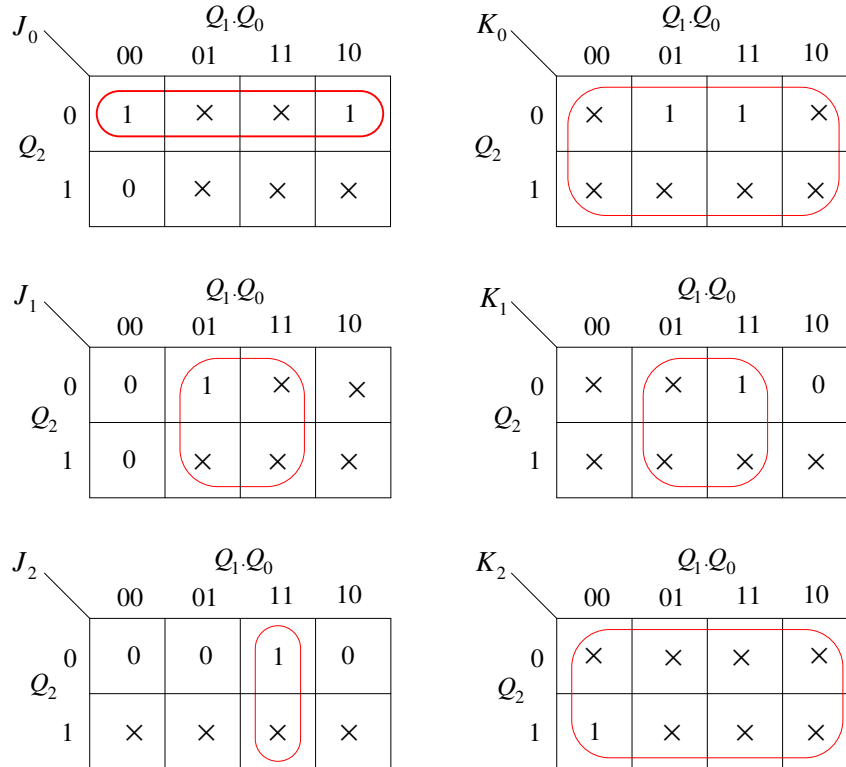


Fig. 19

On obtient finalement :

$$\begin{aligned}
 J_0 &= \overline{Q_2}; & K_0 &= 1 \\
 J_1 &= Q_0; & K_1 &= Q_0 \\
 J_2 &= Q_0 \cdot Q_1; & K_2 &= 1
 \end{aligned}$$

3. Schéma logique du compteur

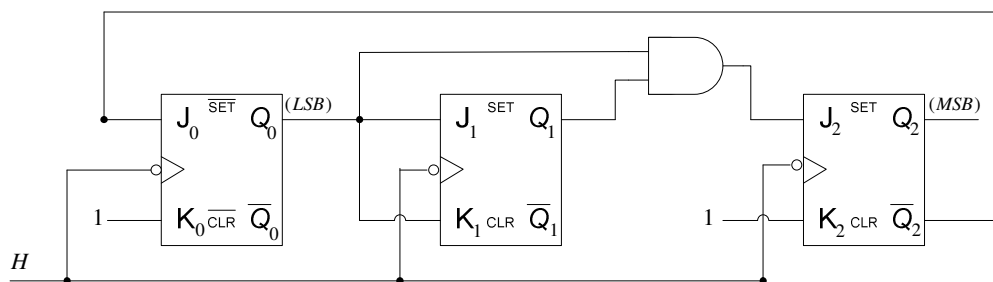


Fig. 20 – Compteur synchrone modulo-5