**Программа курса**

|  |  |
| --- | --- |
| Название | **Разработка и прототипирование цифровых ИС на примере открытого микроконтроллерного RISC-V ядра**  ***(Digital ASIC design flow for RISC-V microcontroller core - tutorial)*** |
| Авторы | Пятак И.М., Буданов Д.О., Антропов В.А. |
| Краткая аннотация | Кратко рассмотрен курс разработки и прототипирования цифровой ИС на примере микроконтроллерного RISC-V ядра SCR1 – HDL описание, верификация и отладка, прототипирование на ПЛИС, разработка и отладка ПО, построение топологии на кристалле. |
| Более подробное описание | Данный курс представляет собой набор практических занятий, логически объединенных общей темой. На основе микроконтроллерного RISC-V ядра SCR1 планируется ознакомить студентов с основными и некоторыми вспомогательными шагами, выполняемыми при разработке современных цифровых интегральных схем – описание на языке SystemVerilog HDL и его модификация, тестирование ядра SCR1 в симуляторе, разработка и отладка ПО для микроконтроллерного ядра SCR1, прототипирование на ПЛИС и построение топологии ядра на кристалле.  Планируется использование **open-source** микроконтроллерного ядра SCR1 компании Syntacore, а также, по возможности, **open-source** средств разработки и отладки, включая прототипирование на ПЛИС и построение топологии на кристалле.  Курс преследует цель дать скорее общее понимание пути разработки цифровых ИС на примере микроконтроллерного ядра SCR1, нежели детальное описание каждого из этапов разработки. Ключевой особенность данного курса является использование open-source аппаратного и программного обеспечения, простота и наглядность изложения материала, что, вкупе с практической направленностью, должно заинтересовать студентов и мотивировать на более глубокое изучение заинтересовавших их в ходе освоения данного курса отдельных этапов пути разработки.  Данные курс предназначен для студентов, обучающихся по направлениям «Электроника и наноэлектроника», также будет полезен студентам направления «Прикладное и системное программирование» |
| Цель курса | Ознакомить студентов с основными и некоторыми вспомогательными шагами, выполняемыми при разработке современных цифровых интегральных схем на примере микроконтроллерного ядра SCR1 |
| Образовательное направление | Инфокоммуникационные технологии и системы связи  Электроника и наноэлектроника  Системное и прикладное программное обеспечение |
| Рекомендуется студентам (для кого предназначен) | магистратура, 5-6 курс |
| Длительность | Полугодовой |
| Объем лекций (часов) | - |
| Объем семинаров (часов) | - |
| Практикумы (часов) | ~12-18 акад. часов |
| Лабораторные работы (часов) | - |
| Тесты (наличие) | нет |
| Итоговый экзамен (наличие) | на усмотрение преподавателя |
| Предварительные знания | *Подразумевается, что студенты знакомы:*  - с основами программирования на С++ (обязательно)  - с описанием цифровых ИС на HDL (обязательно)  - с основами языка ассемблера RISC-V (желательно)  - прототипирование на ПЛИС (желательно)  - с построением топологии ИС на кристалле (желательно) |
| Планируемые результаты обучения | На примере микроконтроллерного ядра SCR1 студенты будут ознакомлены с основными шагами разработки цифровых ИС – созданием описания на языке HDL, тестированием в симуляторе, разработкой и отладка ПО для микроконтроллерного ядра, прототипированием на ПЛИС и построением топологии ядра на кристалле |
| Содержание учебной дисциплины, примерный план | * таблица ниже |
| Элементы текущего контроля и итогового тестирования |  |
| Список литературы (основная, дополнительная) | **Базовые знания по разработке цифровых ИС:**  David Harris, Sarah Harris, Digital Design and Computer Architecture 2nd Edition  Samir Palnitkar, Verilog HDL: A Guide to Digital Design and Synthesis, Second Edition, Prentice Hall, 2003  Stephen Smith "RISC-V Assembly Language Programming: Unlock the Power of the RISC-V Instruction Set", Apress, 2024  **Документация ядра SCR1:** https://github.com/syntacore/scr1/tree/master/docs  **Реализация СНК на основе ядра SCR1 на плате Arty A7:** https://github.com/syntacore/scr1-sdk/blob/master/docs/arty\_scr1\_guide\_en.pdf  **Документация RISC-V ISA:** https://github.com/riscv/riscv-isa-manual  **Документация по AXI UART 16550:** https://docs.amd.com/v/u/en-US/pg143-axi-uart16550  **Документация по Linker Script:** https://sourceware.org/binutils/docs/ld/Scripts.html  **Документация по Makefile:** https://www.gnu.org/software/make/manual/make.html  **Документация OpenROAD-flow-scripts:** https://openroad-flow-scripts.readthedocs.io/en/latest/index2.html  **Репозиторий github OpenROAD-flow-scripts :** https://github.com/The-OpenROAD-Project/OpenROAD-flow-scripts  **Репозиторий Github sv2v**: https://github.com/zachjs/sv2v  **Курс «Введение в функциональную верификацию RISC-V ядер»:** https://github.com/riscv-tests-intro/riscv-tests-intro  **Verilator:** https://www.veripool.org/verilator/ |
| Использованы материалы, распространяемые под лицензией |  |

### Содержание учебной дисциплины, примерный план

|  |  |
| --- | --- |
| Номер | Тема, информация |
| 1 | Лекция 1. Введение в разработку цифровых ИС |
| Введение в разработку цифровых ИС – обзор полного пути разработки ИС, включая шаги производства кристалла ИС. |
| 2 | Лекция 2. Разработка цифровых ИС на примере микроконтроллерного ядра SCR1 – HDL описание |
| Краткое введение в языки HDL и логический синтез. Описание архитектуры микропроцессорного ядра «SCR1» |
| 3 | Лекция 3. Разработка цифровых ИС на примере микроконтроллерного ядра SCR1 - верификация и тестирование |
| Краткое введение в верификацию. Запуск тестов для микропроцессорного ядра «SCR1» в симуляции и рассмотрение его работы на основе временных диаграмм. |
| 4 | Лекция 4. 4\_Разработка цифровых ИС на примере микроконтроллерного ядра SCR1 - прототипирование на ПЛИС |
| Прототипирование и отладка на ПЛИС – основы. Создание и работа с проектом СнК на основе микроконтроллерного ядра SCR1 на отладочной плате Digilent Arty A7-35T |
| 5 | Лекция 5. Разработка цифровых ИС на примере микроконтроллерного ядра SCR1 – Программное обеспечение |
| Введение в язык ассемблера RISC-V. Краткий обзор Makefile и скриптов компоновщика. Разбор работы ассемблерной программы загрузчика нулевой стадии для микропроцессорного ядра SCR1. Описание процесса отладки программы при помощи GDB и OpenOCD. |
| 6 | Лекция 6. Разработка цифровых ИС на примере микроконтроллерного ядра SCR1 - топологическое проектирование |
|  | Описание этапов физической разработки цифровых ИС. Рассмотрение пути физической разработки на примере микропроцессорного ядра «SCR1» в открытом ПО, получение топологии ядра на кристалле и оценка её основных физических характеристик |

Разработка данных учебных материалов курса «Разработка и прототипирование цифровых ИС на примере открытого микроконтроллерного RISC-V ядра» выполнена авторским коллективом (Пятак И.М., Буданов Д.О., Антропов В.А.) в рамках конкурса грантов [Альянса RISC-V](https://riscv-alliance.ru/) и допускается к использованию под лицензией [CC BY 4.0](https://creativecommons.org/licenses/by/4.0/deed.ru).