

实时嵌入式系统 MIPS R3000 和 Intel 80960 处理器的适用性评估

¹黄永葵, ²赵云忠, ¹毕国植, ³李京生

(1. 中国航空综合技术研究所, 北京 100028 2. 中国航空计算技术研究所, 陕西 西安 710068;
3. 中国航空工业第一集团公司, 北京 100009)

摘 要 MIPS R3000 和 Intel 80960 是实时嵌入式系统的两种候选处理器。本文描述了 MIPS R3000 和 Intel 80960 的结构特征。通过对流水线互锁、上下文转换、进程间通讯、同步及多进程支持、过程调用、容错和例外处理、中断处理、超越/特殊功能、数据类型和调试支持等的分析, 做出了两种结构的适用性评估。

关键词 实时嵌入式系统; 处理器; MIPS R3000; Intel 80960

中图分类号 TP368.1

文献标识码 A

引言

美国联合综合化航空电子系统工作组(JLAWG)选择了 MIPS R3000 和 Intel 80960 作为推荐的实时军用嵌入式计算机系统的处理器结构。由于嵌入式系统(如飞机上或导弹上的飞控系统)是有关人身安全的应用, 所以这些系统具有高可靠性, 例如对高度和空气速度的变化提供快速响应、在数据缓冲器溢出前使用高带宽传感器设备、对面临的威胁快速行动等等。通常嵌入式系统由多个计算机组成。这些计算机应用相互通讯, 并能与 I/O 设备进行可靠和有效的通讯。

1 MIPS R3000 结构描述

MIPS R3000 结构以它用于实现流水线互锁的原理而命名, 即微处理器没有互锁流水线阶段(MIPS)。事实上, 短等待时间的互锁, 如等待加载和转移的要求由软件调度执行(没有互锁硬件), 而长等待时间的操作, 如乘/除和浮点确实有硬件互

锁。它是一个非常快速流水线机器, 它依赖软件来实现许多功能。

基本系统由一个整数处理器(CPU)一个浮点加法器(FPA)一个 4 阶段 FIFO(先进先出)写缓冲器及高速缓冲器, CPU 包括整数处理单元、整数寄存器文件(32 个寄存器)存储器管理单元和高速缓冲存储器控制器。片上存储器管理和高速缓冲存储器的控制提供非常快的虚拟到物理存储器的转换及到外部高速缓冲存储器的单循环通路。当指令和数据分别需要高速缓冲存储器具有 64K 字节时, 需要附加快速静态 RAM。

浮点加法器与整数处理器紧紧地连接在一起, 以并行解码和执行指令。浮点加/减和乘/除操作可以并行相互执行及同整数单元并行执行。浮点加法器具有它自己的 32 个寄存器, 可以直接从存储器中移出或移入数据, 而不通过整数单元。这些特征提供非常快速的与整数性能相当的浮点操作。

写缓冲器提供 4 阶段 FIFO 与存储器接口, 以隔离存储器操作。它允许 R3000 在一个周期内完成一个到高速缓冲存储或到缓冲器的写操作。到存储器的存储与 CPU 的执行并行完成。这使快速的处理器执行与较慢的主存储器分开。

2 Intel 80960 结构描述

Intel 80960 结构由许多主结构计算机的特征组成。它包括虚拟存储器管理、浮点功能单元和寄存器记分牌。

80960 处理器系列的原则是由以下三层组成的分层结构:核心、数字及保护层。

核心结构具有与 RISC 结构相关的典型操作。这些是 32 位整数加、减、逻辑及寄存器到寄存器的移位操作、条件转移操作、静态转移(调用)及加载和存储操作。

数字结构支持浮点操作、抽象功能及整数乘和除操作。

保护结构层支持作为虚拟存储器管理和保持存储器管理的地址传输、进程管理及多处理器技术。

分层结构的动机是建立一个与该系列未来发展的向上兼容的结构模型。

3 Intel 80960MC 与 MIPS R3000 主要特性比较

表 1 Intel 80960 与 MIPS R3000 主要特性比较

名 称	Intel 80960MC	MIPS R3000
时钟频率	20MHz	25MHz
浮点处理单元	在片内	在片外(R3010)
CPU 通用寄存器	16 + 4 × 16	32
CACHE	512 - BYTE	(外配)
MMU	在片内	在片内
指令格式	15	3
指令条数	102	77
寻址方式	5	2
峰值 VAX MIPS	20	20
寻址	虚拟	物理
存储空间	4GB	4GB
CPU 最大功耗	2.8W	3.5W
半导体工艺	1μmHCMOS	1.2μmHCMOS
管脚数	164	144
直接处理外中断	4	56

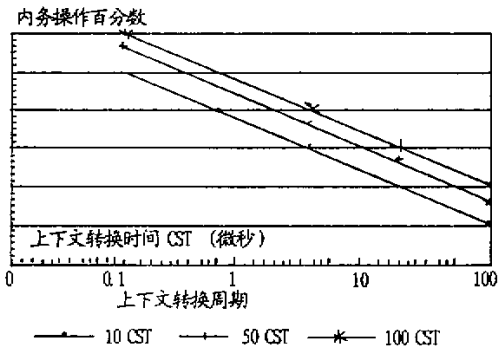
4 流水线互锁

记分牌是在硬件中原寄存器上实现流水线互锁的一种方法,以允许硬件重安排指令。记分牌技术允许 Intel 处理器保持在处理过程中对被更新的寄存器跟踪。如果一个操作中源寄存器“空闲”,则进行该操作。如果它们“忙”,则阻塞该操作,直到前一个使用寄存器的操作完成。其它操作将按程序指令执行。 万方数据

MIPS 在编译器中采用类似的操作。由加载和分支操作引起的数据相关性通过在 Load 指令后增加一条 NOP 指令来解决。它没有提供硬件互锁。一个叫做重新组织器的优化器,通过记录的执行顺序来删除数据关联,以用有效的指令来代替 NOP。该项技术的有效性直接影响编程的长度。研究表明,30%的编程是加载操作,另外 15%~25%的编程是转移操作,在每项指令后插入一个 NOP,编程尺寸增加 45%~55%,它最大的缺点是增加了传输到更多存储器的编程尺寸,并浪费了存储器的带宽,因为必须存取并执行每一个这样的指令。

5 上下文转换

上下文转换可以看作是内务操作。上下文转换引起的内务操作的比率依赖于执行上下文转换的时间及平均转换周期。图 1 是上下文转换时间为 10, 50μs 和 100μs,该比率作为平均转换周期的函数。包括上下文转换的 Ada 任务会合基准表明, R3000 在没有选择语句时能在 47μs 执行一个会合,有选择语句时能在 57μs 执行一个会合,对于这样一个简单的上下文转换, R3000 可以在少于 10μs 的时间内执行上下文转换。Intel 80960 需要 58μs~78μs 的时间进行上下文转换。



上下文转换内务操作图

上图确定了在给定平均上下文转换周期及上下文转换时间时,上下文转换的影响。对于一个参照点的导弹自动飞行功能、平均上下文转换周期为 750μs,对 50~75μs 的上下文转换时间范围、引起 7%~10%的内务操作,这是比较大的,而且它也许不是可以减小的负载。尽管 Intel 增加了许多微码

来支持上下文转换功能,但它比 R3000 在速度上占优势并不明显。

6 进程间通讯、同步及多进程支持

如果操作系统(OS)存在,进程间通讯和同步由 Ada 运行和 OS 联合处理。对于单处理系统,Ada 运行系统实际上需要处理所有的通讯。在多处理系统中,需要一个 OS,因为大多数 Ada 的运行既没有按多处理器进行多任务调度,也没有处理所有可能的总线通讯的能力。

对于松散结合的系统,例如基于 PI 总线而建议的未来航空电子系统,需要一个附加给 Ada 运行的独立的 OS。处理器之间的调度和通讯在这里变得很复杂。OS 负责处理控制调度和通讯。

为了保持 MIPS R3000 的 RISC 策略,MIPS R3000 对这些功能在硬件上没有提供任何特殊的支持。准许(强迫)设备利用本地指令结构设计这些功能。这使设备按所希望的进行完全自由的实现,但对编程长度和执行时间的有效性没有任何作用。

R3000 指令结构显而易见不具有的一个特征是原子存储器的可用性。这些用于实现使用控制通讯和同步过程的标准信号装置:测试和置位、比较和交换或者取和加。如果需要,外部电路需要提供一个锁存储器通道的装置。这自然是独一无二的,并且是不方便的。然而,编程产生器不能确定什么时候用、什么时候不用原子存储器操作,这些功能将不由编译器产生。它仅用在 Aad 运行部分(或 OS)写指令集。

取决于软件的分析,也许根本不需要硬件锁。对于非共享存储器系统,不专门需要该锁,因为它可以在软件中实现。处理器使用原子存储器操作,在等一个锁时阻止处理器进行其他操作。因此它们的使用限制到那些锁仅设置到一个很短的时间的应用。信号装置常常和调用一起实现。这里保持准备和等待序列。这是用于 Ada 会合的方法。如果需要,这个锁仅在调度处理等待序列功能相对快时使用。

缺少对这些功能的直接支持,并没有使 R3000 不适应嵌入式应用。事实上,国外将 R3000 描述为“完全的 RISC 处理器用于实现实时操作系统”。

对于用在共享存储系统的 R3000 的缺陷是芯片中没有侦听高速缓冲存储器的相干协议。尽管可

以加上它,但会引起性能下降和丢失有效的实时状态。这些下降不包括高速总线的通信。做为一个例子,测试和置位操作用于在一个存储器定位中实现针锁。如果没有出现高速缓存,或者如果没有探听到存储器总线,针锁引起到规定存储器的闭环接通。侦听到高速缓冲存储,仅第一个访问引起存储器通信,所有后续访问在清除锁及高速缓存线无效后,只访问高速缓冲存储器而不引起总线通信。

Intel 80960 对过程调度、信号装置及原子存储器操作提供了强有力的支持。Intel 的“保护结构”有大量的微码指令、以支持任务和进程管理。根据任务,按时间和优先级,规定了人工和自动控制调度。

不幸的是,目前版本的 Ada 编译器没有使用信号量命令,使用进程管理操作,这引起一个潜在的问题,它们不可移植。如果能够简单地重新编程,而不是重新设计适合 Intel 支持的研究,对一个现有的 Ada 编译器或嵌入式 OS 的移植就会更快些。也许不需要运行得快,或者要求更多的存储器,但它应保留与其他操作平台的软件版本兼容。

必须注意这些例行程序与 MIPS R3000 实现的相似功能相比要运行得慢。但它们还是具有以下优点:

- 它们减少 Ada 运行的长度,因此节省了嵌入式系统中有效的 RAM 空间;
- 在执行时间上它们是确定的,类似的功能在 MIPS R3000 上的时间根据高速存取操作的不同而有很大变化;
- 因为仅需要取一条而不是很多条指令,它们减少了对存储器带宽的需求。

Intel 的“保持结构”支持单个处理器、共享存储器的多处理器结构,以及为经由“BXU”总线接口设备提供高速缓存协议。然而,Intel 没有内部数据高速缓冲存储器,因此针锁将面对同 MIPS R3000 同样的问题。Intel 为用户提供了完整的系统研究作为用户设计的依据。松散连接的微处理器结构仍需要一个 OS 或执行程序,以处理通信,但它的实现仍然简单些,因为只提供了基本的调度和通信功能。然而这些对性能并没有多大的益处。

7 过程调用

两者支持过程调用的原理有很大差别。MIPS

选择通过软件支持实现大寄存器文件(32 寄存器),而 Intel 使用 4 套 16 个局部寄存器及一套 16 个全局寄存器。一个过程或功能调用中,应提供一套新的局部寄存器。参数在全局寄存器中传递。在这一点上,的实现上,MIPS R3000 和 Intel 是相似的。

MIPS 在寄存器提供一个最多 4 个 32 位参数传递的空间,额外的参数通过栈传递。Intel 为参数提供 7 个 32 位的保留空间。然而典型的参数的数目一般是 3 阶或者很少有 7 阶,相比之下 4 就区别不大。用作过程调用的 16 个局部寄存器将保持参数以及局部目标。如果采用重叠寄存器技术,将不需要从全局寄存器往局部寄存器复制参数。在过程调用时减少存储器带宽,大寄存器集的存储带宽将增加上下文转换存储器的带宽。增加的寄存器数目($4 \times 16 + 18 = 80$ 与 32 相比)必须在上下文转换时全部写入存储器中。因而,上下文转换将慢 3 倍。

为减少调用次数并且更好地使用局部寄存器,转换和连接操作用来代替调用。两种结构都提供基本的转换和连接,它转移到一个地址,返回地址到保留的寄存器。MIPS 用这个操作实现所有的过程调用,Intel 使用它实现最小的过程调用。

对寄存器集的调用占用 9 个存储周期。这意味着如果一个子程序使用多于 9 个寄存器时,应该使用过程调用。如果寄存器集全满,其中一个需要刷新存储器,需要 41 个存储周期。这是性能的一个主要缺点。在研制程序时,保持过程调用少于或等于 4 至关重要。研究表明大多数程序的过程调用不超过 4 级。然而,由于中断使用这些寄存器集,如果调用深度接近 4,并且多中断连续出现,将严重地减少中断响应时间。

在过程调用时,在 80960 上使用多寄存器集,以减少寄存器入栈和出栈时需要加载/存储的操作次数。好的寄存器分配算法与大寄存器集一起减少了这项要求的需求,这样做减少了有多寄存器集的优越性。常规机器存储器能力占编程的 40%~50%。研究表明,近似一半的这样的引用是由于可以取消的局部栈变址访问。在编程时使用多寄存器集可使这个值最小减少 20%~25%。寄存器分配算法仅能取消一半的栈可被引用。与多寄存器集对比时,留下 10% 多的编程。

上下文转换时间慢是寄存器的最大缺点,超过了用 Ada 为基础的、依赖于任务或快速横过过程的

调用应用带来的益处,这些调用超过 4 层。

更多的区别是浮点参数方面。MIPS 在浮点加法器芯片上附加了 32 个浮点寄存器。Intel 仅有 4 个寄存器用于浮点计算。由于有附加的寄存器,MIPS 提供了同整数寄存器用的类似配置计划。随着趋向于越来越多的浮点操作,这个再一次成为性能的主动轮。可以从整数寄存器单元中往浮点单元移动数据的内务操作,MIPS 的浮点指令比 Intel 快得多(5x)。

8 容错和例外处理

从对例外条件的处理,可以清晰地说明处理器结构的不同。R3000 通过提供仅绝对需要的来保持它的 RISC 技术,80960 用典型的 CISC 技术给用户提供基础数据结构规范。

R3000 将群聚故障、中断和复位到某级功能统一称为例外处理。R3000 有以下例外寄存器:

原因寄存器——其内容描述最后一次例外。

例外程序计数(EPC)寄存器——包含在例外处理后过程可以重新开始的地址。

状态寄存器——包含所有的主要的状态位。

坏的虚拟地址寄存器——对任何地址的例外,保存坏的虚拟地址入口。

上下文寄存器——保持坏的虚拟页码及页表入口的底部。

处理器修改标识符寄存器——包含处理器修改级别及系统控制协处理器的标识符。

当例外出现时,根据例外类型,引导到三个地方的一个。复位例外和 UTLB 丢失例外分别有它们自己的矢量地址定位。其余的例外引导由通用例外引导地址定位。由软件分析原因寄存器,并采取适当的动作。

Intel 没有把故障、中断和复位功能定义到一级功能。它保持它们是分离的,中断和故障矢量各需要一个矢量表。故障表最多可以预分配 31 个两字的入口的空间,目前只定义了 14 个入口。有三种类型的入口:局部过程入口、过程表入口和故障跟踪表入口。当出现一个故障,80960 将故障记录存入故障栈中。故障记录是 11 个字,包含故障出现时的过程和算法控制状态、故障指令的地址及故障的类型、子类型和数据信息。

R3000 的例外类型相当于 80960 的故障类型见

表 2 :

表 2 R3000 对 80960 例外的映象

R30000	80960
溢出 地址错误 UTLB ,TLB ,TLBm 总线错误 保留 中断 浮点 断点	算法 限制 描述 保护 虚拟存储器 机器 操作 事件 浮点 跟踪 结构 类型 过程
复位	

80960 有三种故障类型 ,与 R3000 的例外类型不相当。这些是结构上的故障、类型故障和过程故障 ,当以时间为端点分片时出现 80960 过程故障 , R3000 通过一个时间赊销中断实现该功能。这是一个非常有用的特征。

由于大量使用体系结构定义数据结构 ,会出现结构和类型故障。这是 R3000 和 80960 的不同之处。由体系结构预先定义数据类型 ,根据实现水平有优点也有缺点。优点是体系结构表提供了为中断、故障及例外例行程序增加和改变处理器的灵活办法。缺点是必须为存储器分配需要的空间 ,即使这些空间不用。如果分配一个现有的核心给 80960 ,不重设计现有的核心 ,用体系结构来定义数据和相关设施是非常难的。它会将设计锁到该体系结构 ,除非仔细地编程 ,可以通过软件容易地支持硬件。

9 中断处理

Intel 80960 支持 248 矢量入口的中断表 ,其中两个作为保留。中断优先级从 1 到 31(数最小 ,优先级最高) ,并由矢量数除以 8、修整结果来确定。中断表前 8 个字保留作排队悬挂中断。中断地址可以在物理存储器定位 ,使这个表可以在处理器间共享。中断总是先处理最高优先级具有很大优越性。多处理器可以并行处理中断。中断可以由软件或外部通过软件产生。80960 芯片配置提供 4 个直接中断或 2 个直接中断 ,并为一个中断控制器可以用于处理更多的提供协议。中断通常在监视模式下进行 ,使用一个分离的中断栈。如果运行用户模式应用过程 ,将指令高速缓冲存储器清除 ,如果使用时间

赊销 ,计时器将被冻结。过程控制和算法控制由硬件保存。

R3000 中断处理速度比 80960 快。80960 的中断表结构支持多处理器中断处理能力 ,适用于大量中断并行处理。Intel 的中断优先级方案 ,在实时应用中是最基本的。

10 超越/特殊功能

80960 结构定义了一些限制使用的指令。这些指令包括简单和复杂的浮点指令以及串、位和进程管理等。R3000 结构不提供这些功能 ,以避免硬件和固件的复杂性。

许多由 80960 提供的指令不能被 Ada 编译器使用 ,但在嵌入式系统中有重要作用。实时处理系统和执行需要使用进程管理功能 ,这个应用使用算法功能来与变压器、滤波器、矢量操作等同步。位操作在设备驱动中非常有用 ,位操作在研制文本应用时非常有用。这些指令可以直接用汇编语言模块或使用机械码插入或汇编接口程序与 Ada 接口。

80960 的软件编程器比 R3000 超前了一步 ,但以芯片空间和处理器的复杂为代价。如果应用中使用这些特殊功能 ,需要满足时间和精度要求 ,这就是优点 ,否则就是缺点。

11 数据类型

80960 除了具有 MIPS R3000 使用 8、16、32 位整数和不带符号的整数外 ,还使用 64 位带符号和不带符号的整数。在做整数运算时 ,这起很大作用。在做 32 位整数乘积时的实时应用中非常有用。

80960 除了支持 MIPS R3000 支持的 32、64 位浮点型 ,还支持 80 位浮点类型。在提供精度和幅度超出预计的浮点格式时 ,对实时操作没有任何作用。80960 的优点是其浮点运算不必要在浮点寄存器中进行。80960 的缺点是有 4 个浮点寄存器(R3000 有 32 个单精度或 16 个双精度浮点寄存器) ,数据必须从这些寄存器中移入或移出 ,存入通用寄存器中。在上下文转换中发现它优点是 R3000 需要存储附加的 32 个字 ,而 80960 需要存储附加的 12 个字(4 个 80bit 寄存器)。80960 的缺点是操作数包括在通用寄存器中 ,从浮点执行单元存和取这些操作数比直接从浮点寄存器中存和取要花的时间长。

12 调试支持

80960 在它的结构中定义了调试支持(以跟踪事件的形式)。由每个过程控制块定义的每个过程有一个用于跟踪控制的保留字。这些控制中可以用于使能和取消所有的指令执行、转移指令、调用指令、返回指令、预返回指令、管理模式及断点指令。当这些其中之一使能和取消,侦测到一个跟踪故障,处理器根据跟踪故障表入口的故障表执行故障处理程序。故障处理器读跟踪控制和故障记录以确定出错位置及引起故障的原因。于是采取类似调试的行动,以直接由指令设置,而不需要调整编程,并在 ROM 中提供了一个设置断点的方法。通过使用特定的断点指令来代替现存的指令,软件断点也是适用的。Intel 监视器使用硬件支持调试特性来实现跟踪和断点。

R3000 提供一个断点指令,在原因寄存器中设置断点例外位,产生一般例外。断点指令有 20 位可以用来存储附加的信息。这些位可能用来指示指令类型、调用断点后的执行例程。这一点比 80960 需要更多的软件干预,并且限制在 RAM。

13 结论

通过以上分析,两种结构的主要特征如表 3。
Intel 80960 和 R3000 两种结构都适合用于嵌入式设计。实际选择中应根据系统性能要求来选择。

R3000 由于使用的寄存器少和增加指令执行速度,因此它的上下文转换时间比 80960 快。R3000 为中断服务提供了相当可观的内务操作。

寄存器记分牌、多寄存器集和高级指令的组合使 Intel 在编程密度有 30%~40% 的提高。

80960 的跟踪设施非常益于调试和监控系统。不幸的是,在当前实现的 80960 中当使跟踪模式可用时,即使没有遇到一个跟踪点,也会引起性能下降。这对时间关键的系统是一件很讨厌的事。最好能在减少监控功能的影响时监视系统。

Intel 80960 用微码指令来支持它所有的实时核心以及其他。这些措施将有利于先前研制的系统(如果使用 Intel 核心或者匆忙凑成一个系统),当已经用不同的核心研制一个系统时,有效地使用这些

指令和保持软件接口是很困难的。

表 3 特征比较表

指令系统 名称		Intel 80960 指令 系统结构	MIPS R3000 指令 系统结构
实现技术		RISC 与 CISC	RISC
数据格式(bit)	整数	8、16、32、64	8、16、32
	浮点数	32、64、80	32、64
指令格式		15 种	3 种,定长
寻址方式		5 种	2 种
存储器管理		用段、段表、页、页表实现虚拟存储器管理的保护。	使用转换后备缓冲提供存储器管理单元,实现从虚拟地址到物理地址的转换。通过定义用户模式和内核模式及存储器分页/分段实现存取保护功能
寄存器		全局寄存器 16 个 浮点寄存器 4 个 4 组局部寄存器每组 16 个	通用寄存器 32 个 (32 位)乘/除寄存器 2 个 (32 位)程序计数器 1 个
中断控制		支持 248 个矢量入口的中断表,4 个硬件中断	支持 6 个硬件中断、两个软件中断、1 个非屏蔽中断
输入/输出		不提供专门的 I/O 空间,通过存储器映象 I/O 实现 I/O 功能	不提供专门的 I/O 空间,通过存储器映象 I/O 实现 I/O 功能
指令		102 条	77 条(不含浮点)
编制部门		美国 Intel 公司	美国 MIPS 公司
编制日期		1985 年	1985 年

R3000 具有高吞吐量和快速中断处理,适用于加强型任务的 CPU。80960 具有多处理器和操作系统特征,适用于控制模式实时操作系统功能,如过程调度、容错、机内自检测等。

现代化多处理系统可能会同时采用这两种结构。

[参考文献]

- [1] i960 MC Microprocessor Reference Manual [S]. Intel. 1999 年.
- [2] IDT79R R4600 ORION Processor Hardware User 's Manual [S]. IDT ,INC ,1993 年.
- [3] risc microprocessors data book[S]. IDT ,INC ,1995 年.
- [4] IDT/C 4. 1. 1. 1 User 's Manual [S]. IDT ,INC ,1992 年.

(下转第 57 页)

标定数据也比较集中,从而提高了静态和动态标定精度。计算机的各种功能及数据处理能力使传感器的标定工作大大简化。

[参考文献]

[1] 韩云台主编. 测试技术基础[M]. 北京 :国防工业出版

社 ,1989.

[2] 康新中等编. 火炮系统动力学[M]. 北京 :国防工业出版社 ,1999.5.

[3] 黄俊钦著. 测试系统动力学[M]. 北京 :国防工业出版社 ,1996.

[4] 美 H 克里尔珠编 ,谢庚译. 现代枪炮内弹道学[M]. 北京 :国防工业出版社 ,1985.

The Application of Computer and Electric Sensor Measurement System
in Measuring the Pressure of Bomb – Trace of Aerial Cannon

LI Yue-hao ,WANG Jing-zhu ,FU Xing-zhen

(Qingdao Branch ,Naval Aeronautical Engineering Academy ,Qingdao 266041 ,China)

Abstract : This paper introduces the compositions of computer and electric sensor measurement system ,the principle and the application in measuring the pressure of bomb – trace of aerial cannon.

Key words : computer ;electric sensor measurement system ;pressure of bomb – trace aerial cannon

(上接第 54 页)

An Applicability Evaluation of the MIPS R3000 and
Intel 80960 Processors for the Real – Time Embeddes Systems

¹HUANG Yong-kui ,² ZHAO Yun-zhong ,¹ BI Guo-xuan ,³ LI Jing-sheng

(1. China Aero – polytechnology Establishment ,Beijing 100028 ,China 2. Aeronautical Computing Technique
3. Research Institute ,Xi 'an 710068 ,China ;China Aviation Industry Corporation I ,Beijing 100009 ,China)

Abstract : The MIPS R3000 and Intel 80960 are two candidate processors for use in real – time embedded architectures. In this paper the architectural features for each will be described. E-duce the applicability evaluation of both architecture by analyzing the pipeline interlocks ,context switching ,interprocess communications ,synchronization and multiprocess support ,procedure calling ,fault or exception handling ,transcendental/special functions ,data types and debug support ,etc.

Key words : real – time embedded system ;processor ;MIPS R3000 ;Intel 80960