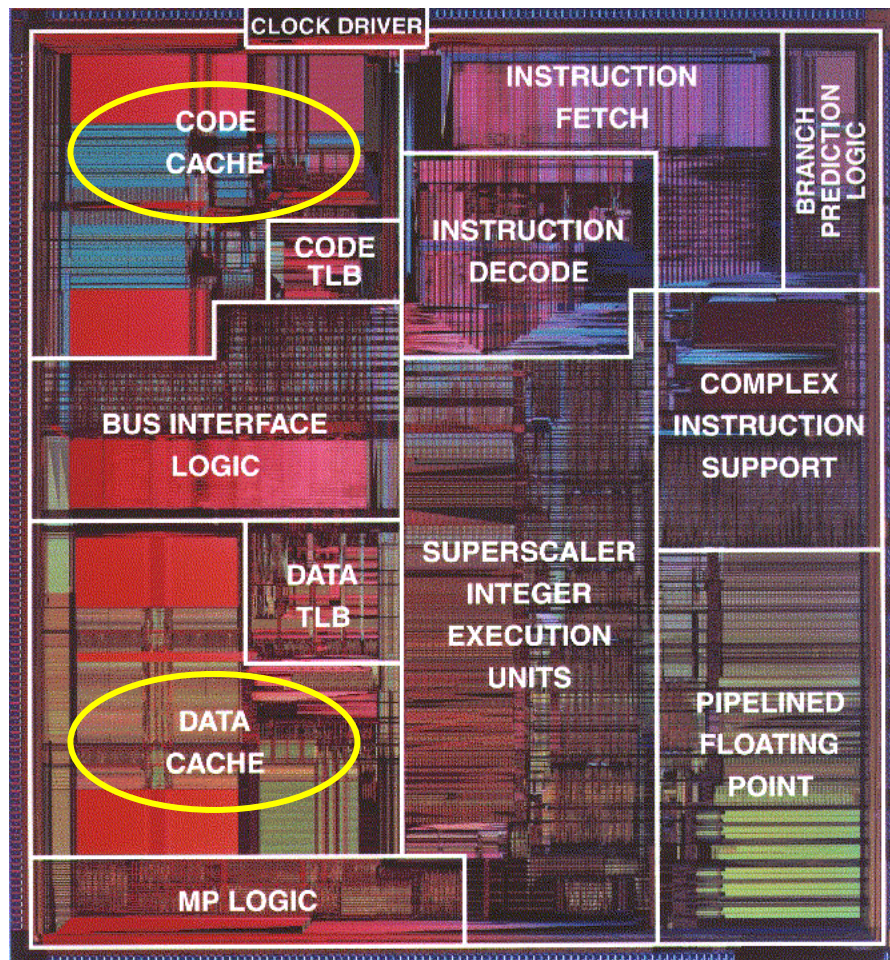


# 第四章 存储体系

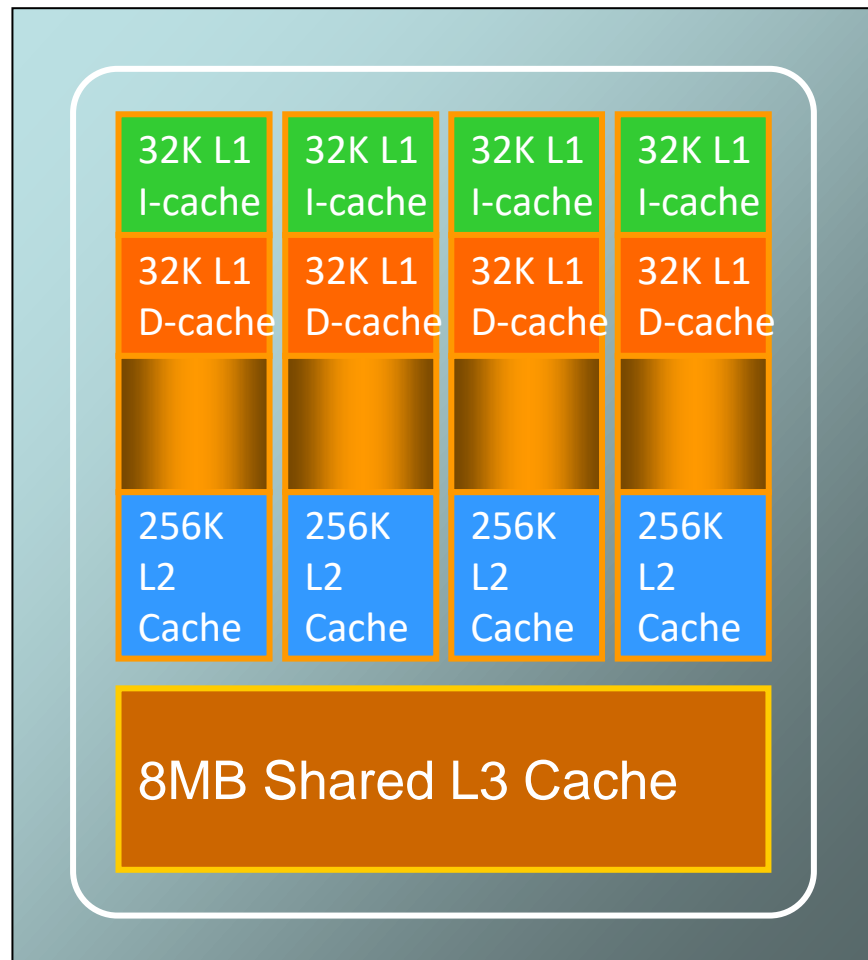
## 学习内容：

- 4.1 存储体系概念和并行存储系统
- 4.2 虚拟存储系统
- 4.3 高速缓冲存储器（Cache）
- 4.4 Cache - 主存 - 辅存三级层次
- ARM存储系统

# 高速缓冲存储器(Cache)



Intel Pentium 的Cache



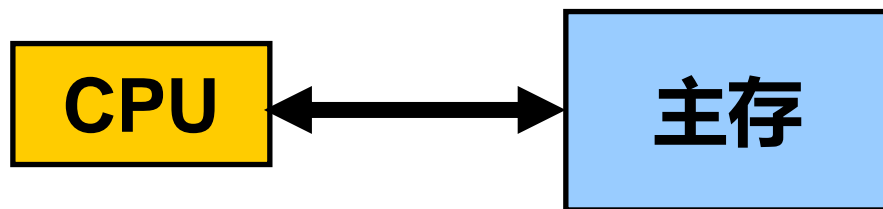
Core i7 的Cache 结构

# 主要内容

- 基本结构与工作原理
- 地址映像规则与地址变换
- 替换算法与实现
- 透明性与性能
- Cache层次

# CPU-主存瓶颈

- 高速计算机的性能通常受到主存带宽和响应时间的限制。



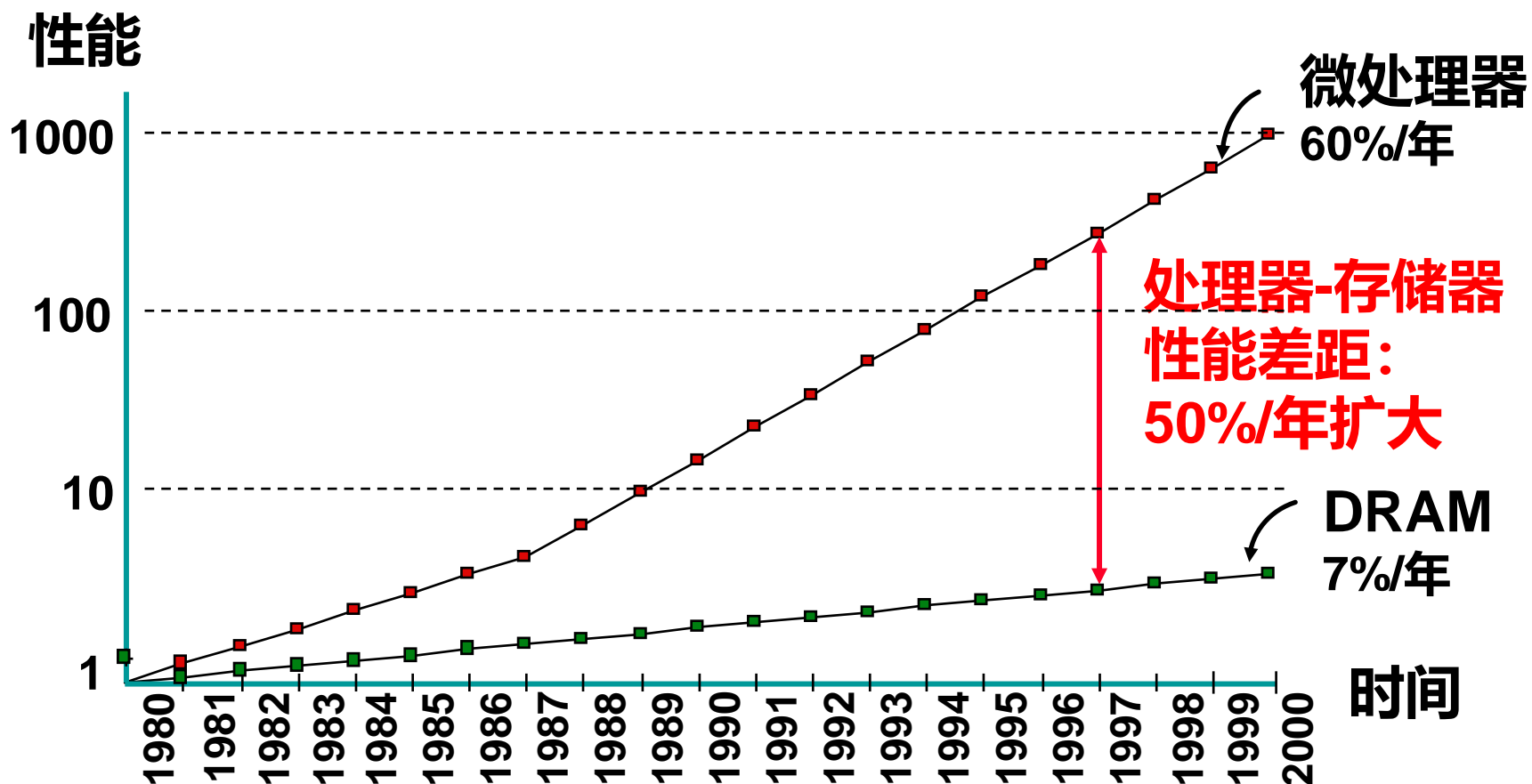
- **响应时间(Latency):** 一次访存所需要的时间。

**主存访存时间 >> 处理器机器周期**

- **带宽(bandwidth):** 单位时间内的访存次数。

**假设每条指令需要一个机器周期，一条指令需要访问主存 $m$ 次，意味着每个机器周期需要访存 $m$ 次。**

# CPU-主存瓶颈



# CPU-主存瓶颈

## 解决速度问题方法：

### ■ 1. 改进工艺和设计，提高存储器的性能；

- DDR2

- ◆ Lower power (2.5 V -> 1.8 V)

- ◆ Higher clock rates (266 MHz, 333 MHz, 400 MHz)

- DDR3

- ◆ 1.5 V

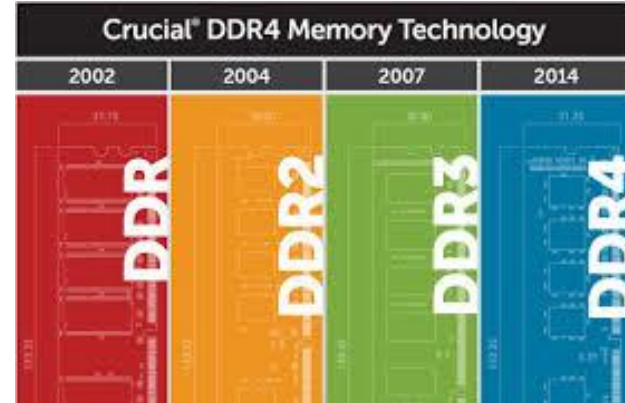
- ◆ 800 MHz

- DDR4

- ◆ 1-1.2 V

- ◆ 1600 MHz

- GDDR5 is graphics memory based on DDR3

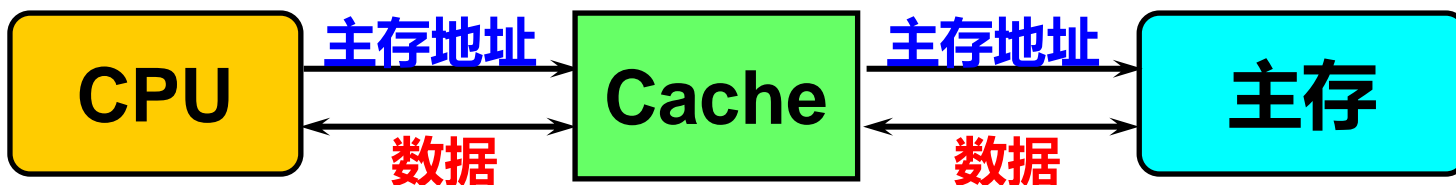


Key Features of Crucial DDR4					
Product	Clock Rate		Data Rate		Density
	Max	Min	Min	Max	
DDR3	2.5ns	1.25ns	800 Mb/s	1600 Mb/s	1-8Gb
DDR4	1.25ns	0.625ns	1600 Mb/s	3200 Mb/s	4-16Gb

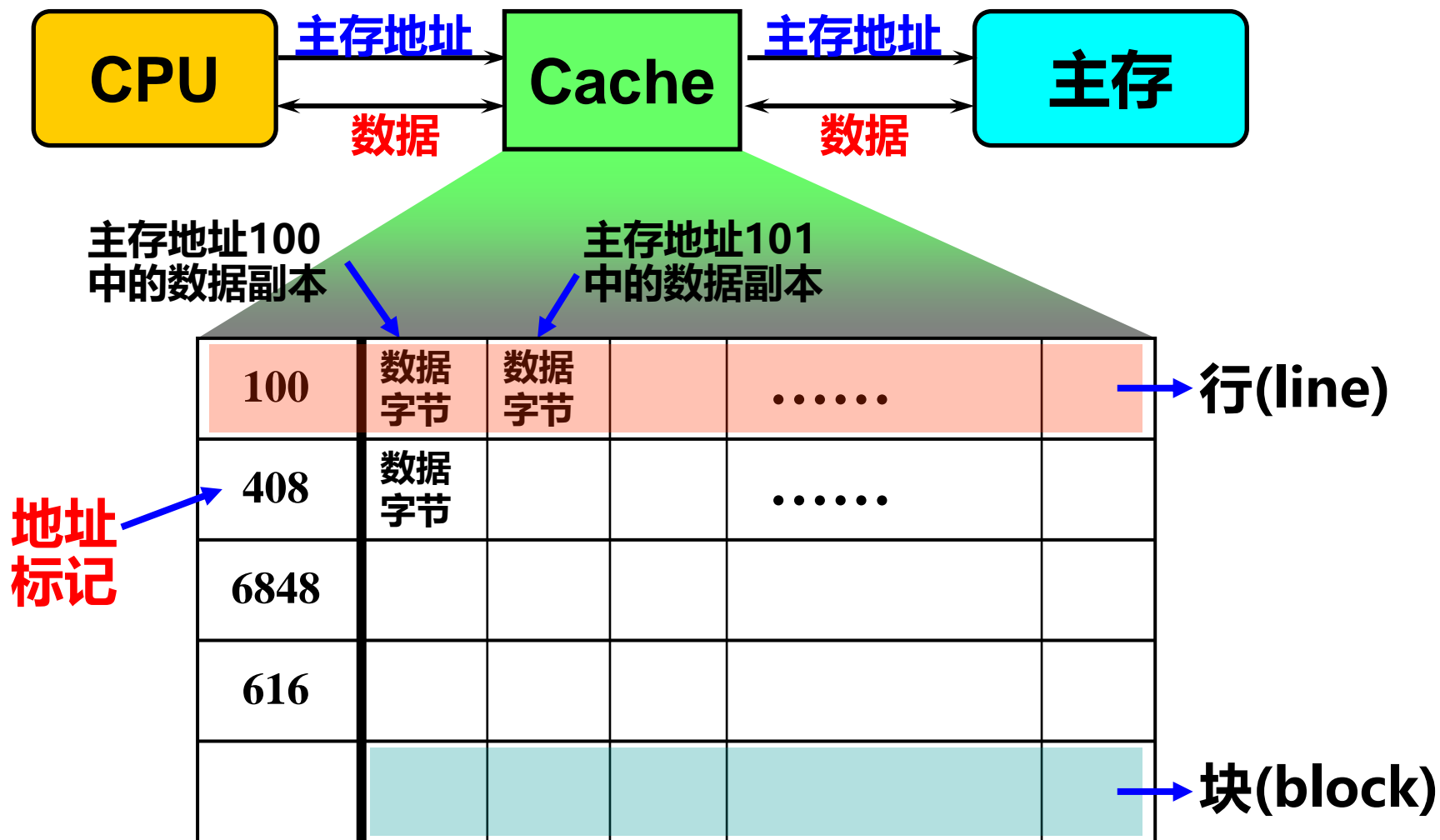
# CPU-主存瓶颈

## 解决速度问题方法：

- 2. 在CPU和主存之间设置速度快、容量小的**高速缓冲存储器(cache)**。依据程序局部性原理，将未来要用到的指令或数据从低速主存预取到高速cache中，从而减少平均响应时间，提高平均访问速度。



# 基本结构和工作原理



Cache中缓存数据的基本结构



# 基本结构和工作原理

## Cache Array Showing full Tag

Tag	Data	Data	Data	Data
1234	from 1234	from 1235	from 1236	from 1237
2458	from 2458	form 2459	from 245A	from 245B
17B0	from 17B0	from 17B1	from 17B2	from 17B3
5244	from 5244	from 5245	from 5246	from 5247

- Addresses are 16 bits in length (4 hex digits)
- In this example, each cache line contains four bytes.
- The upper 14 bits of each address in a line are the same
- This tag contains the full address of the first byte

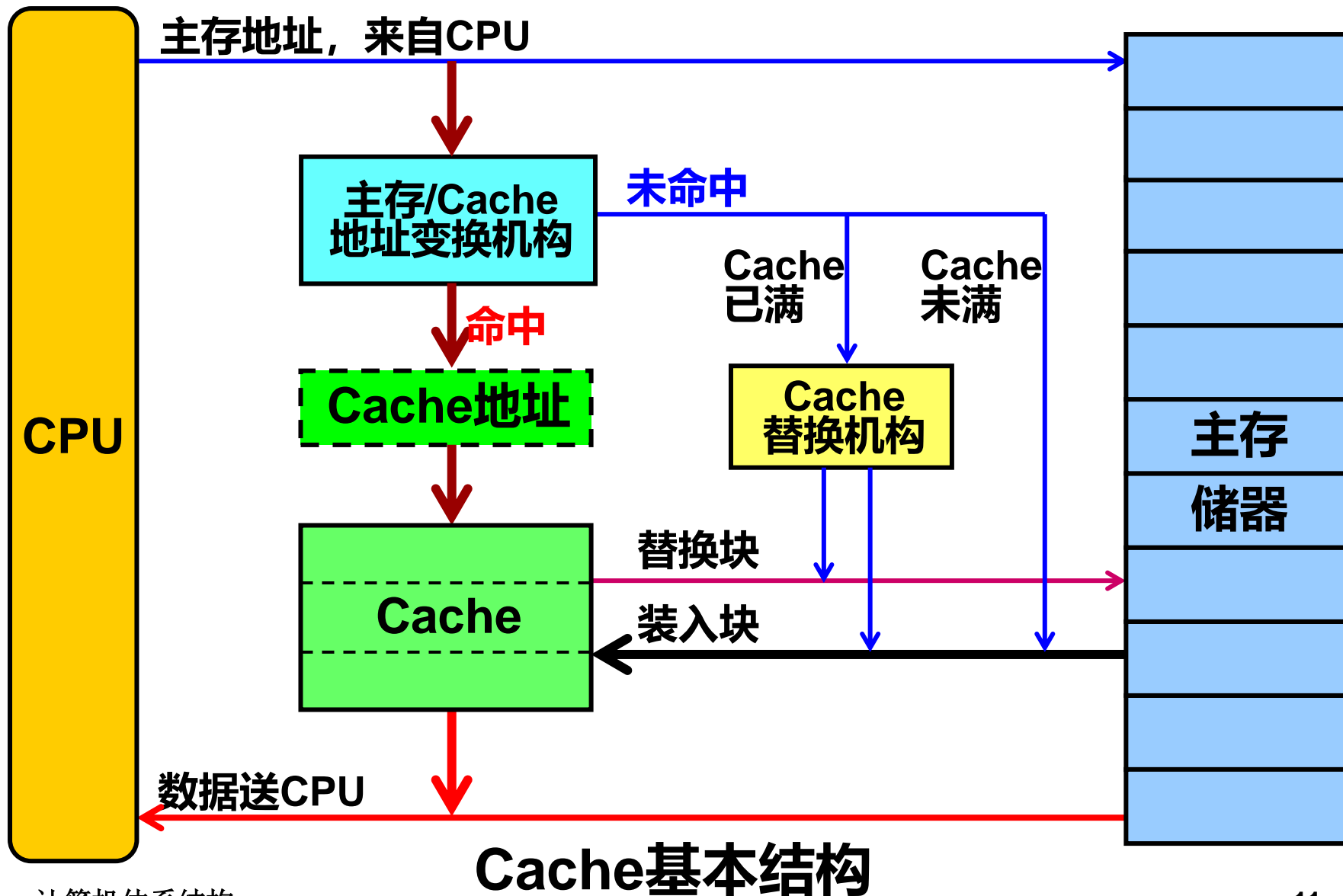
# 基本结构和工作原理

## Cache Array Showing Tag

Tag	Data	Data	Data	Data
48D	from 1234	from 1235	from 1236	from 1237
916	from 2458	from 2459	from 245A	from 245B
5EC	from 17B0	from 17B1	from 17B2	from 17B3
1491	from 5244	from 5245	from 5246	from 5247

- Addresses are 16 bits in length (4 hex digits)
- In this example, each cache line contains four bytes.
- The upper 14 bits of each address in a line are the same
- This tag contains only the upper address bits

# 基本结构和工作原理



# 基本结构和工作原理

## Cache工作原理：读取

将CPU给出的主存地址  
变换为Cache地址，搜索Cache

在Cache中找到  
(命中)

访问Cache，  
向CPU返回  
Cache中的数据副本。

在Cache中未找到  
(未命中)

1. 从主存中读取数据块
2. 等待...
3. 向CPU返回数据，  
更新cache（满时替换）

**只要Cache的命中率足够高，  
就能以接近于Cache的速度访问主存。**

# 基本结构和工作原理

## Cache工作原理：写入

将CPU给出的主存地址  
变换为Cache地址，搜索Cache

在Cache中找到  
(命中)

写Cache，写主存  
(存在一致性问题)

在Cache中未找到  
(未命中)

写主存  
(与Cache无关)

为保持Cache与主存中的内容一致，  
采取以下方法：

- 写直达法
- 写回法

# Cache特点

- Cache与CPU采用**相同工艺**；
- 地址映象、变换、替换、调度等**由专门的硬件实现**；
- Cache靠近CPU或就放在CPU中，以减少与CPU之间的传输延迟；
- Cache—主存之间的信息交换**对所有程序员都透明**；
- Cache访问主存的**优先级高于**其他系统访问主存的优先级；
- 除了Cache和CPU有直接的通路外，主存和CPU也有直接的通路，可以实现**读直达和写直达**；

# Cache与虚拟存储器的区别

<b>存储层次 比较项目</b>	<b>Cache</b>	<b>虚拟存储器</b>
<b>目 的</b>	<b>弥补主存速度的</b>	<b>弥补主存容量的不足</b>
<b>存储管理实现</b>	<b>由专用硬件实现</b>	<b>软件、硬件实现</b>
<b>访问速度的比值 (第一级和第二级)</b>	<b>几比一</b>	<b>几百比一</b>
<b>典型的块(页)大小</b>	<b>几十个字节</b>	<b>几百到几千个字节</b>
<b>CPU对第二级的 访问方式</b>	<b>可直接访问</b>	<b>均通过第一级</b>
<b>失效时CPU是否切换</b>	<b>不切换</b>	<b>切换到其他进程</b>
<b>透明性</b>	<b>对所有程序员透明</b>	<b>仅对应用程序员透明</b>

# 地址映像规则与地址变换

## ■ Cache系统须解决三个问题：

### 1. 定位问题

- 将主存中的数据装入cache的哪个位置；
- 如何知道主存中的数据已经装入cache（即是否命中）；
- 如果命中，如何形成Cache地址并访问主存。

### 2. 替换问题

- 若未命中或失效，需将数据从主存调入Cache；
- 若Cache满，则按何种算法将Cache中的数据替换出去。

### 3. 数据一致性问题

- 如何保证Cache内容与主存内容的一致。



# 地址映像规则与地址变换

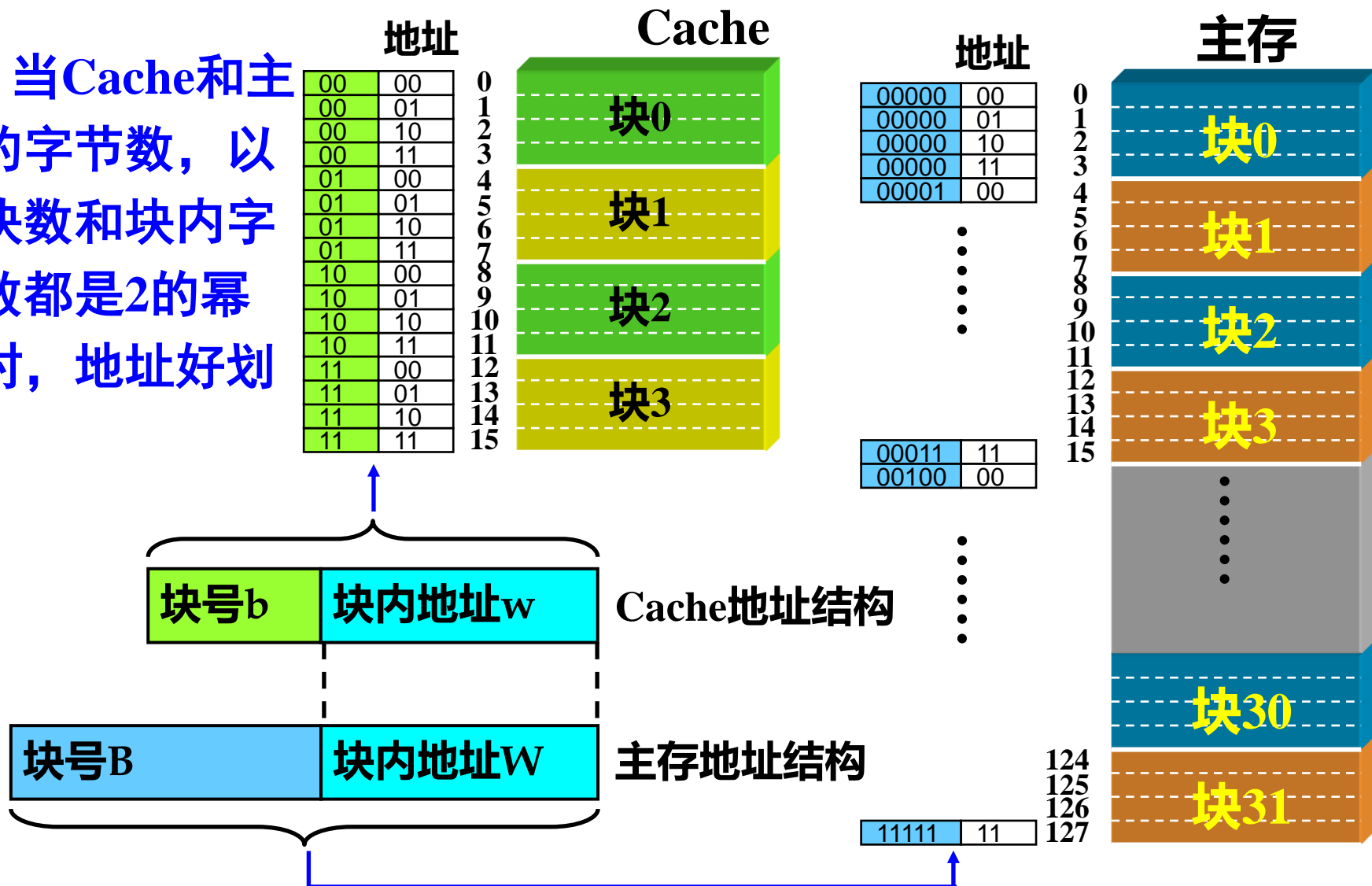
## ■ 地址映像：

把主存中的数据按照某种规则装入Cache中，并建立主存地址与Cache地址之间的对应关系，进而根据主存地址，判断Cache有无命中并变换为Cache的地址。

■ 为便于进行地址的映象和变换，也便于替换和管理，把Cache和主存**等分成相同大小的块**，这样，Cache—主存地址映像就演变为主存中的块如何与Cache中的块相对应。

# 地址映像规则与地址变换

当Cache和主存的字节数，以及块数和块内字节数都是2的幂次时，地址好划分。



# 地址映像规则与地址变换

- 可以采用的地址映像方法有很多。选择依据：
  - 地址映像和变换硬件的速度是否高，价格是否低，实现是否容易；
  - Cache空间的利用率是否高；
  - 块冲突概率是否低；

## ■ 块冲突：

主存中的块要调入Cache中的某个位置，但该位置已经被其他主存块所占用。

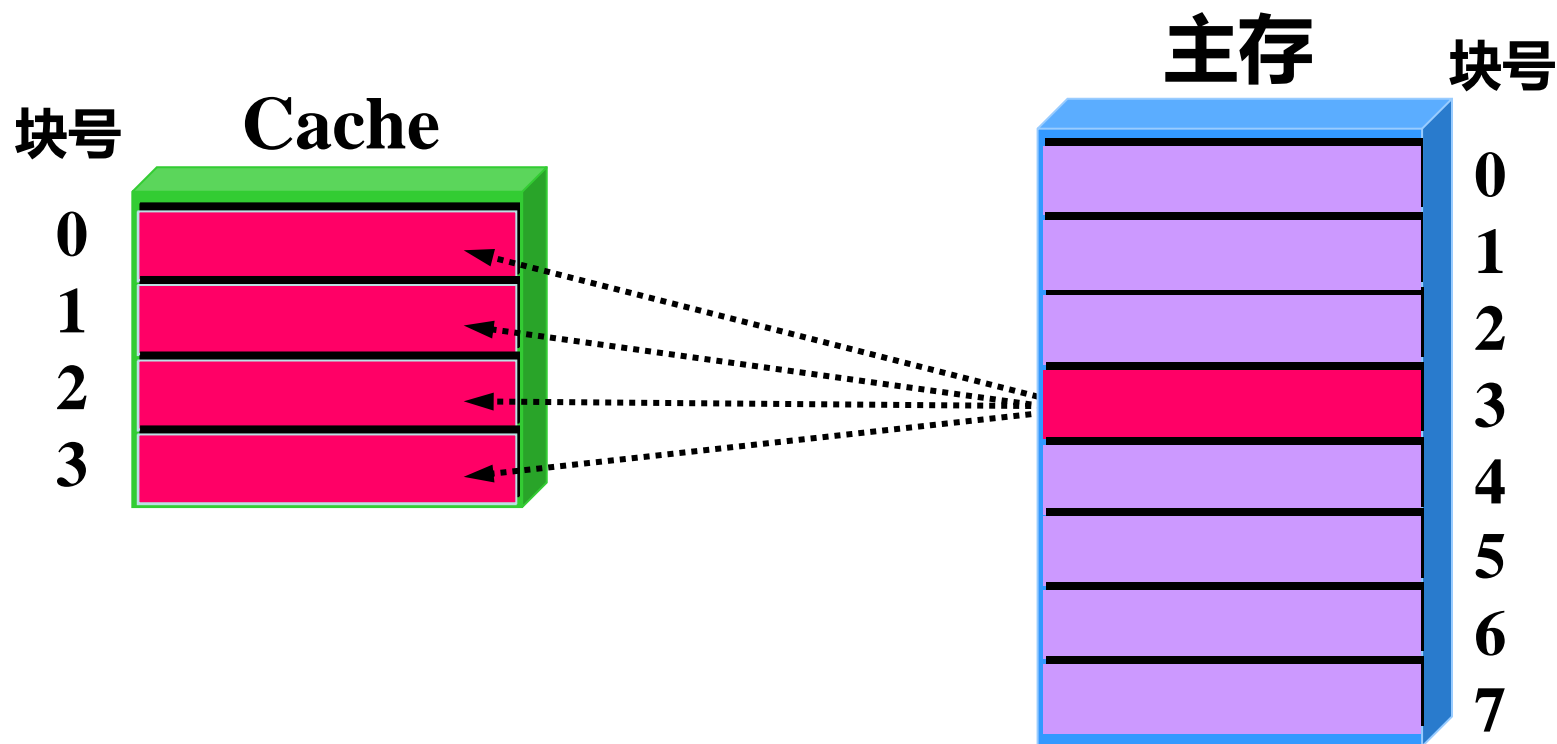
# 地址映像规则与地址变换

■ 在Cache—主存存储层次，典型的地址映像与变换方法主要有：

1. 全相联映像与变换
2. 直接映像与变换
3. 组相联映像与变换

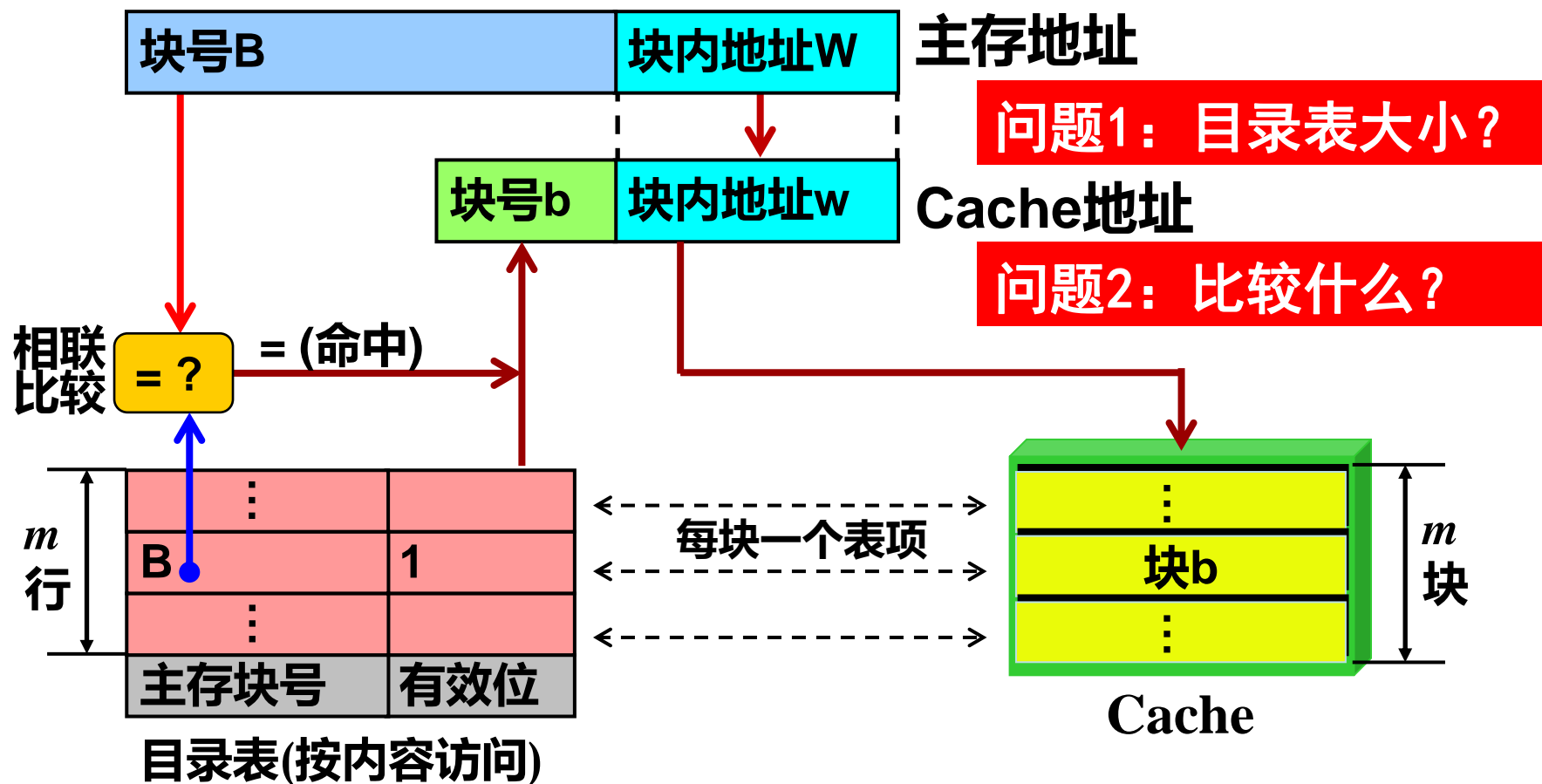
# 全相联映像规则与变换

**映像规则：**主存中的任意一块都可以装入到Cache中的任意一个块位置。



# 全相联映像规则与变换

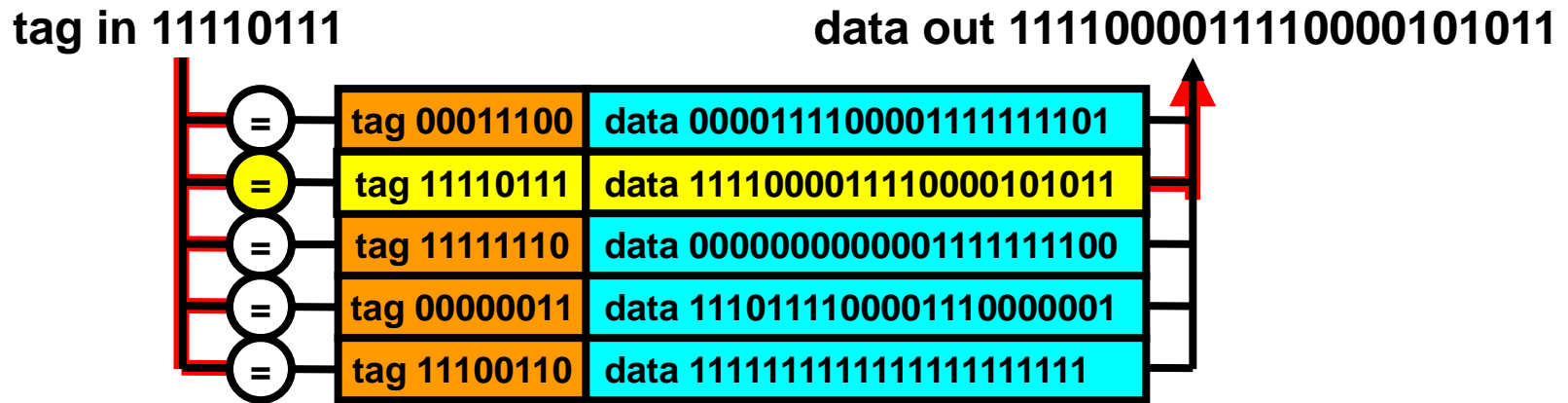
**地址变换：**采用相联存储器构成的**目录表**，以硬件方式实现。



# 全相联Cache查找过程

## Key idea:

- 1 comparator required for each block
- No address decoding
- Practical only for small caches due to hardware demands



# 全相联映像规则与变换

## ■ 优点：

- 块冲突概率最低；
- Cache空间利用率最高。

## ■ 缺点：

- 所需容量的相联存储器代价较高；
- Cache容量已经很大，相联查表速度难以提高。



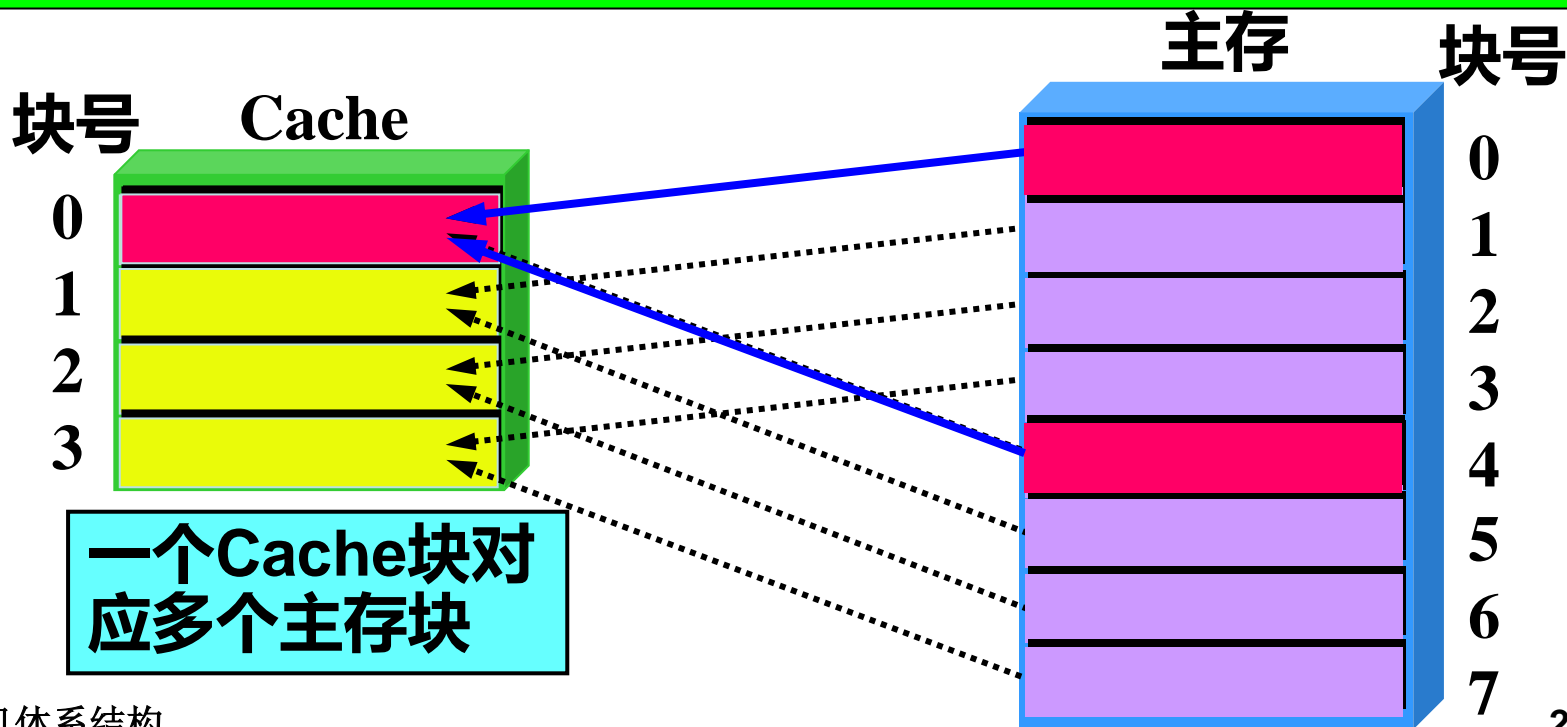
# 直接映像规则与变换

**映像规则：**主存中的每一块只能装入到Cache内**唯一**一个指定的块位置。

为便于地址变换，设：

Cache块号 $b = (\text{主存块号}B) \bmod (\text{Cache块数})$

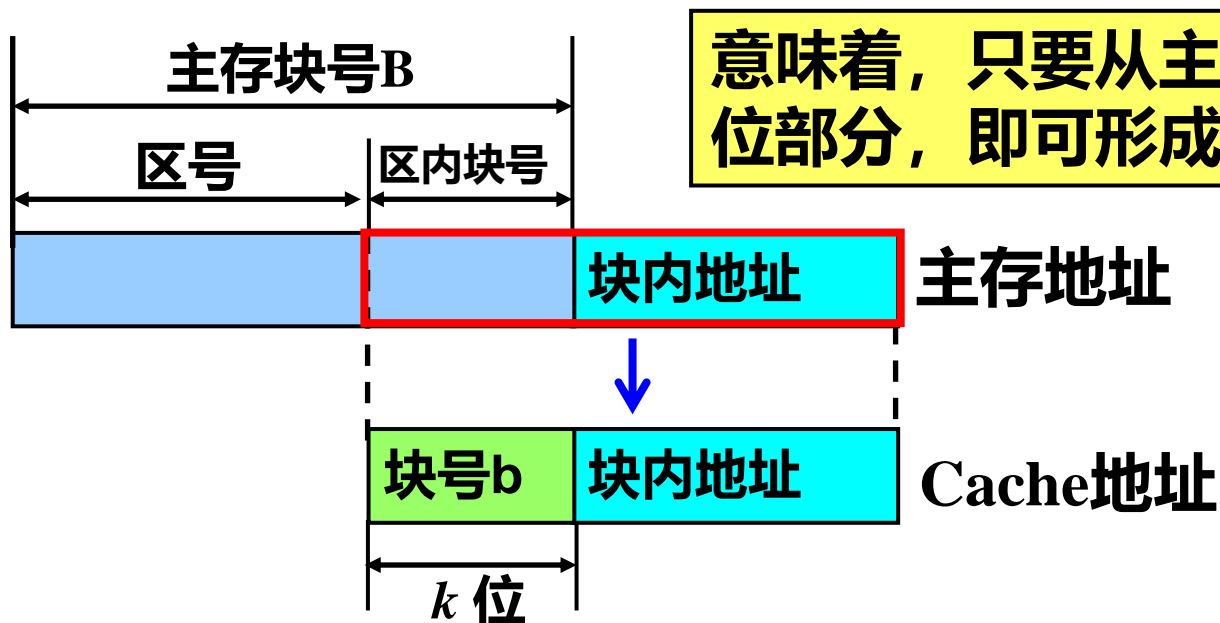
则： $0=0|4 \bmod 4$ ,  $1=1|5 \bmod 4$ ,  $2=2|6 \bmod 4$ ,  $3=3|7 \bmod 4$



# 直接映像规则与变换

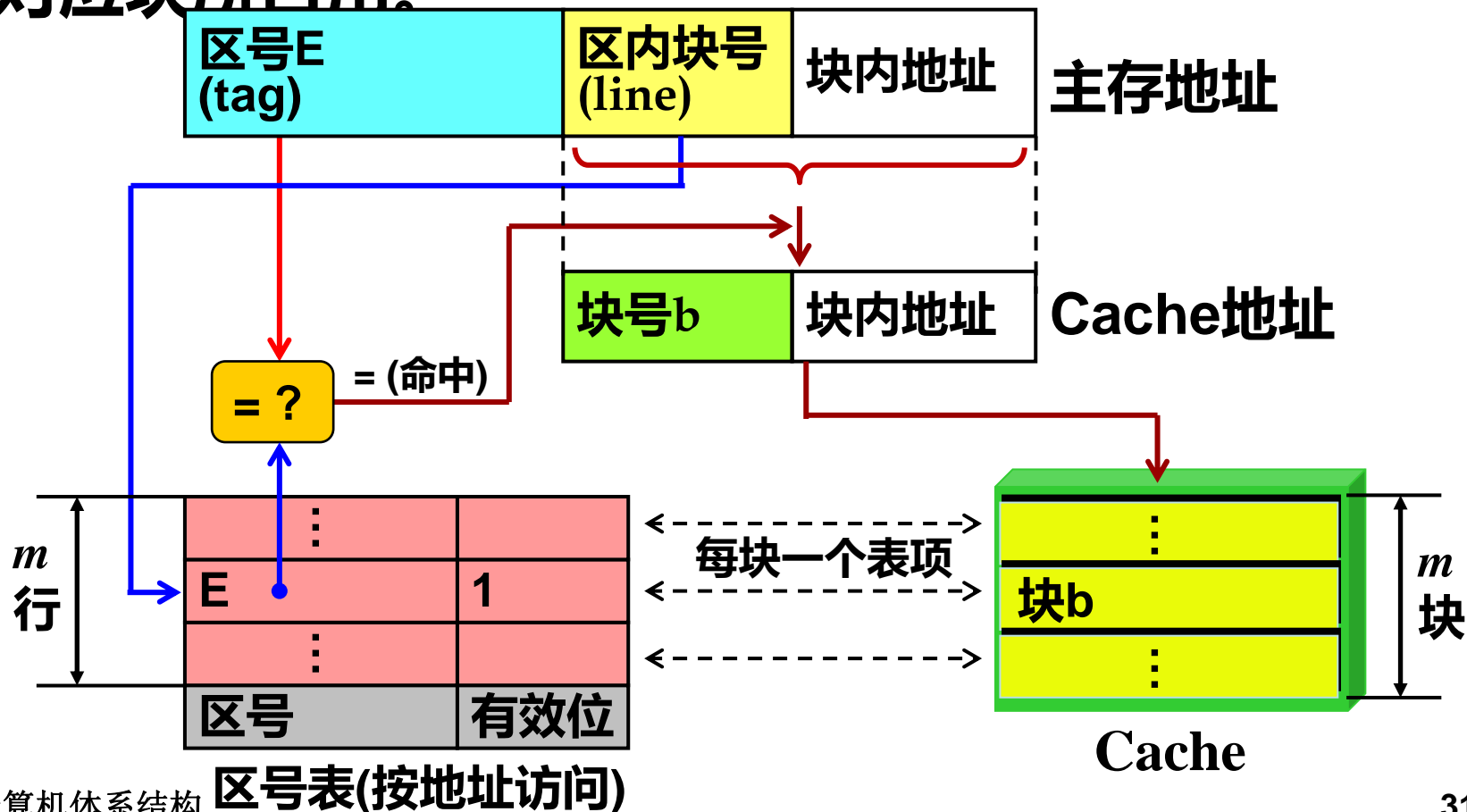
## 地址变换:

若Cache块号 $b = (\text{主存块号} B) \bmod (\text{Cache块数})$ ,  
设Cache块数 $= 2^k$ , 当表示为二进制数时, Cache块号 $b$ 与主存块号 $B$ 的低 $k$ 位完全相同。

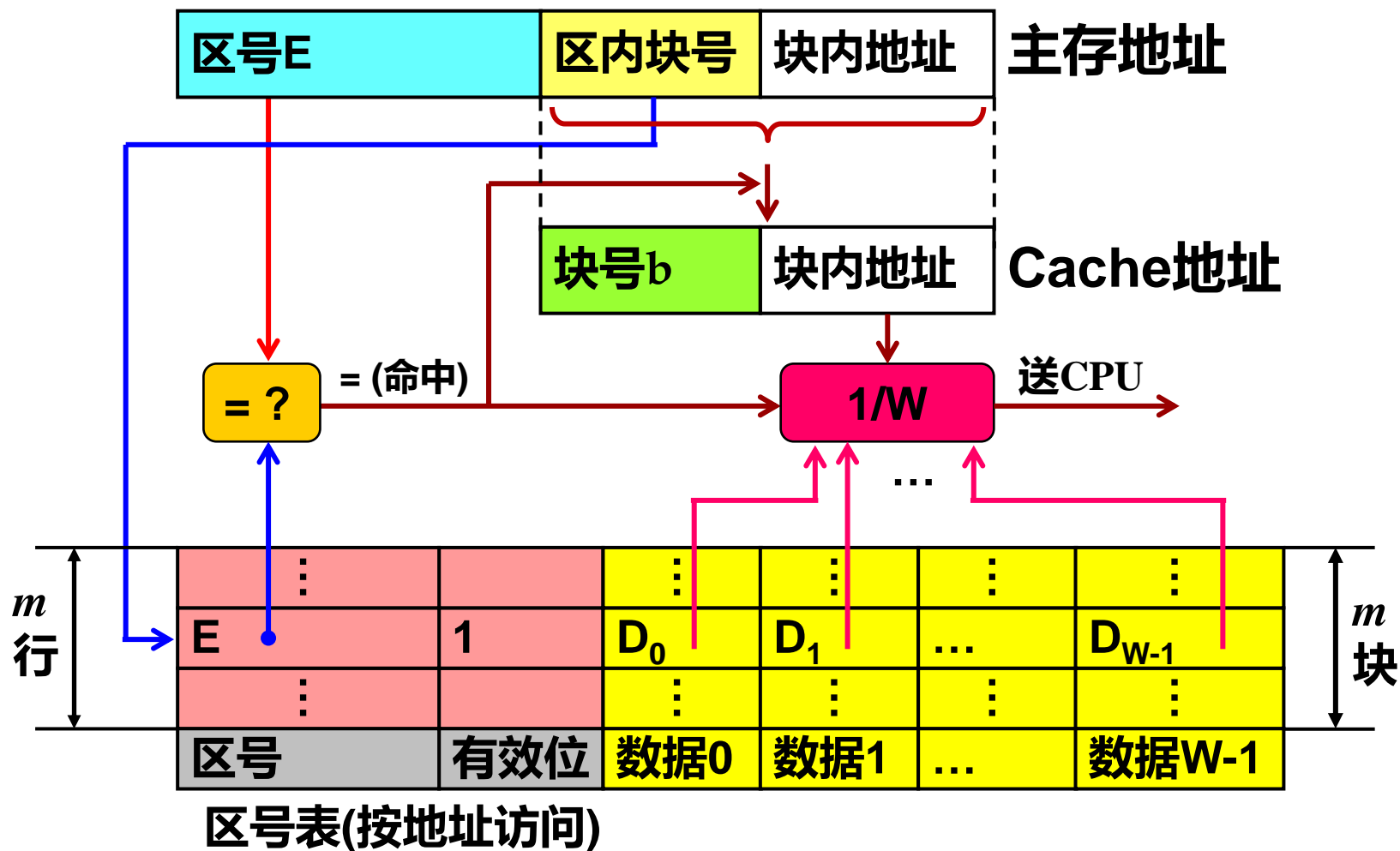


# 直接映像规则与变换

**地址变换：** 设置一个**按地址访问**的**区表**存储器（称之为**区号表**），存放Cache中每一块目前被主存中哪个区的对应块所占用。



# 直接映像规则与变换



# Direct Cache Addressing

- The lower  $\log_2(\text{line size})$  bits define which byte in the block.
- The next  $\log_2(\text{number of lines})$  bits defines which line of the cache.
- The remaining upper bits are the tag field.



# Cache Constants

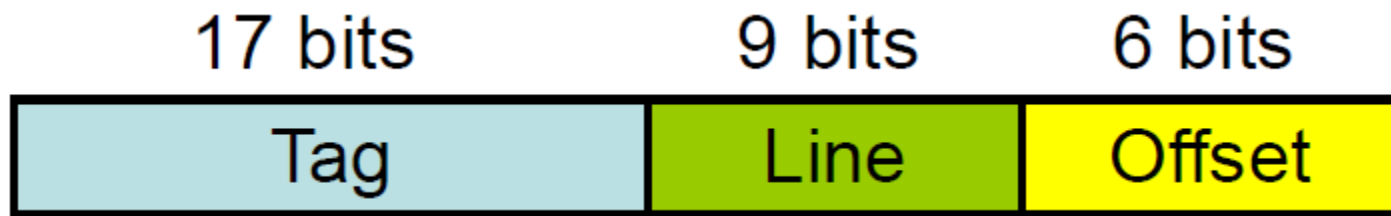
- **cache size / line size = number of lines**
- **$\log_2(\text{line size}) = \text{bits for offset}$**
- **$\log_2(\text{number of lines}) = \text{bits for cache index}$**
- **remaining upper bits = tag address bits**



# Example Direct Address

## ■ Assume you have

- 32 bit addresses (can address 4 GB)
- 64 byte lines (offset is 6 bits)
- 32 KB of cache
- Number of lines =  $32 \text{ KB} / 64 = 512$
- Bits to specify which line =  $\log_2(512) = 9$



■ 对于容量为  $2^N$  字节的Cache:

- [illegible]



# 直接映像规则与变换

## ■ 优点：

- 所需硬件简单，成本较低；
- 访问Cache可与访问区号表、比较区号等操作同时进行，节省了地址变换时间。

## ■ 缺点：

- 块冲突概率很高；
- Cache空间利用率很低。因此已经很少使用。

## ■ 提高Cache速度的一种方法：

- 把区号存储器与Cache合并成一个存储器。

# 直接映像规则与变换

**How many bits are in the tag, line and offset fields?**

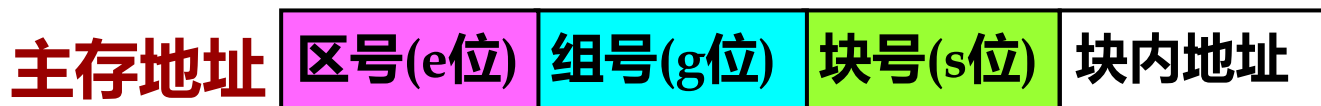
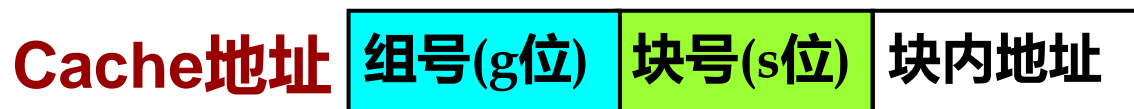
**24 bit addresses,  
64K bytes of cache,  
16 byte cache lines.**

- A. tag=4, line=16, offset=4**
- B. tag=4, line=14, offset=6**
- C. tag=8, line=12, offset=4**
- D. tag=6, line=12, offset=6**

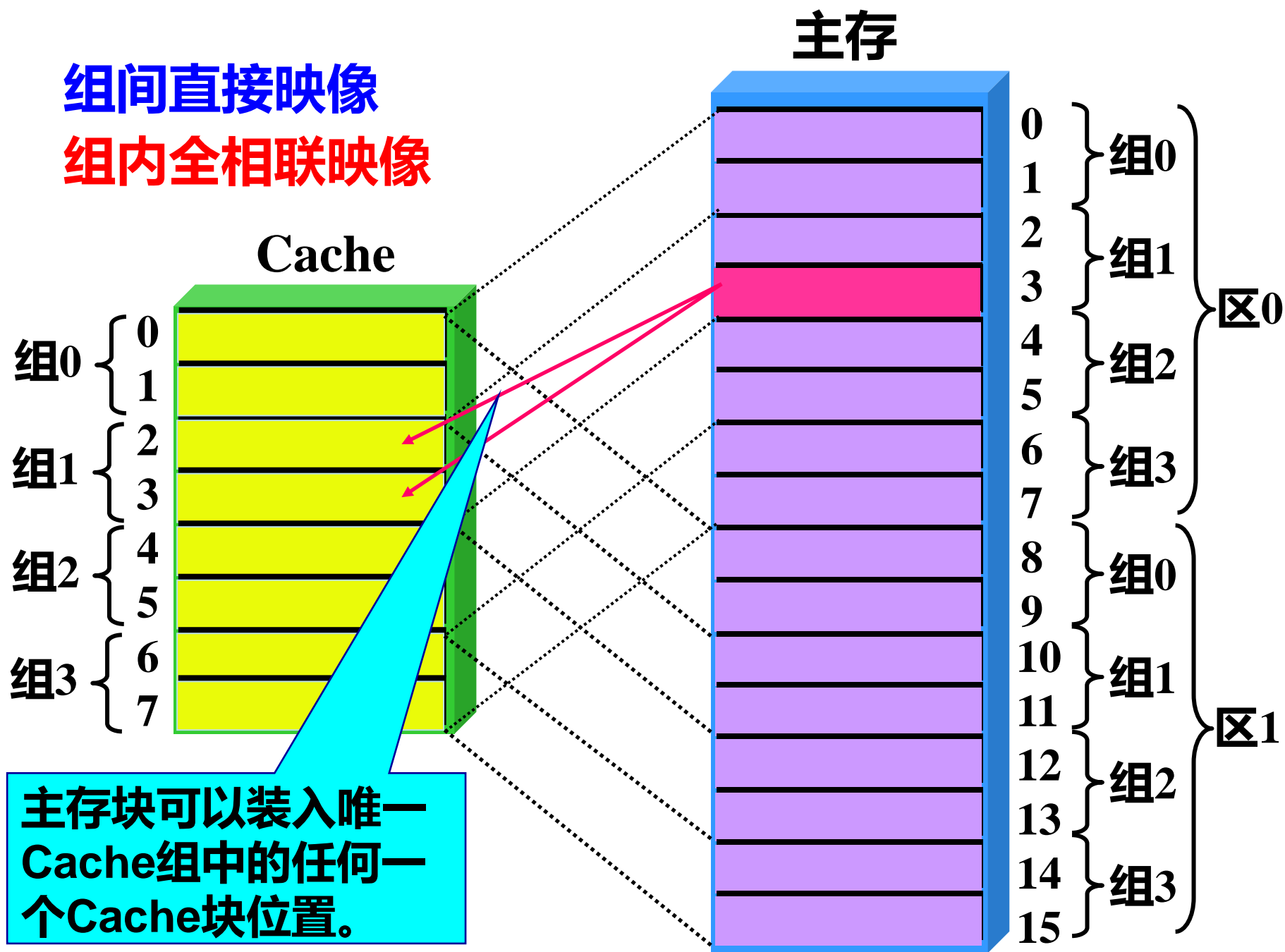
# 组相联映像规则与变换

## 映像算法1:

- 将整个Cache看成是一个区，将Cache分成G组（ $G=2^g$ ），每个组S块（ $S=2^s$ ）
- 将主存分成 $2^e$ 个与Cache大小相同的区，每个区分成G组（ $G=2^g$ ），每个组S块（ $S=2^s$ ）

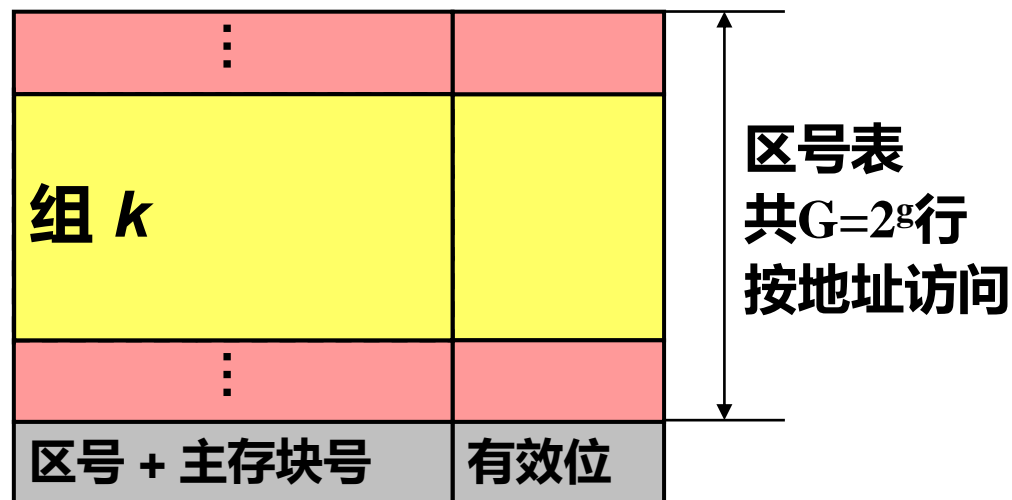


**组间直接映像**  
**组内全相联映像**



# 组相联映像规则与变换

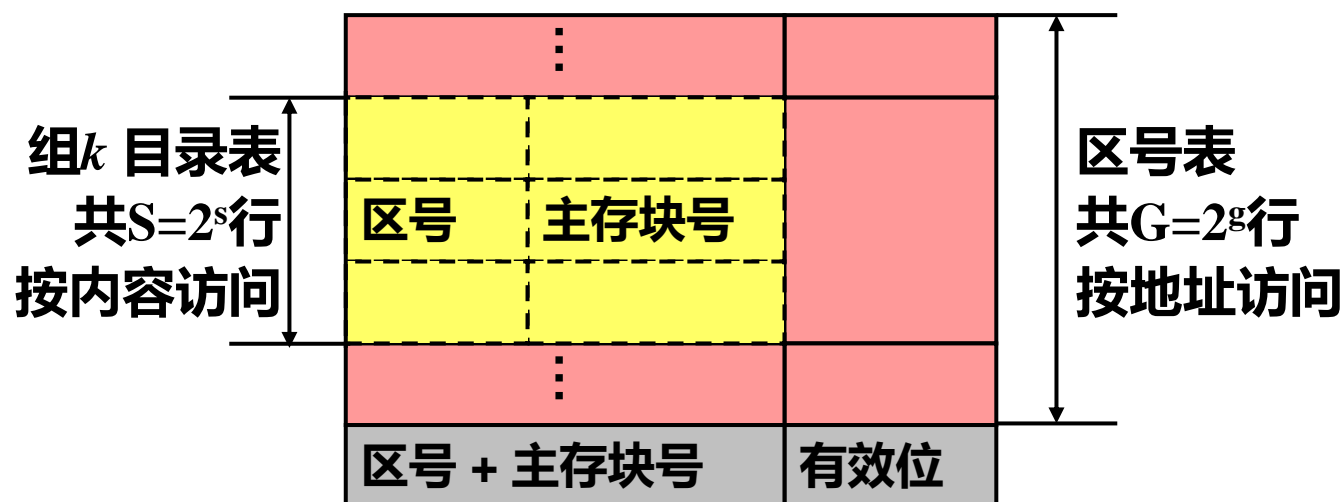
**地址变换：**组间直接映象采用按地址访问的**区**  
**表**存储器（区号表），每组一行，共有 $G=2^g$ 行；



# 组相联映像规则与变换

## 地址变换：组内全相联采用目录表法

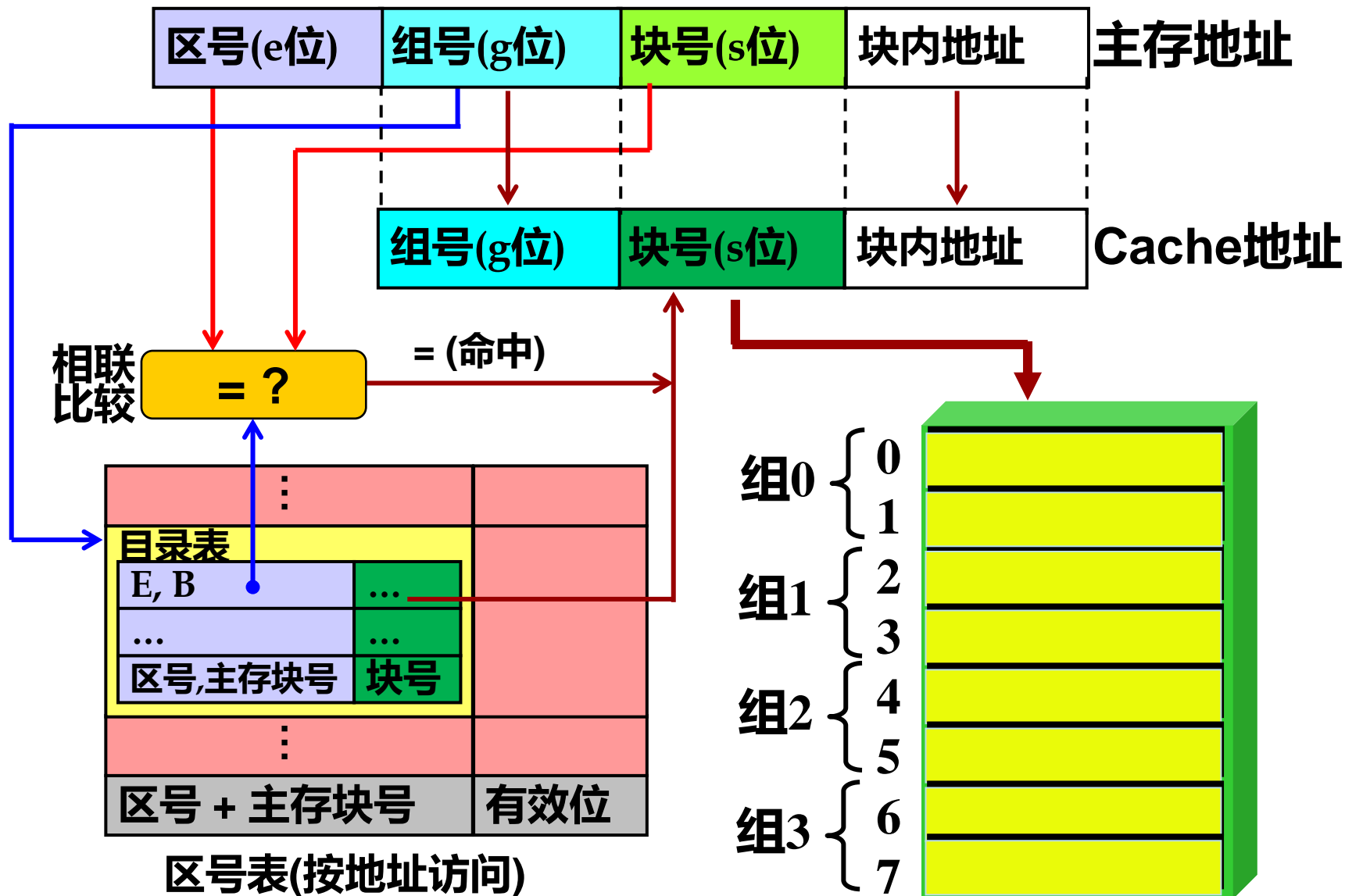
- 每个目录表的行数为 $S=2^s$ ，每行对应一个cache块。



$S$ 称为**相联度**。

每组有 $S$ 块的组相联称为  **$S$ 路组相联**。

# 组相联映像规则与变换

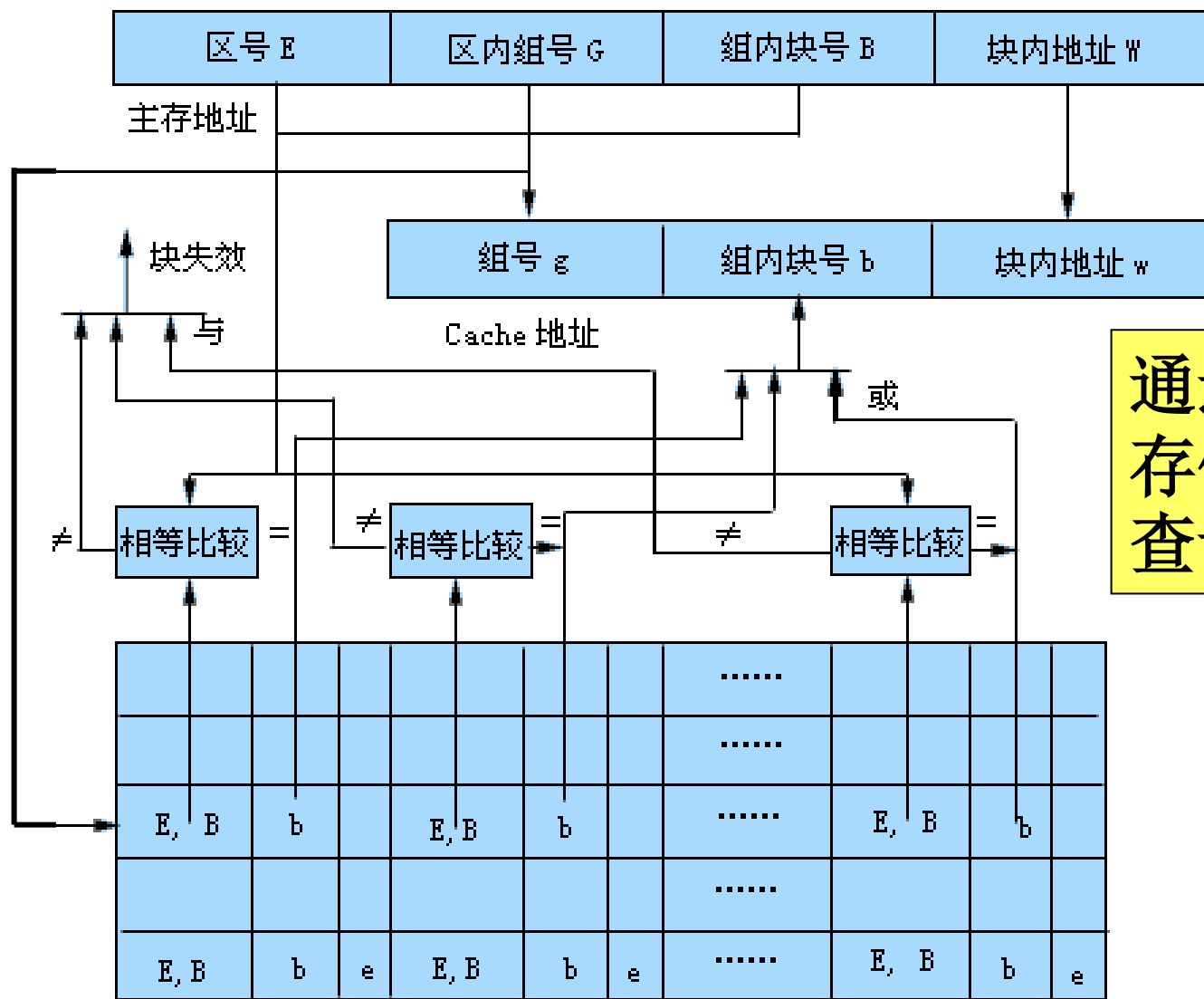


# 组相联映像规则与变换

- 在组相联映象方式中，组内的块数量一般是很少的，如4块左右。
- 因此，可以采用把块表存储器中一个相联比较的组**按块方向展开存放**，这样，**可以用多个相等比较器来代替相联访问，以加块查表的速度。**
- 许多实用的组相联Cache都采用这种方法。它的地址变换过程与上面的方法类似。



# 组相联映像规则与变换



通过“单体多字存储器”来并行查询。

# 组相联映像规则与变换

- 组相联实际上是全相联映像和直接映像的折衷方案。
- 当组内块数  $S = \text{Cache块数}$  时，组相联就变成了全相联；
- 当组内块数  $S = 1$  时，组相联变成了直接映像；
- $S$  越大，冲突越少，地址变换就越复杂；
- $S$  越小，冲突越多，地址变换就越容易。

# 组相联映像规则与变换

采用组相联映像方式的典型机器的Cache分组情况

机器型号	Cache的块容量 $C_b$	每组的块容量 $G_b$	Cache组容量 $C_g$
DEC VAX-11/780	1024	2	512
Amdahl 470/V6	512	2	256
Intel i860 D-Cache	256	2	128
Honeywell 66/60	512	4	128
Amdahl 470/V7	2048	4	512
IBM 370/168	1024	8	128
IBM3033	1024	16	64
Motolola 88110 I-Cache	256	2	128

# 组相联映像规则与变换

## ■ Cache地址：

- 组号= $\text{int}(\text{cache块号}/\text{组内块数})$
- 组内块号= $(\text{cache块号})\bmod(\text{组内块数})$

## ■ 主存地址：

- 区号= $\text{int}(\text{主存块号}/\text{cache块数})$
- 区内块号= $(\text{主存块号})\bmod(\text{cache块数})$
- 区内组号= $\text{int}(\text{区内块号}/\text{组内块数})$
- 区内组内块号= $(\text{区内块号})\bmod(\text{组内块数})$

## ■ 映射关系：

- Cache组号=区内组号
- 组内任意

# 组相联映像规则与变换

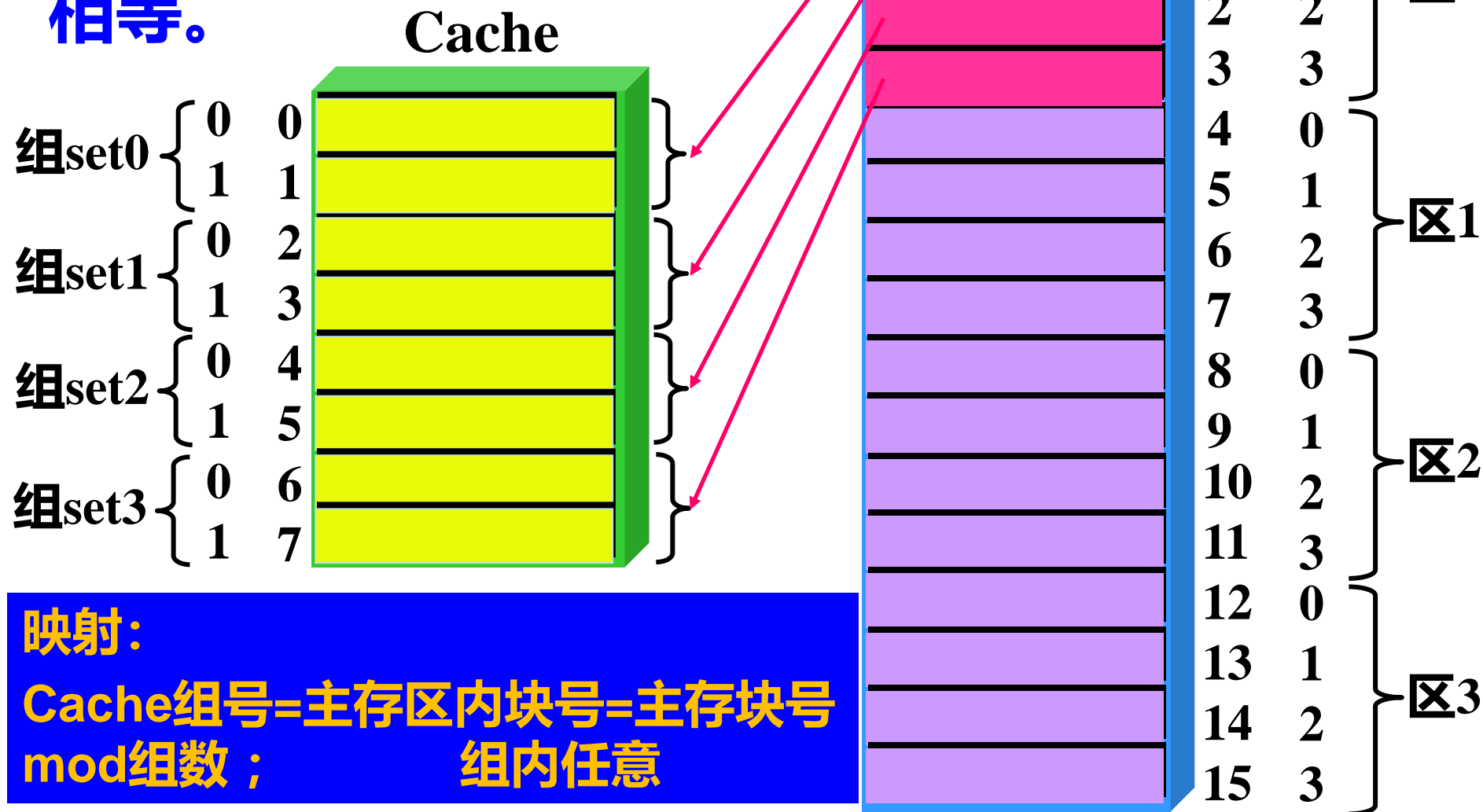
- 组相联映象和变换方式有很多种变型，它们各有不同的特点。
- 下面，介绍一种常用的组相联映象及变换方式（**书上的**），称为：

**位选择组相联映象及变换方式    或  
位选择算法组相联映象及变换方式**

# 位选择组相联映像规则与变换

- 与一般组相联映象方式相比，Cache仍然分组（set），而主存不再分组。
- 主存除了分块之外，还按照Cache的组（set）容量（个数）分区。主存每个分区中的块容量与Cache中的组容量相等。

主存每个分区中的块容量与Cache中的组容量相等。



# 位选择组相联映像规则与变换

## ■ 映像规则：

- 主存块到Cache组set之间采用直接映像方式（即1个主存块只能映像到1个Cache组）；
- 在对应的组内部采用全相联映像方式（即1个主存块可以放入指定Cache组内任何1个块位置——**组内随便放**）。



# 位选择组相联映像规则与变换

- 将Cache分成G组 ( $G=2^g$ )，每个组S块 ( $S=2^s$ )：



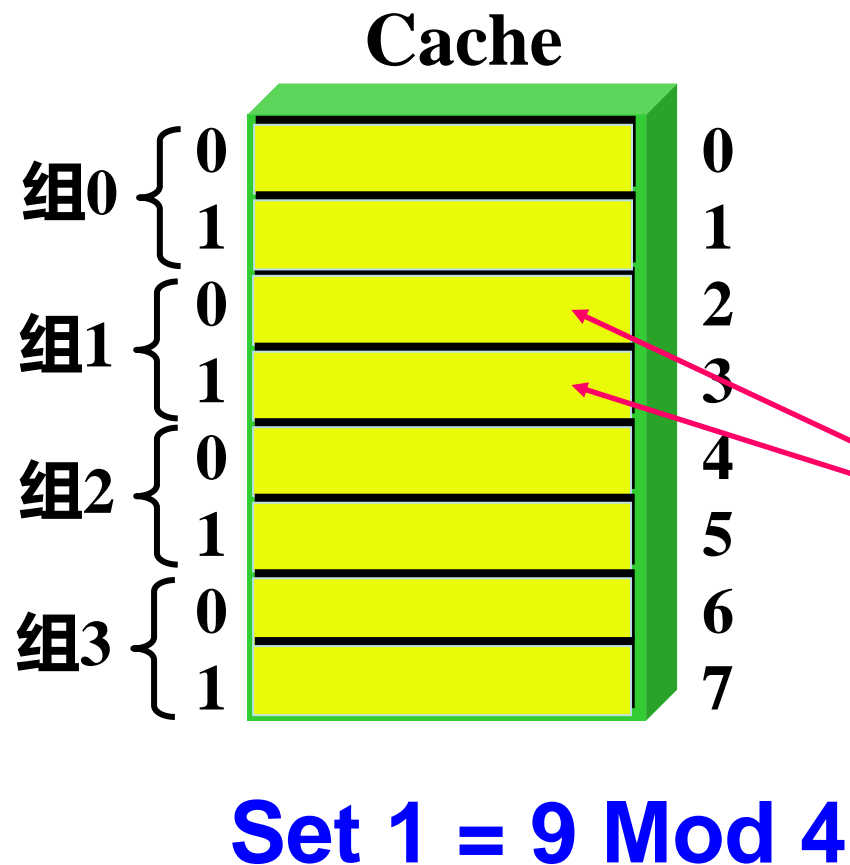
组内块数 S 称为**相联度**。

每组有 S 块的组相联称为 **S 路组相联**。

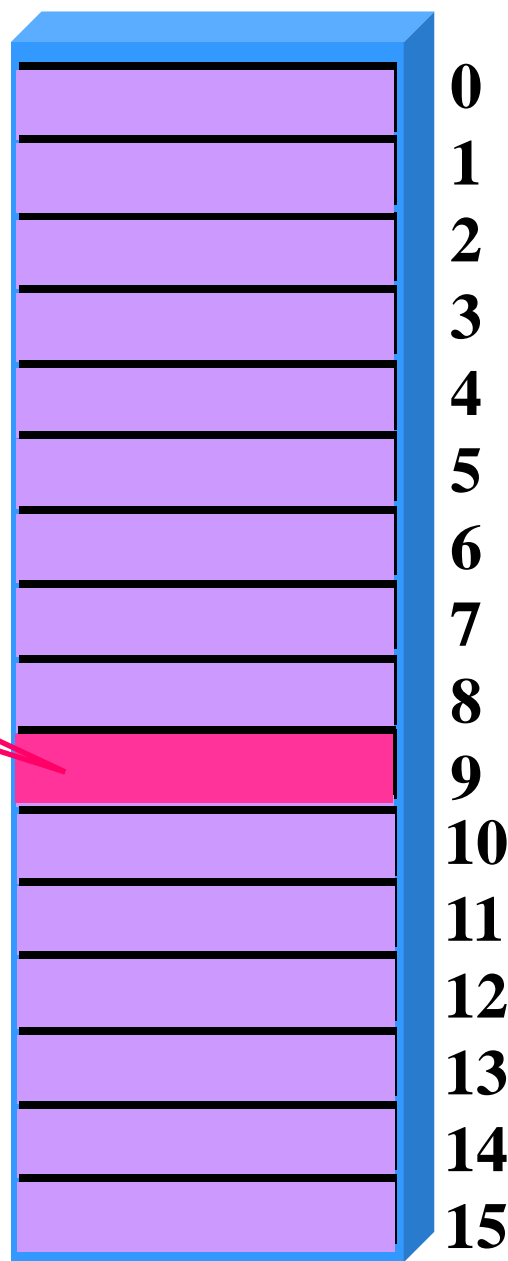
- 将主存按同样大小划分成块，并分为E个分区 ( $E=2^e$ )：



主存块9可以放入Cache组1的块0和块1中。

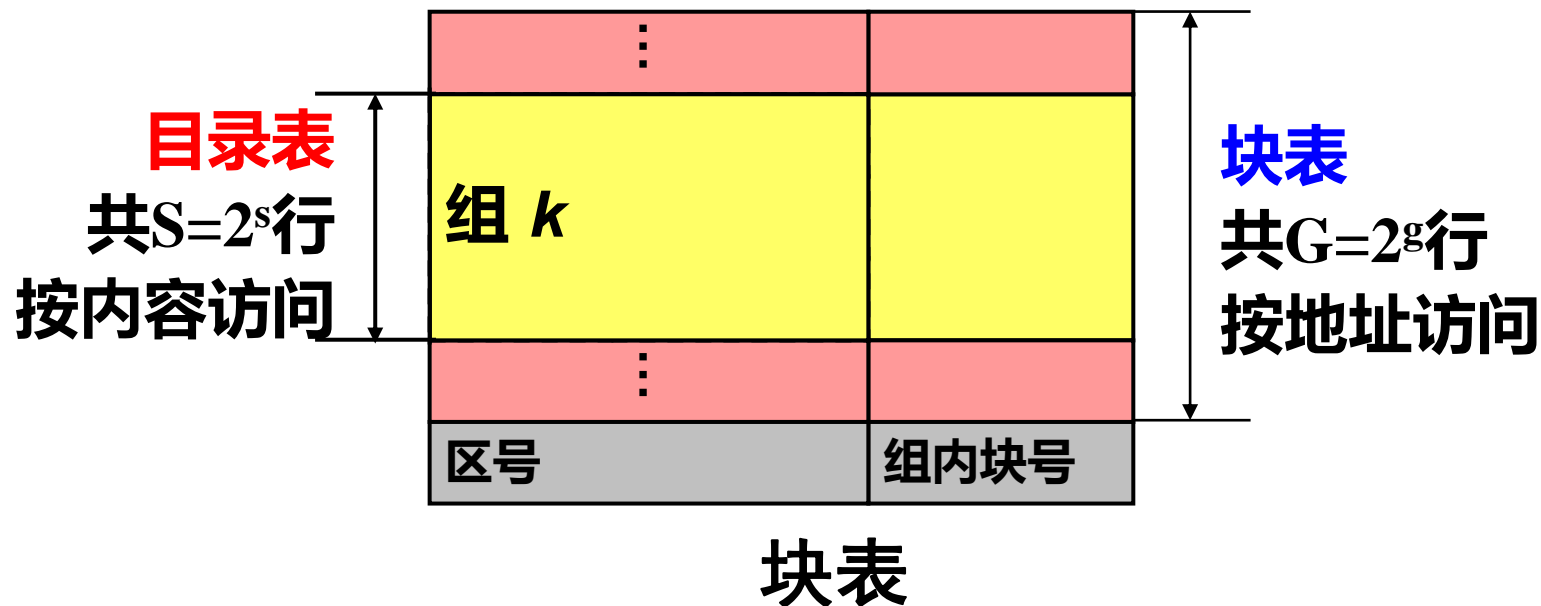


主存

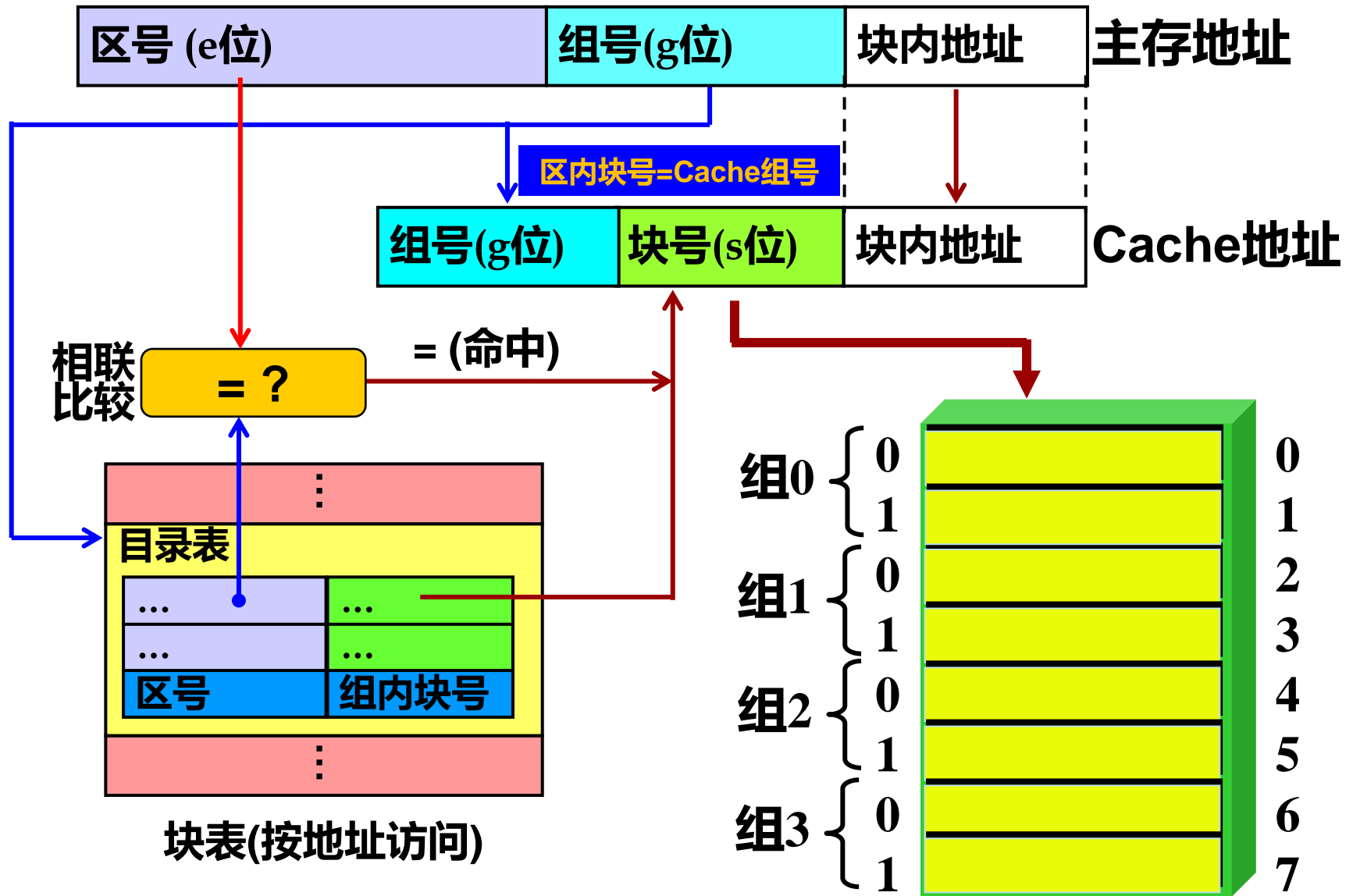


# 位选择组相联映像规则与变换

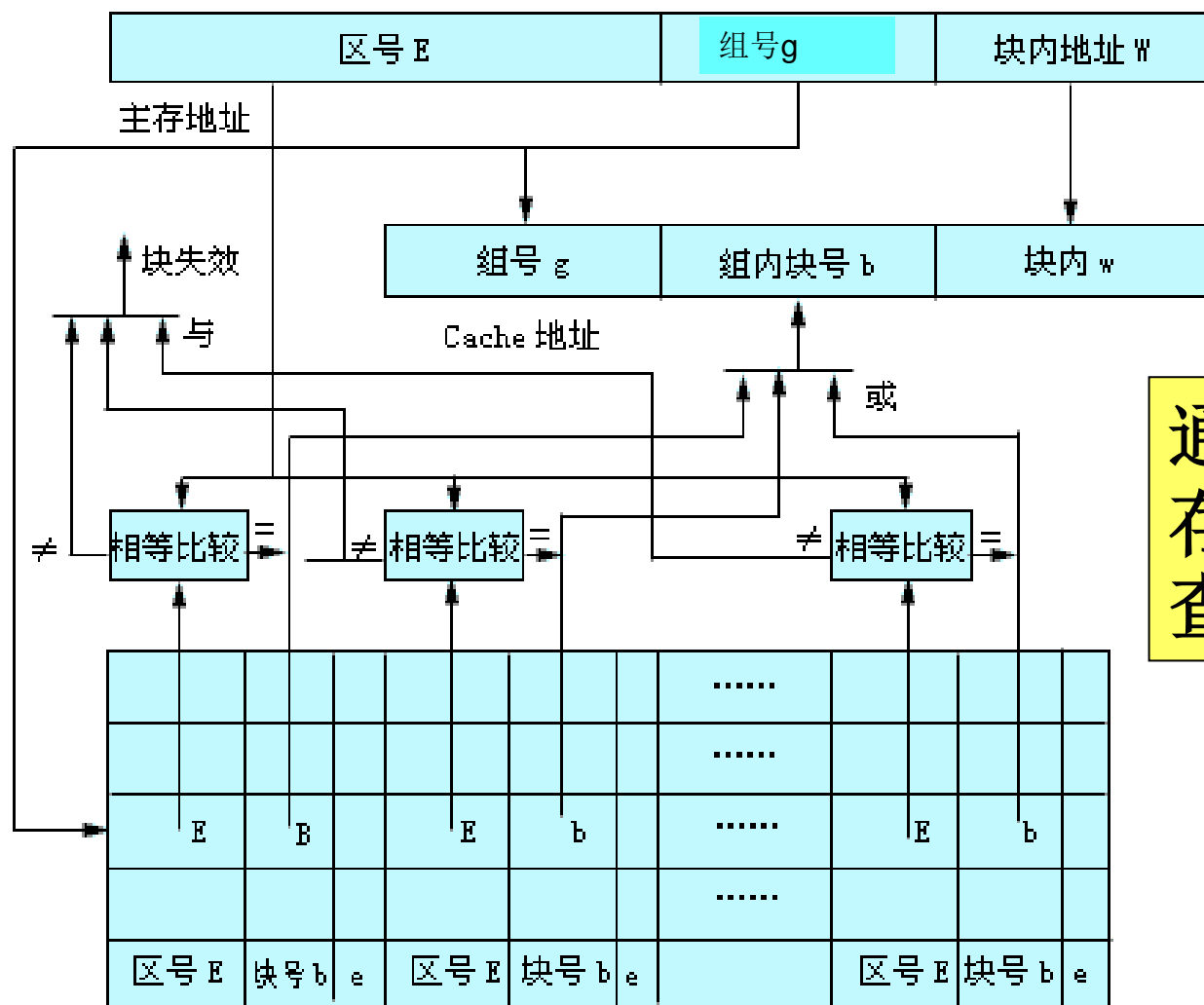
**地址变换：**根据区内块号按地址访问块表，取得目录表地址，按内容（区号）访问目录表。



# 位选择组相联映像规则与变换



# 位选择组相联映像规则与变换

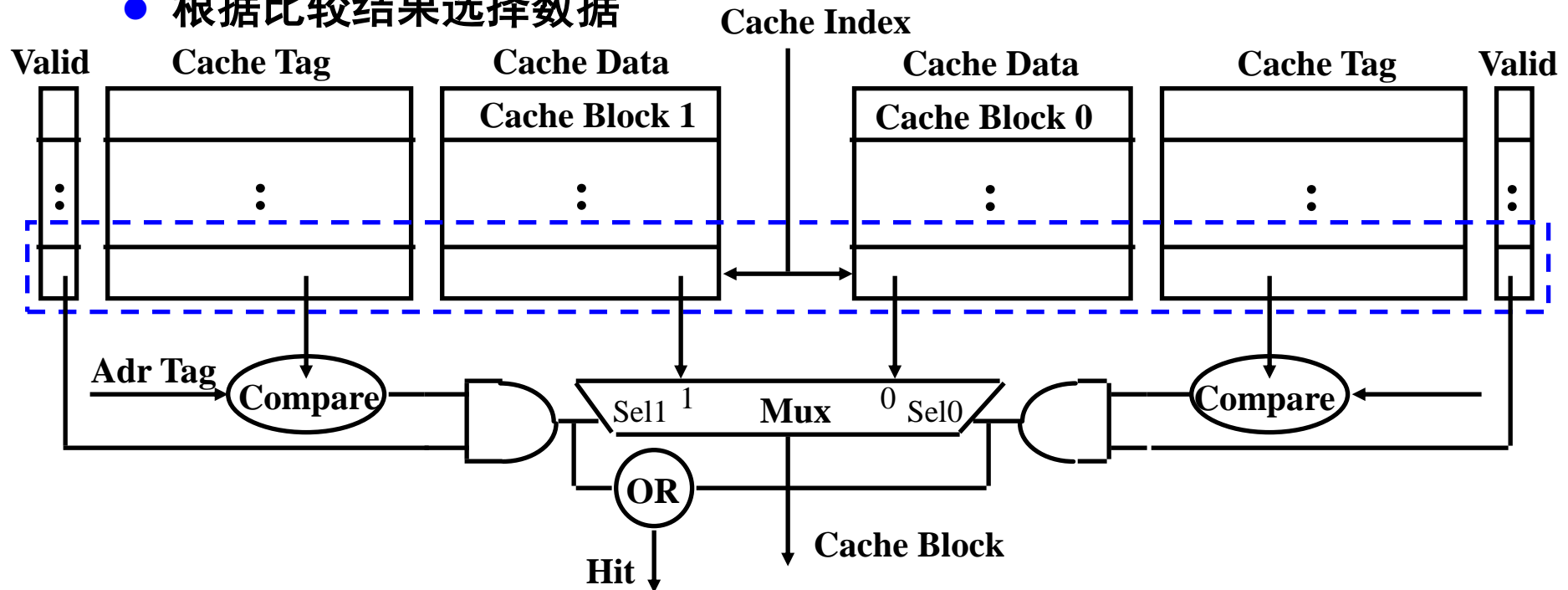


通过“单体多字存储器”来并行查询。

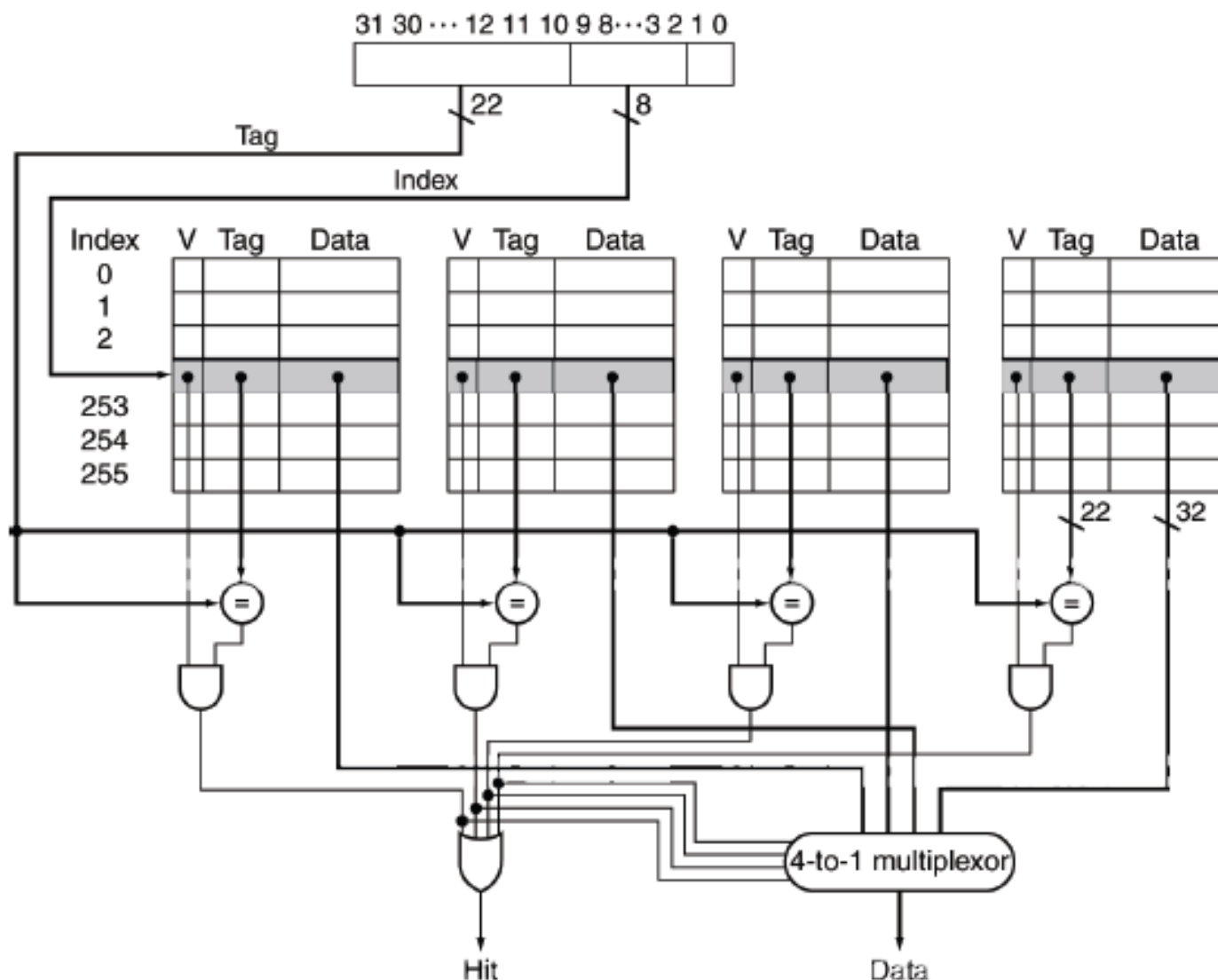
块表（按地址访问，读出的多个区号进行相联比较，e是有效位）

# Example: Set Associative Cache

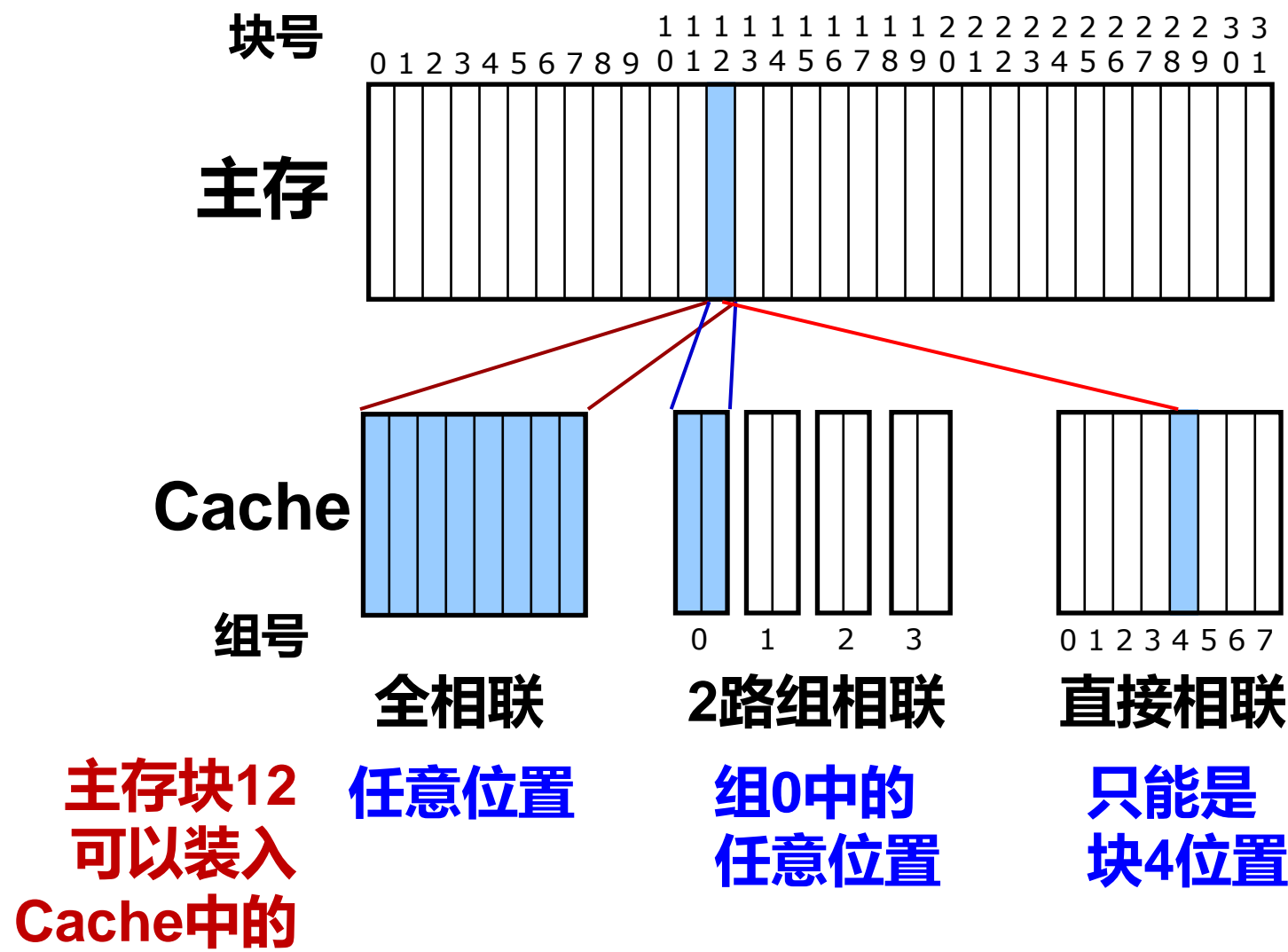
- **N-way set associative:** 每一个cache索引对应N个cache entries
  - 这N个cache项并行操作
- **Example: Two-way set associative cache**
  - Cache index 选择cache中的一组
  - 这一组中的两块对应的Tags与输入的地址同时比较
  - 根据比较结果选择数据



# Example: Set Associative Cache



# 组相联映像规则与变换





# N-Way组相联

- **N-Way组相联：**如果每组由N个块构成，cache的块数为M，则cache的组数G为 $M/N$ 。
- **不同相联度下的路数和组数**

	路数	组数
全相联	M	1
直接相联	1	M
其他组相联	$1 < N < M$	$1 < G < M$

- 相联度越高，cache空间利用率就越高，块冲突概率就越小，失效率就越低
- N值越大，失效率就越低，但Cache的实现就越复杂，代价越大
- 现代大多数计算机都采用直接映象，两路或四路组相联。

# 位选择组相联映像规则与变换

- 例8：某计算机的Cache共有16块，采用2路组相联映像方式（即每组2块）。每个主存块大小为32字节，按字节编址。主存129号单元所在主存块应装入到的Cache组号是多少？
- 解：由于每个主存块大小为32字节，按字节编址。根据计算主存块号的公式，主存块号=
$$\lfloor \text{主存地址} / \text{块大小} \rfloor = \lfloor \frac{129}{32} \rfloor = 4$$
，所以主存129号单元所在的主存块应为第4块。若Cache共有16块，采用2路组相联映像方式，可分为8组。根据组相联映像的映像关系，主存第4块转入Cache第4组。

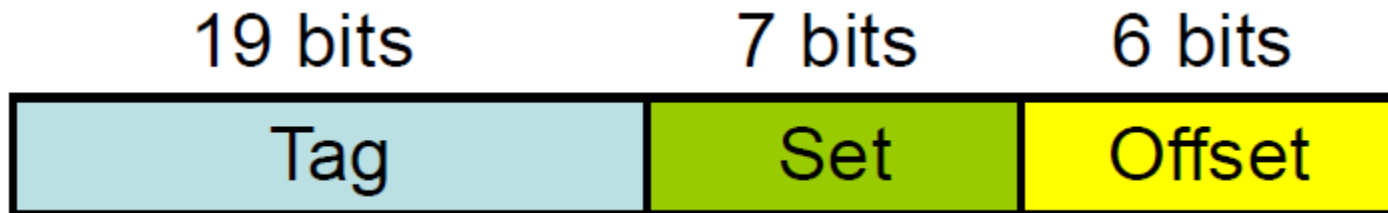
# Set Associative Mapping

- When the processor wants an address, it indexes to the set and then searches the tag fields of all lines in the set for the desired address
  - $n = \text{cache size} / \text{line size} = \text{number of lines}$
  - $b = \log_2(\text{line size}) = \text{bit for offset}$
  - $w = \text{number of lines} / \text{set}$
  - $s = n / w = \text{number of sets}$

# Example Set Associative

- Assume you have: 32 bit addresses, 32 KB of cache 64 byte lines, 4 way set associative.

- Number of lines =  $32 \text{ KB} / 64 = 512$
- Number of sets =  $512 / 4 = 128$
- Set bits =  $\log_2(128) = 7$



# 组相联映像规则与变换

## ■ 优点：

- 块冲突概率比直接映像低得多；
- Cache空间利用率也比直接映像提高；
- 实现成本比全相联映像要低得多；
- 性能接近于全相联映像。

## ■ 缺点：

- 实现难度和造价要比直接映像方式高。

# Calculating Bits in Cache

- How many total bits are needed for a **direct-mapped** cache with 64 KBytes of data and one word blocks, assuming a 32-bit address?
- How many total bits would be needed for a **4-way set associative** cache to store the same amount of data?
- How many total bits are needed for a **direct-mapped** cache with 64 KBytes of data and 8 word blocks, assuming a 32-bit address?

# Calculating Bits in Cache

- How many total bits are needed for a **direct-mapped** cache with 64 KBytes of data and one word blocks, assuming a 32-bit address?

- $64 \text{ Kbytes} = 16 \text{ K words} = 2^{14} \text{ words} = 2^{14} \text{ blocks}$
- $\text{block size} = 4 \text{ bytes} \Rightarrow \text{offset size} = 2 \text{ bits},$
- $\#sets = \#blocks = 2^{14} \Rightarrow \text{index size} = 14 \text{ bits}$
- $\text{tag size} = \text{address size} - \text{index size} - \text{offset size} = 32 - 14 - 2 = 16 \text{ bits}$
- $\text{bits/block} = \text{data bits} + \text{tag bits} + \text{valid bit} = 32 + 16 + 1 = 49 \text{ bits}$
- $\text{bits in cache} = \#blocks \times \text{bits/block} = 2^{14} \times 49 \text{ bits} = 98 \text{ Kbytes}$

# Calculating Bits in Cache

- How many total bits would be needed for a **4-way set associative** cache to store the same amount of data
  - block size and #blocks does not change
  - $\#sets = \#blocks/4 = (2^{14})/4 = 2^{12} \Rightarrow$  index size = 12 bits
  - tag size = address size - index size - offset =  $32 - 12 - 2 = 18$  bits
  - bits/block = data bits + tag bits + valid bit =  $32 + 18 + 1 = 51$  bits
  - bits in cache =  $\#blocks \times bits/block = 2^{14} \times 51 = 102$  Kbytes
- **Increase associativity  $\Rightarrow$  increase bits in cache**



# Calculating Bits in Cache

- How many total bits are needed for a **direct-mapped** cache with 64 KBytes of data and 8 word blocks, assuming a 32-bit address?
  - $64 \text{ Kbytes} = 16 \text{ K words} = 2^{14} \text{ words} = (2^{14})/8 = 2^{11} \text{ blocks}$
  - $\text{block size} = 32 \text{ bytes} \Rightarrow \text{offset size} = 5 \text{ bits},$
  - $\text{\#sets} = \text{\#blocks} = 2^{11} \Rightarrow \text{index size} = 11 \text{ bits}$
  - $\text{tag size} = \text{address size} - \text{index size} - \text{offset size} = 32 - 11 - 5 = 16 \text{ bits}$
  - $\text{bits/block} = \text{data bits} + \text{tag bits} + \text{valid bit} = 8 \times 32 + 16 + 1 = 273 \text{ bits}$
  - $\text{bits in cache} = \text{\#blocks} \times \text{bits/block} = 2^{11} \times 273 = 68.25 \text{ Kbytes}$
- **Increase block size  $\Rightarrow$  decrease bits in cache**

# Associativity Example

- **Compare 4-block caches:**
  - **Direct mapped,**
  - **2-way set associative, and**
  - **Fully associative.**

**Assume block access sequence: 0, 8, 0, 6, 8**

# Associativity Example

## ■ Direct mapped

Block address	Cache index	Hit/miss	Cache content after access			
			0	1	2	3
0	0	miss	Mem[0]			
8	0	miss	Mem[8]			
0	0	miss	Mem[0]			
6	2	miss	Mem[0]		Mem[6]	
8	0	miss	Mem[8]		Mem[6]	

# Associativity Example

## ■ 2-way set associative

Block address	Cache index	Hit/miss	Cache content after access			
			Set 0		Set 1	
0	0	miss	Mem[0]			
8	0	miss	Mem[0]	Mem[8]		
0	0	hit	Mem[0]	Mem[8]		
6	0	miss	Mem[0]	Mem[6]		
8	0	miss	Mem[8]	Mem[6]		

# Associativity Example

## ■ Fully associative

Block address		Hit/miss	Cache content after access			
0		miss	Mem[0]			
8		miss	Mem[0]	Mem[8]		
0		hit	Mem[0]	Mem[8]		
6		miss	Mem[0]	Mem[8]	Mem[6]	
8		hit	Mem[0]	Mem[8]	Mem[6]	

# Cache替换算法与实现

- Cache通常使用组相联或直接映像，而不采用全相联映像。
- 当所要访问的块不在Cache中时，则发生块失效。
- 当所能装入的Cache块都已被装满时，则出现块冲突，必须进行块替换。
- 替换算法：确定被替换的主存块。

# Cache替换算法与实现

## ■ 典型替换算法：

1. **随机算法**：随机选取一块进行替换。
2. **FIFO算法**：选取最早装入的块进行替换。
3. **LRU算法**：选取近期被CPU访问次数最少（最久未使用）的主存块进行替换。**优点：**  
比较正确地反映了程序的局部性，失效率低。  
**→ 常用**

# Cache替换算法与实现

表 LRU和随机算法的失效率的比较

Cache 容量	相联度					
	2路		4路		8路	
	LRU	随机	LRU	随机	LRU	随机
16KB	5.18%	5.69%	4.67%	5.29%	4.39%	4.96%
64KB	1.88%	2.01%	1.54%	1.66%	1.39%	1.53%
256KB	1.15%	1.17%	1.13%	1.13%	1.12%	1.12%

测试条件：块大小=16字节，地址流=VAX流

从表中数据可以看出：

- LRU算法的失效率低于随机算法。
- 随着Cache容量的增加，失效率降低。
- 当Cache容量较大时，LRU算法和随机算法的失效率几乎无差别。

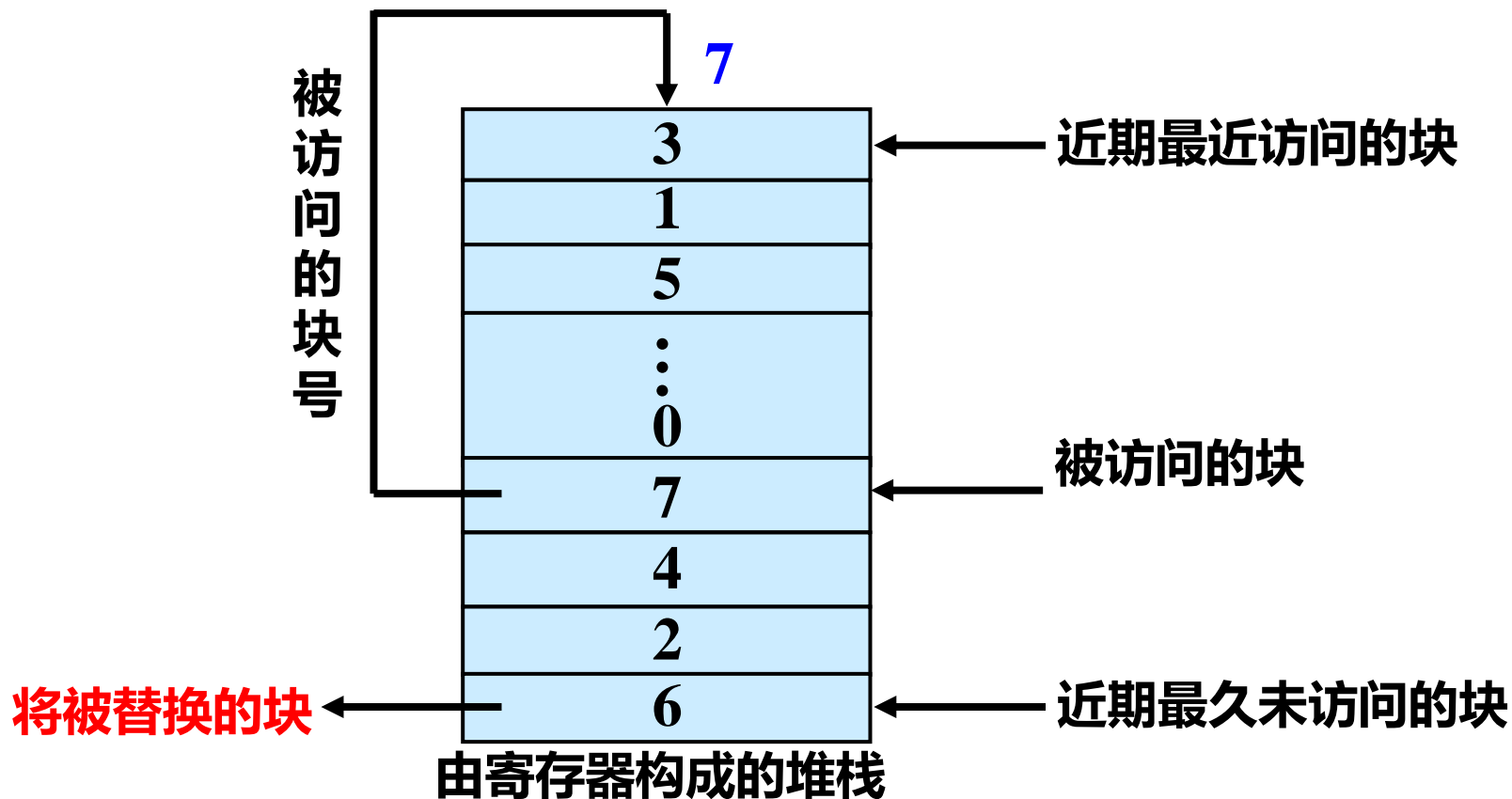


# Cache替换算法与实现

- 实现：全部用硬件
- 两种方法：
  - 堆栈法：使用硬堆栈
  - 比较对法：使用逻辑电路、触发器等

# 堆栈法

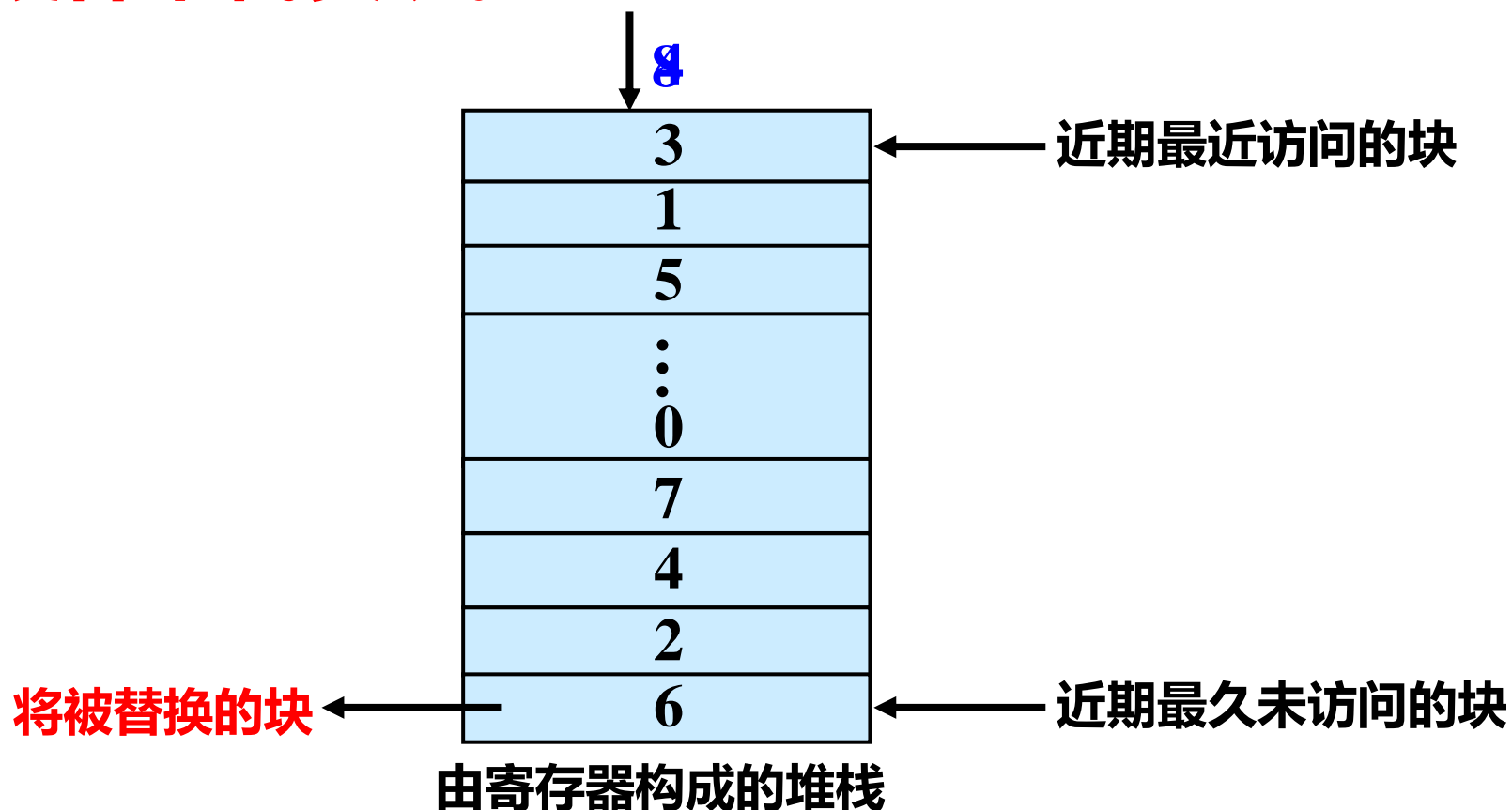
用硬件堆栈实现。



要访问的主存块7 已在Cache中时的情况

# 堆栈法

用硬件堆栈实现。



要访问的主存块8不在Cache中时的情况

# 比较对法

- 用触发器（硬联逻辑）实现。
- 基本思路：
  - 让各个块**成对**组合，用一个触发器的状态来表示该比较对内两块访问的远近次序，再经门电路就可找到LRU块。

# 比较对法

- 例如：有A、B、C 三块，之间的组合共有  $C_3^2 = 3$  组合：AB、AC、BC
- 各对内块的访问顺序分别用两态“触发器”表示。
  - $T_{AB}$  为 “1”：表示A比B更近被访问过；
  - $T_{AB}$  为 “0”，表示B比A更近被访问过。

# 比较对法

- 如果C为最久未被访问过的块，三个块的排列顺序有两种可能：

块A、块B、块C

块B、块A、块C

- 根据逻辑关系，很容易写出块C最久没有被访问过表达式：

$$C_{LRU} = T_{AB} \cdot T_{AC} \cdot T_{BC} + \overline{T_{AB}} \cdot T_{AC} \cdot T_{BC} = T_{AC} \cdot T_{BC}$$

$$B_{LRU} = T_{AB} \cdot \overline{T_{BC}}$$

$$A_{LRU} = \overline{T_{AB}} \cdot \overline{T_{AC}}$$

# 比较对法

## 3个块时:

- 3个触发器,
- 3个与门,
- 每个与门需要两个输入端。

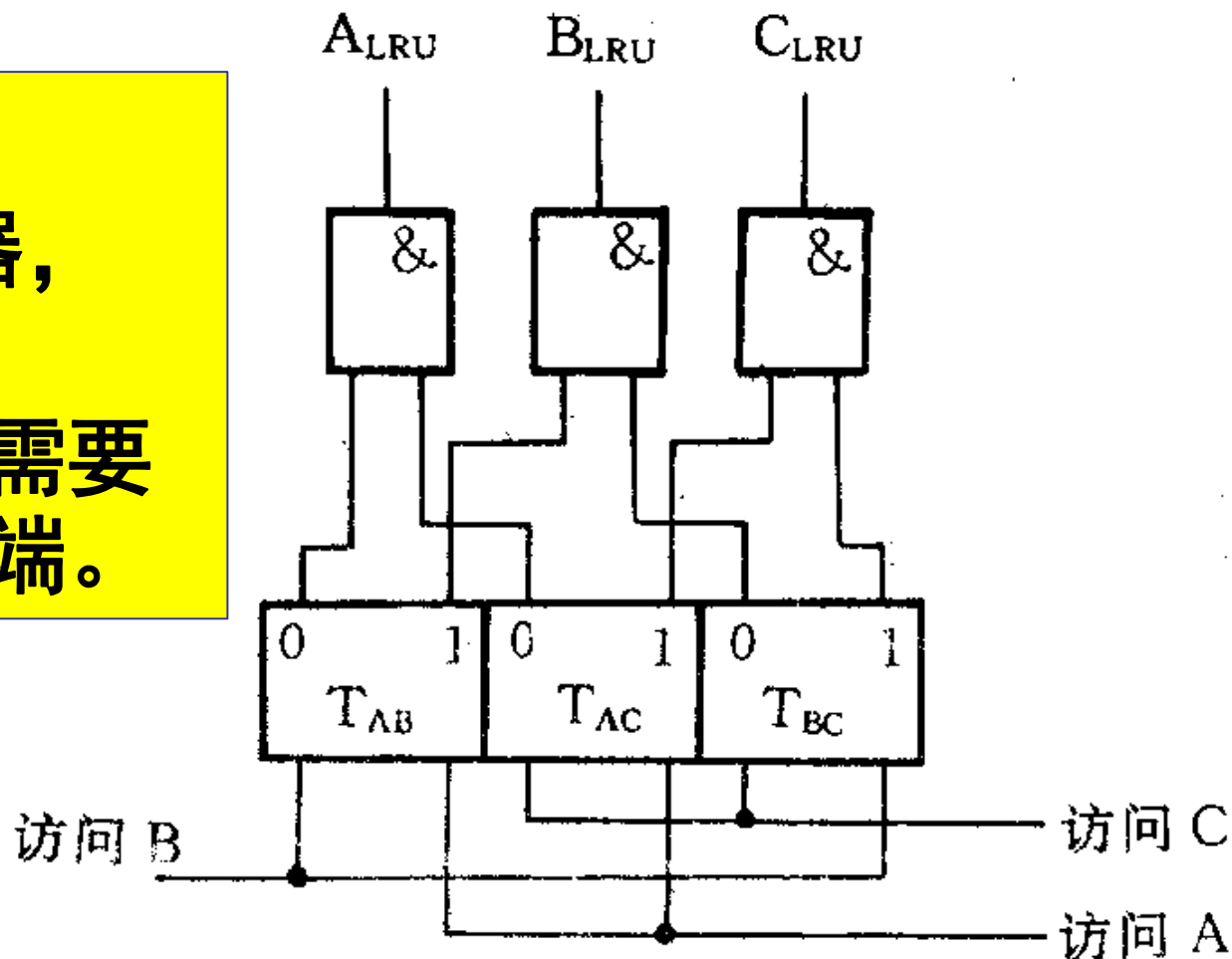


图 用比较对法实现LRU算法

# 比较对法

表 比较对触发器数、门数、门的输入端数与块数的关系

块数	3	4	8	16	64	256	...	$p$
比较对触发器数	3	6	28	120	2016	32 640	...	$p(p-1)/2$
门数	3	4	8	16	64	256	...	$p$
门输入端数	2	3	7	15	63	255	...	$p-1$

当每组的块容量为8块或8块以上时，所要的触发器个数及与门输入端个数很多，硬件实现的成本很高。

随着每组中的块容量增加，所需要的触发器的个数及与门的个数成平方关系增加。



# 堆栈法与比较对法

	堆栈法	比较对法
速度	速度比较低，因为它需要进行相联比。因此，当每一组的块容量比较大时，不宜采用堆栈法。	工作速度比较高，组合逻辑简单。
硬件实现	除了必须的寄存器之外，其它控制逻辑很简单。	相对比较复杂。需要比较多的触发器，特别是当每组的块容量比较大时。

比较对法所用触发器与堆栈的比例关系是：

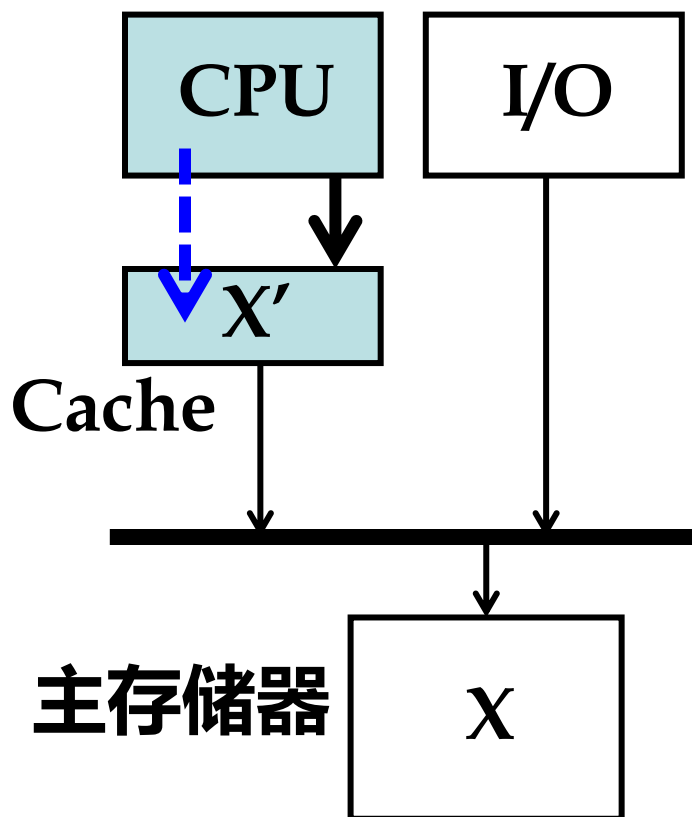
$$\frac{G_b(G_b - 1)}{2} : G_b \log_2 G_b$$

其中， $G_b$ 是Cache每一组的块容量。在 $G_b$ 比较小时，两者的差别不大，当 $G_b$ 大于8时，堆栈法所用的器件明显少于比较对法。

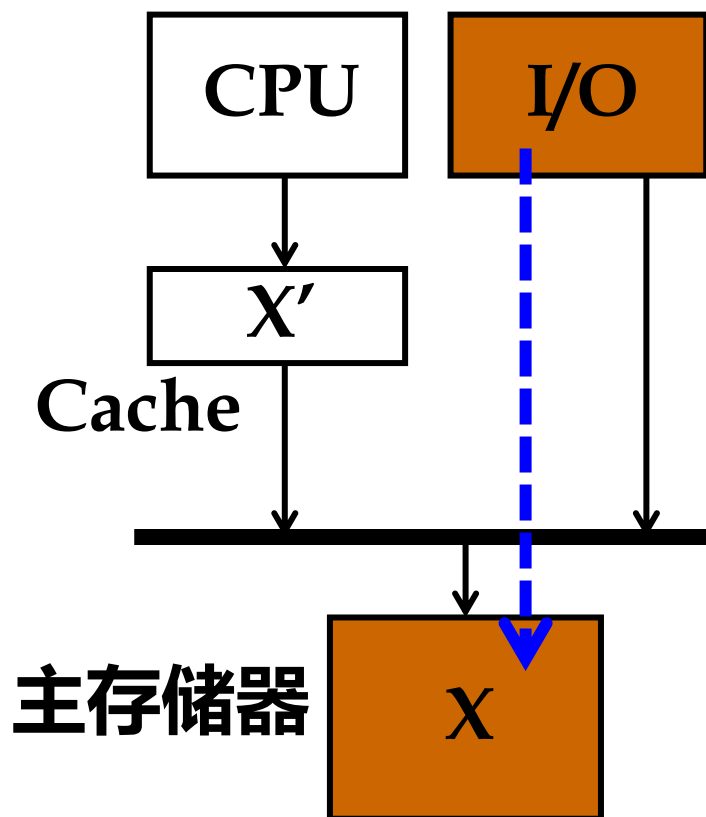
## 4.3.4 Cache的透明性及性能分析

- Cache—主存存储层次对所有程序员透明
- Cache内容是主存内容的一小部分副本
- 但Cache内容有可能与主存内容不一致：
  - CPU更新（写）了Cache而未更新主存；
  - I/O更新了主存而未更新Cache；

# 1. Cache透明性分析



(a) CPU写Cache



(b) I/O写主存

Cache与主存不一致的两种情况

# 1. Cache透明性分析

- 必须解决Cache的一致性问题
- **解决问题的关键：** 写Cache时如何更新主存的内容。
- “写”操作所占的比例
  - Load指令：26%
  - Store指令：9%
- “写”在访问Cache操作中所占的比例：
  - $9\% / (26\% + 9\%) \approx 25\%$

# 1. Cache透明性分析

- 大概率事件优先原则：优化Cache读操作
- Amdahl定律：不可忽视“写”速度
- “写”问题
  - 读出标识，确认命中后，对Cache写（串行操作）
  - Cache与主存内容的一致性问题
- 写策略就是要解决：何时更新主存问题

# Cache一致性算法：2种写策略

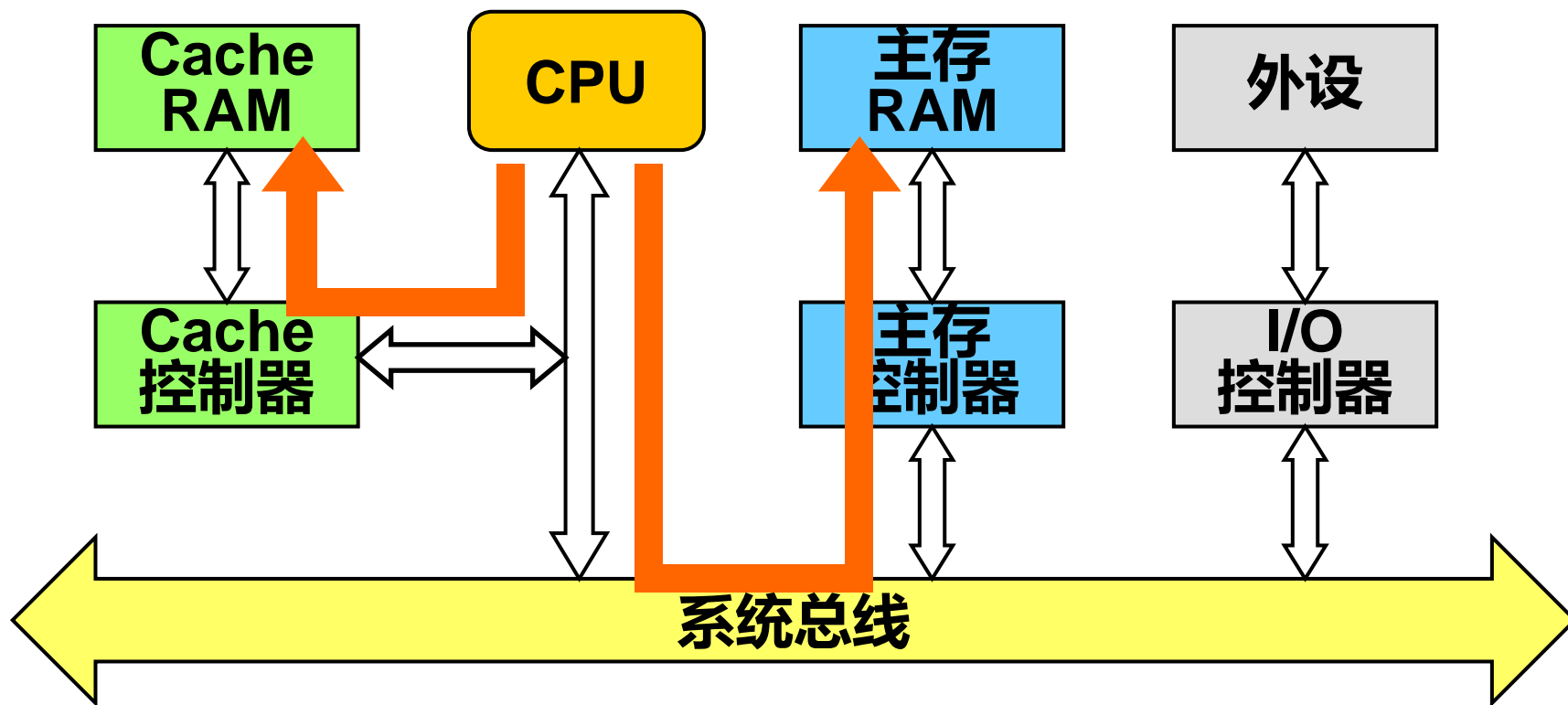
## ■ 写直达法（Write-through）

- CPU在执行写操作时，利用直接通路，把数据同时写入Cache和主存

## ■ 写回法（Write-Back）

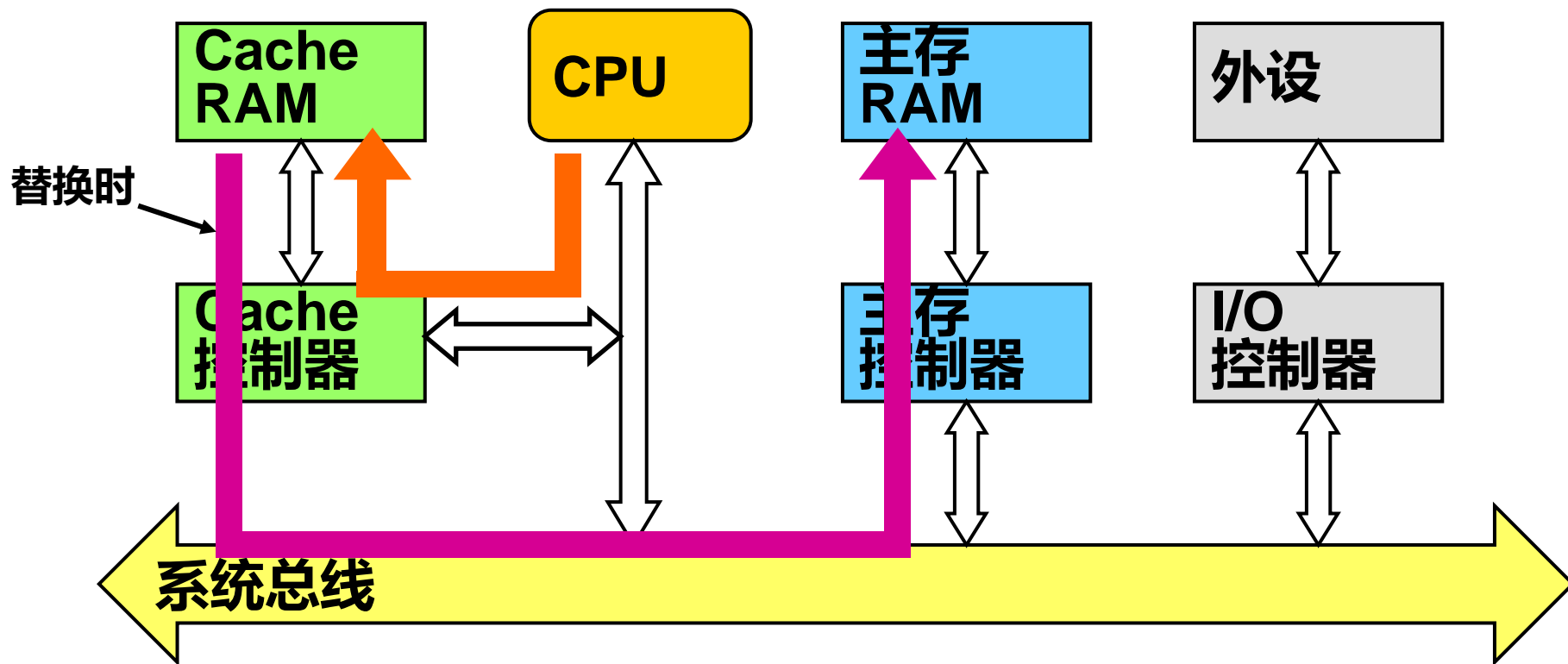
- 也称为抵触修改法
- CPU数据只写入Cache，不写入主存
- 为每个Cache块设置“修改位”
- 仅当替换时，才把修改过的Cache块写回到主存

# Cache一致性算法：2种写策略



**写直达法：**数据同时写入Cache和主存

# Cache一致性算法：2种写策略



**写回法：**数据只写入Cache，替换时才写入主存



# 两种“写”策略的比较

	写直达法	写回法
可靠性	好于写回法	块替换前仍存在一致性问题
与主存的通信量		少于写直达法达10多倍
控制复杂性	比写回法简单	
硬件实现代价		比写直达法低得多

# “写”调块

- “写”操作必须在确认是命中后才可进行
- 当出现写不命中时，是否需要将主存块调入Cache？
- 两种方法：
  - 不按写分配法：在写Cache不命中时，把所要写的字直接写入主存，不调块；
  - 按写分配法：在写Cache不命中时，写入主存，并把单元所在块调入Cache；

# 写策略与调块

## ■ 一般：

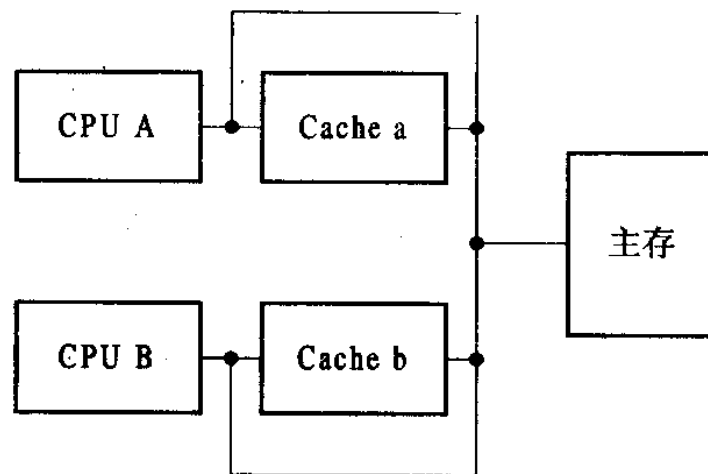
- 写直达法 —— 不按写分配
- 写回法 —— 按写分配

## ■ 单处理机系统

- 大多采用写回法

## ■ 共享主存的多处理机

- 为保证各处理机经主存交换信息时不出错，较多采用写直达法
- 多Cache一致性算法



## 2. Cache的预取算法

- Cache的命中率对机器的性能影响很大
- 如何预取提高Cache的命中率？
- 命中率与很多因素有关：
  - 预取算法
  - 块大小
  - 预取开销等

## 2. Cache的预取算法

### ■ 预取算法有如下几种：

- **按需取**：在出现Cache不命中时，把一个块取到Cache中来
- **恒预取**：无论Cache是否命中，都把下一块取到Cache中
- **不命中预取**：当Cache不命中，把本块和下一块一起取到Cache中

### 主要考虑因素：

- 命中率的提高；
- Cache与主存之间通信量的增加。

## 2. Cache的预取算法

### ■ 从模拟实验的结果看：

- 采用恒预取能使Cache的不命中率降低75~85%
- 采用不命中预取能使Cache的不命中率降低30~40%

### ■ Cache所用的取算法基本上仍是按需取进法，即在出现Cache块失效时，才将要访问的字所在的块(行)取进。由于程序存在局部性，只要适当选择好Cache的容量、块的大小、组相联的组数和组内块数，是可以保证有较高的命中率的。

## 2. Cache的预取算法

- **注意：采用预取法并非一定能提高命中率，它还和其他因素有关。**
  - **一是块的大小。**若每块的字节数过少，预取的效果不明显。从预取需要出发，希望块尽可能增大。但若每块的字节数过多，一方面可能会预取进不需要的信息，另一方面由于Cache的容量有限，又可能把正在使用或近期内就要用到的信息给替换出去，反而降低了命中率。从已有模拟结果来看，每块的字节数如果超过256，就会出现这种情况。
  - **二是预取开销。**要预取就要有访主存开销和将它取进Cache的访Cache开销，还要加上把被替换块写回主存的开销。这些开销会增加主存和Cache的负担，干扰和延缓程序的执行。

### 3. 任务切换对失效率的影响

- 受限于Cache的容量，多个进程的工作区很难同时保留在Cache内。
- 因此，造成Cache失效的一个**重要原因**是任务切换。失效率的高低当然就和任务切换的频度有关，或者说与任务切换的平均时间间隔 $Q_{sw}$ 的大小有关。



# 3. 任务切换对失效率的影响

## ■ 解决办法：

- 增大Cache容量；
- 修改调度算法，使任务切换回来之前，有用的信息仍能保留在Cache中不被破坏；
- 设置多个Cache，例如设置两个Cache，一个专用于管理程序，一个专用于用户程序。这样，在管态和目态之间切换时，不会破坏各自Cache中的内容。
- 此外，对于某些操作，例如长的向量运算、长的字符行运算等，可以不经过Cache直接进行，以避免这些操作由于使用Cache，而从Cache中置换出大量更有希望被重用的数据。

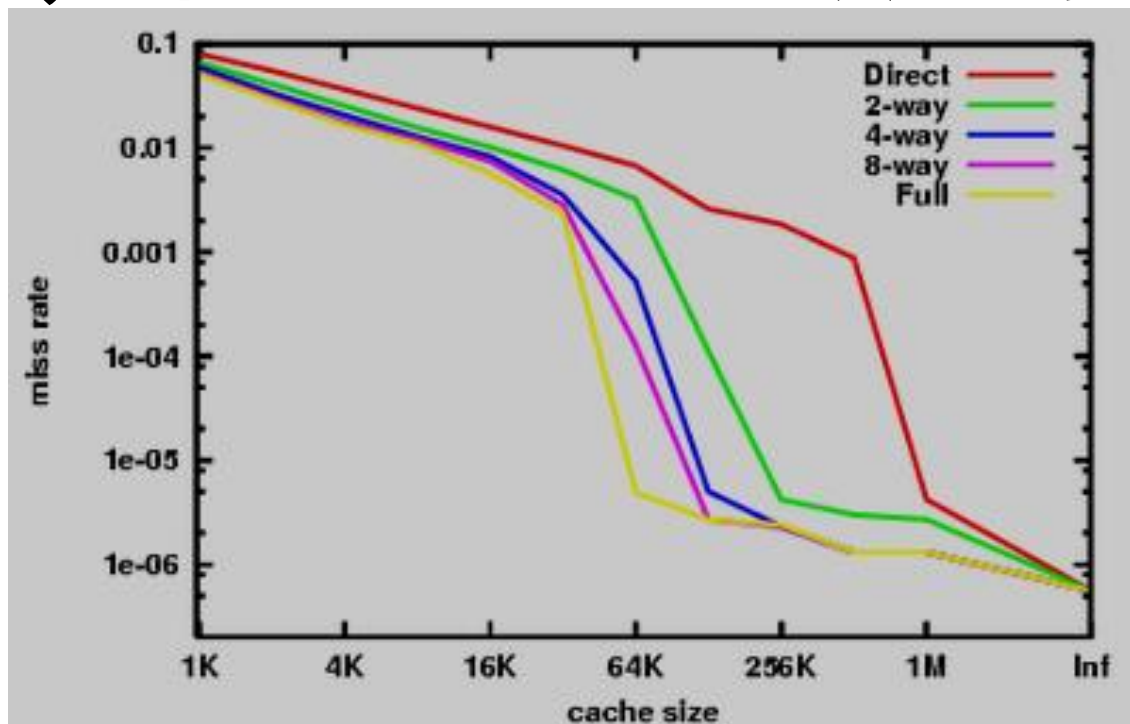
## 4. 影响Cache存储器性能的因素

### ■ 影响Cache性能和命中率的因素很多：

- 块大小，块数量
- 采用组相联时，组内块数和组数
- 替换算法
- 地址流
- Cache预取算法等

## 4. 影响Cache存储器性能的因素

- 相对来说，Cache 容量越大，命中率相对来说也就越高，但是在达到一定的容量之后，命中率的增长与改善则会趋于0.



# 4. 影响Cache存储器性能的因素

不命中率  
 $1 - H_c$

组大小一定时

块大小减小

(a) Cache容量

不命中率  
 $1 - H_c$

块大小一定时

组大小减小

(b) Cache容量

## 5. Cache性能分析

- 由于CPU与主存之间有直接通路，Cache的等效访问时间

$$t_a = H_c t_c + (1 - H_c) t_m$$

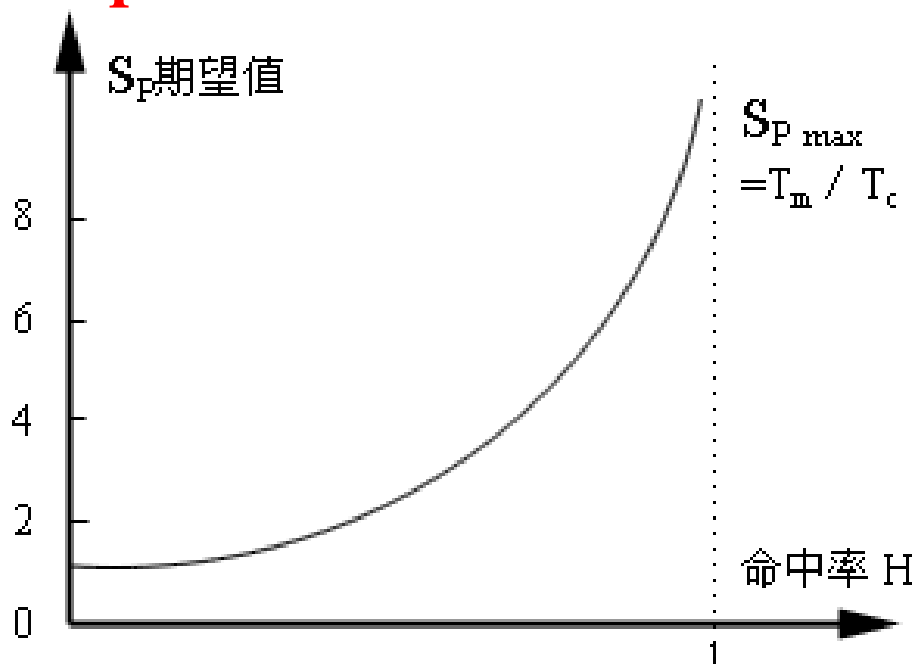
- 加速比为：

$$S_p = \frac{t_m}{t_a} = \frac{t_m}{H_c t_c + (1 - H_c) t_m} = \frac{1}{1 - (1 - t_c / t_m) H_c} < \frac{1}{1 - H_c}$$

当  $t_c \ll t_m$  时

# 5. Cache性能分析

- 在Cache系统中，主存储器的访问周期 $T_m$ 和Cache的访问周期 $T_c$ 由于受所用器件的限制通常是一定。因此，**提高Cache系统的加速比 $S_p$ 最好的途径是提高命中率 $H$ 。**



由于命中率 $H$ 的值一般都大于0.9，能达到0.99以上，因此，实际上Cache的加速比 $S_p$ 能够接近于它的最大值 $T_m/T_c$ 。

# 6. Cache层次

## ■ 1. 统一Cache和分离Cache

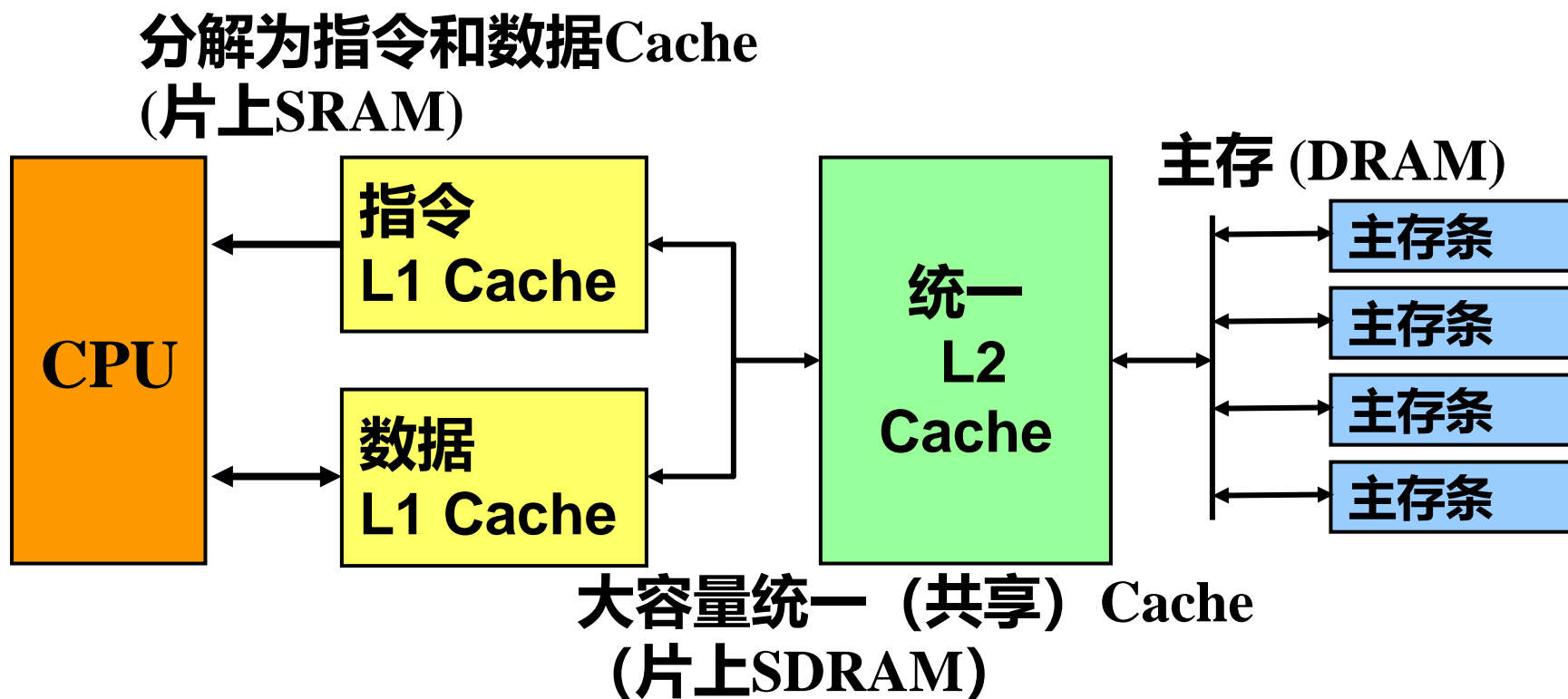
- **统一Cache:** 只有一个Cache, 指令和数据混放。
- **分离Cache:** 分为指令Cache和数据Cache。

它消除了流水线中指令处理器和执行单元间的竞争, 因此特别适用于超标量流水线。

## ■ 2. 单级Cache与多级Cache

- L1 Cache, L2 Cache, L3 Cache  
采用多级Cache结构可以提高性能。

# 6. Cache层次



一种典型的Cache存储层次



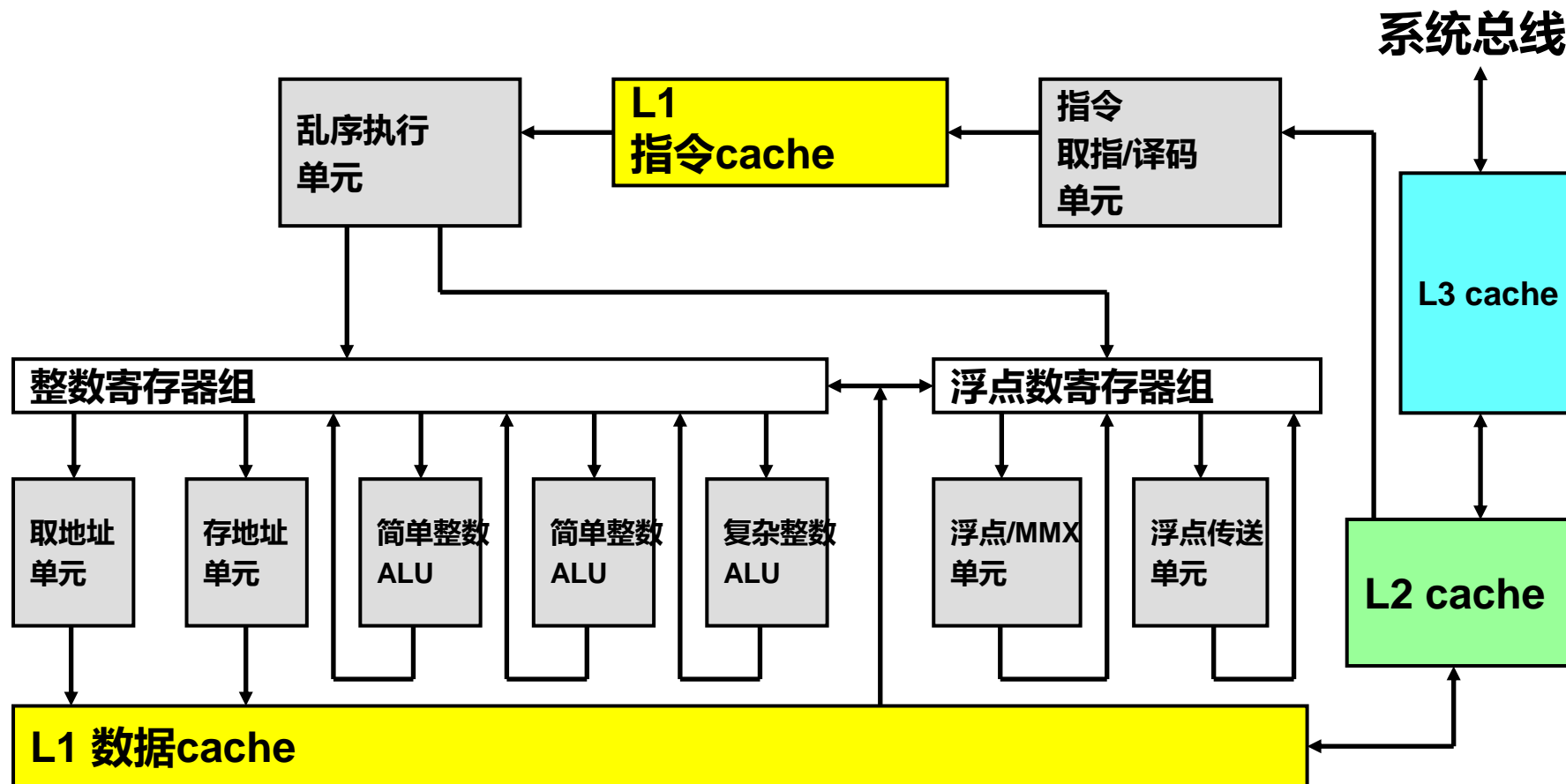
# PC中的Cache

CPU	L1 cache	L2 cache	L3 cache
8088	无	无	无
80286	无	无	无
80386dx	片外	无	无
80486dx	片内8KB	片外	无
Pentium	片内8KB+8KB	片外	无
Pentium MMX	片内16KB+16KB	片外	无
Pentium II/III	片内16KB+16KB	卡上512KB~1MB	无
AMD毒龙	片内128KB	片内64KB	无
AMD雷鸟	片内128KB	片内256KB	无
Pentium IV	片内8KB数据 +2KB指令	片内256KB	片内1MB

# Intel Pentium 4 Cache

- Pentium (所有版本): 2个片上L1 cache, 数据和指令
- Pentium III: 增加了片外L3 cache
- Pentium 4
  - L1 cache
    - ◆ 容量: 8K 字节
    - ◆ 块大小 (一行): 64 字节
    - ◆ 映像规则: 4路组相联
  - L2 cache: 为数据和指令cache提供输入
    - ◆ 容量: 256K字节
    - ◆ 块大小 (一行): 128 字节
    - ◆ 映像规则: 8路组相联
  - 片内L3 cache, 1MB

# Intel Pentium 4 Cache



# 基本Cache优化方法

## ■ 降低失效率

- 1、增加Cache块的大小
- 2、增大Cache容量
- 3、提高相联度

## ■ 减少失效开销

- 4、多级Cache
- 5、使读失效优先于写失效

## ■ 缩短命中时间

- 6、避免在索引缓存期间进行地址转换

# 高级Cache优化方法

- 缩短命中时间
  - 1、小而简单的第一级Cache
  - 2、路预测方法
- 增加Cache带宽
  - 3、Cache访问流水化
  - 4、无阻塞Cache
- 减小失效开销
  - 5、多体Cache
  - 6、关键字优先和提前重启
  - 7、合并写
- 降低失效率
  - 8、编译优化
- 通过并行降低失效代价或失效率
  - 9、硬件预取
  - 10、编译器控制的预取

# 第四章 存储体系

## 学习内容：

- 4.1 存储体系概念和并行存储系统
- 4.2 虚拟存储系统
- 4.3 高速缓冲存储器（Cache）
- 4.4 Cache - 主存 - 辅存三级层次
- ARM存储系统

## 4.4 Cache - 主存 - 辅存三级层次

- 目前的大部分计算机系统中，既有虚拟存储器，也有Cache。
- 程序员使用且只关心一个存储器：
  - 访问方式 = 按地址随机访问
  - 等效速度 = Cache
  - 等效容量 = 虚拟空间容量

## 4.4 Cache - 主存 - 辅存三级层次

■ Cache、主存、磁盘这三个存储器可以分别构成：

- “Cache—主存” 和 “主存—磁盘” 两个存储系统。
- 一个 “Cache—主存—磁盘” 存储系统。



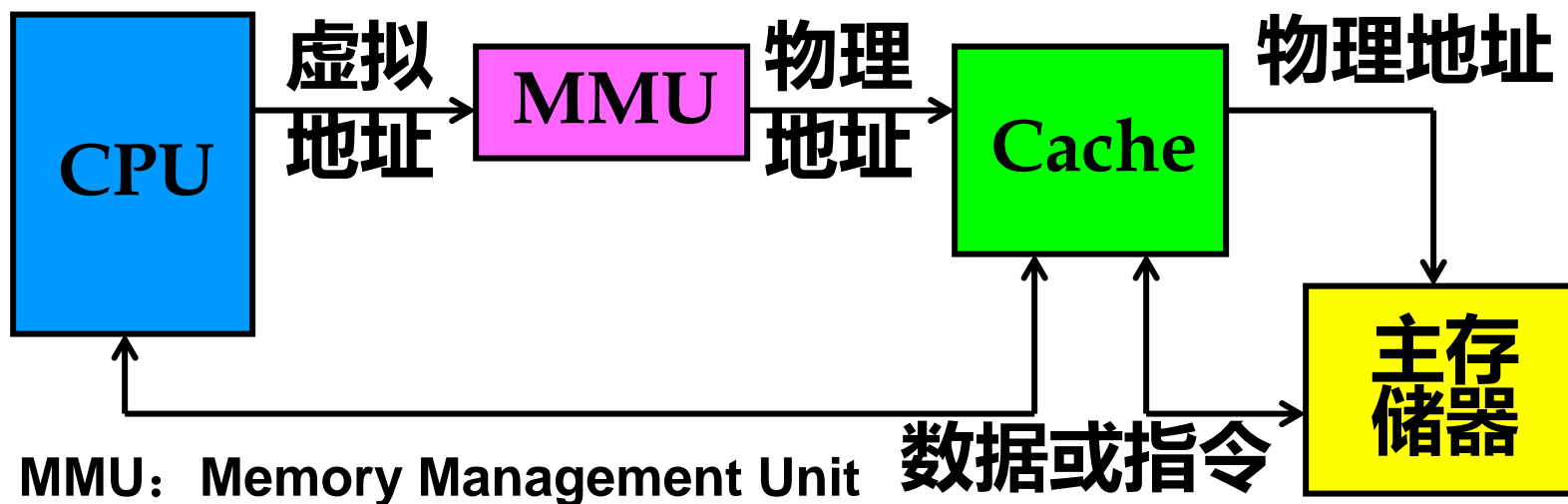
## 4.4 Cache - 主存 - 辅存三级层次

可以有如下几种做法：

- 1、两个存储系统组织方式。
- 2、一个存储系统组织方式。
- 3、全Cache系统。

# 两个存储系统

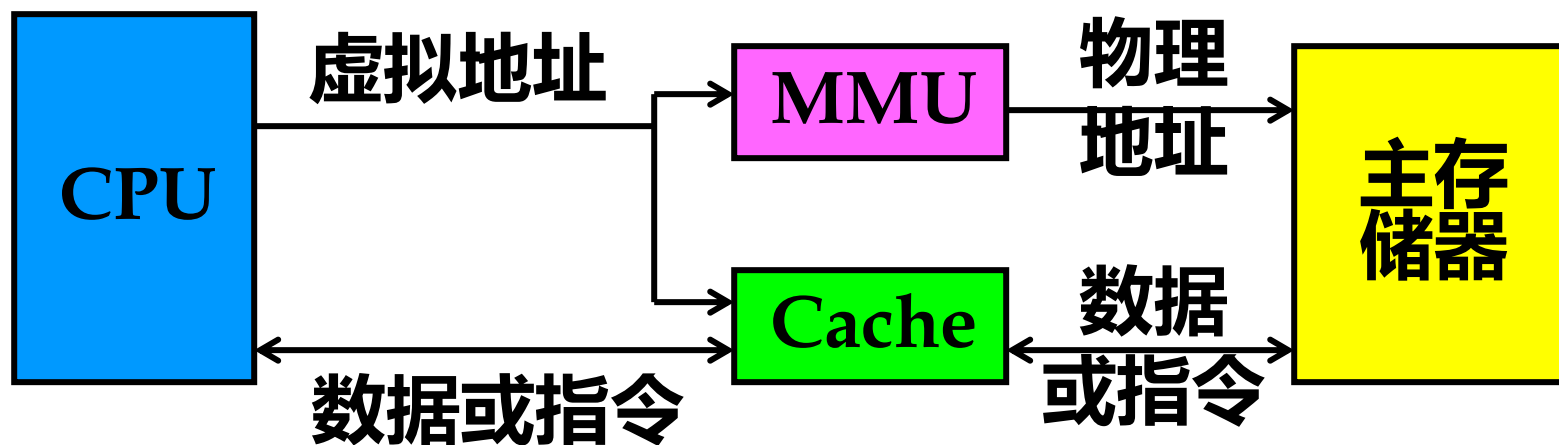
- 有“Cache—主存”和“主存—磁盘”两个独立的存储系统。这种结构在有些资料上也称为**物理地址Cache**。



**Intel公司的i486和DEC公司的VAX 8600等处理机均采用这种两级存储系统。**

# 一个存储系统

- 把Cache、主存和磁盘三个存储器组织在一起构成一个“Cache—主存—磁盘”存储系统。有些资料上把这种组织方式称为**虚拟地址Cache**。



Intel公司的i860等处理机采用这种组织方式。

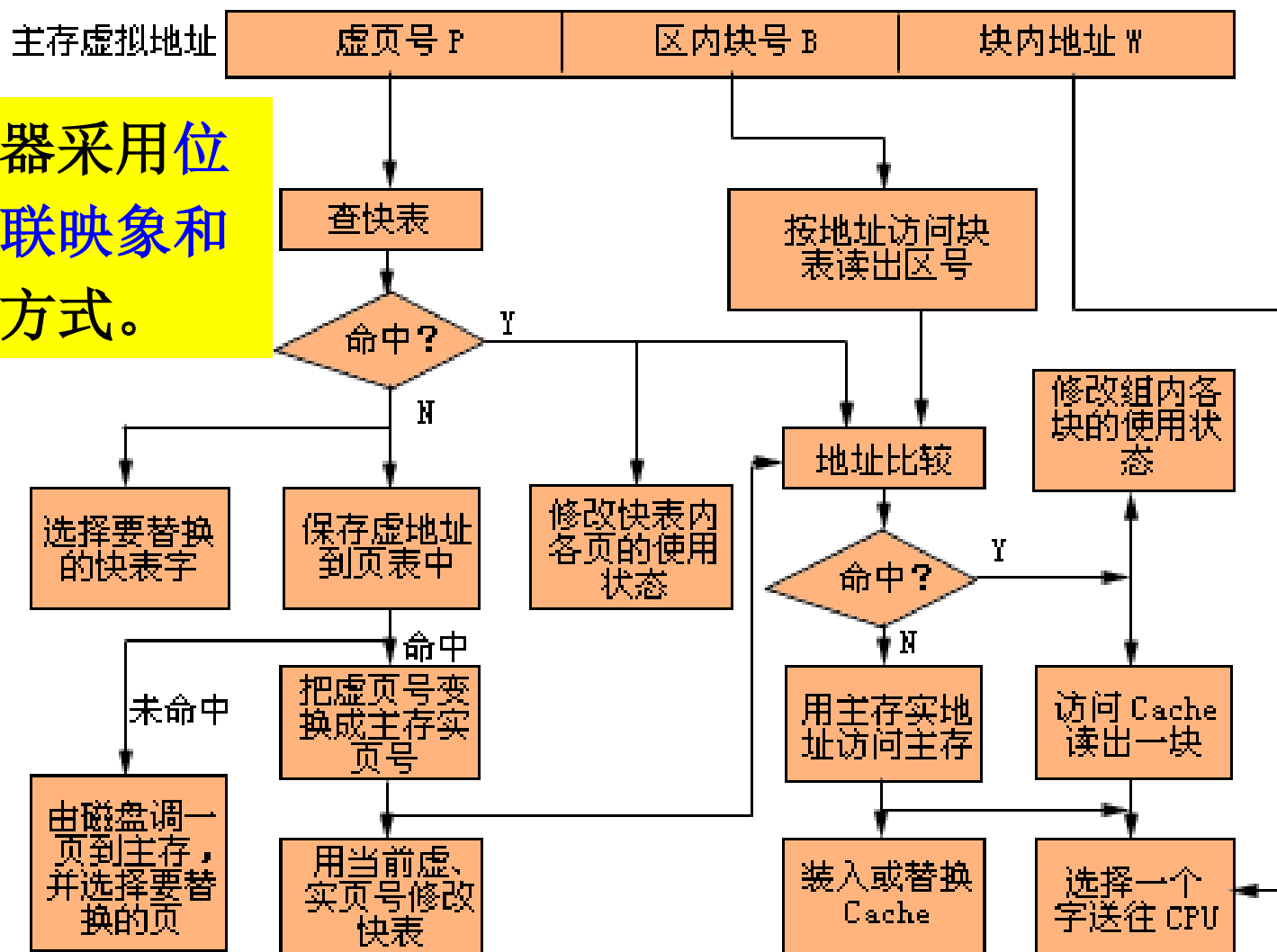
# 一个存储系统

- 在既有Cache，又有虚拟存储器的处理机中，如果对Cache的访问仍采用主存实地址，就要把虚拟地址首先变换成主存实地址，然后才能访问Cache，这样必然增加访问Cache所花费的时间，至少要增加一个查主存快表的时间。
- 因此，在许多系统中，采用直接用虚拟地址访问Cache方法。

# 一个存储系统

使虚拟存储器中的一页恰好就是主存储器中的一个区。可以直接用虚拟地址中的区内块号**B**按地址访问**Cache**的块表。区号实际上也就是页号。

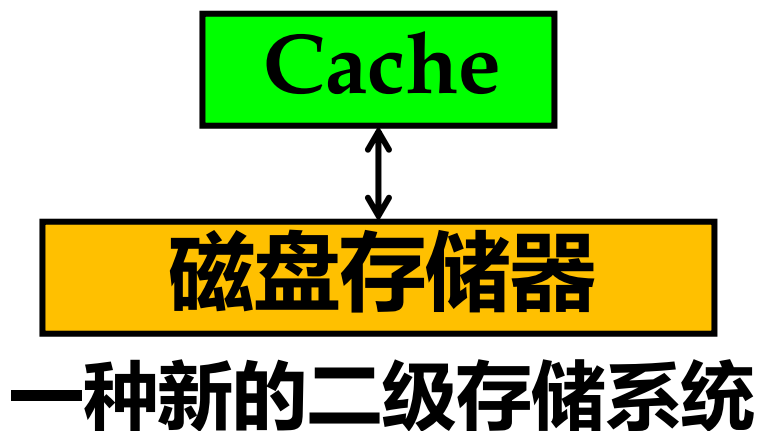
虚拟存储器采用**位选择组相联映象和地址变换方式**。



一种虚拟地址**Cache**的地址变换过程

# 全Cache系统

- 一种新的存储器组织方式。
- all-Cache.
- 没有主存储器，只用Cache和磁盘（实际上只是磁盘中的一部分）两个存储器构成“Cache - 磁盘”存储系统。



# 地址映象举例

■ 例1：假设某个计算机系统Cache容量为64K字节，数据块大小是16个字节，主存容量是4M，地址映象为直接相联方式。问：

- (1) 主存地址多少位？如何分配？
- (2) Cache地址多少位？如何分配？
- (3) 目录表的格式和容量？

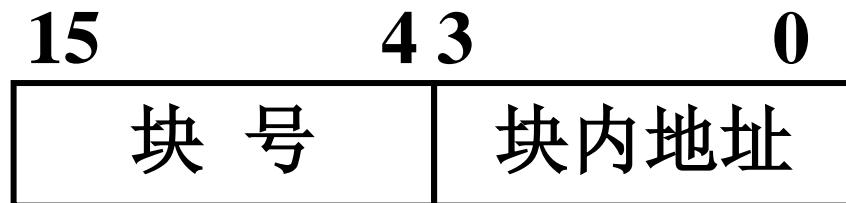
# 地址映象举例

## ■ 例1：解：

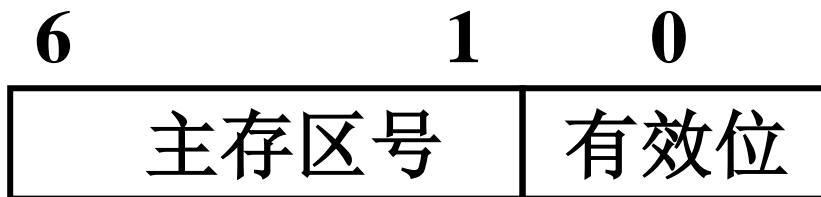
主存地址  
格式：



Cache地址  
格式：



目录表的格式：



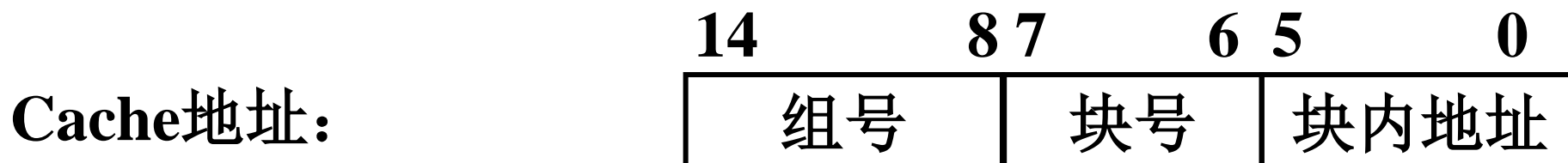
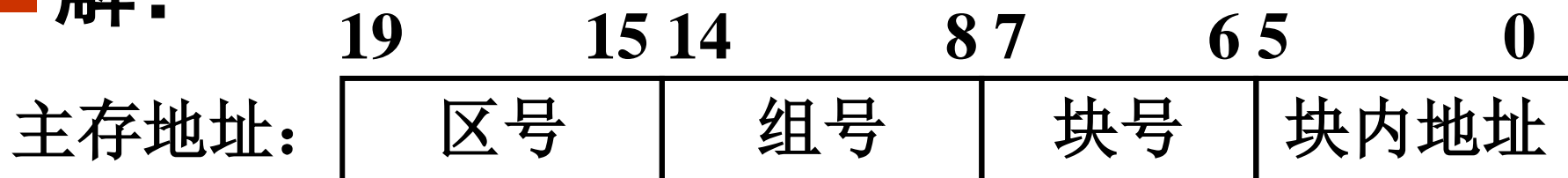
目录表容量：应与Cache块数量相同，即 $2^{12}=4096$



# 地址映象举例

- 例2：主存容量为1MB，Cache容量为32KB，每块为64个字节，共分128组。请写出主存与Cache的格式。

- 解：



# 本章重点

- 并行存储器和交叉访问存储器的工作原理；
- 存储系统的定义；
- 存储系统的性能参数；
- 段式、页式、段页式虚拟存储管理的特点；
- 页式虚拟存储系统的工作原理；
- 虚拟存储系统的页面替换算法；
- 虚拟存储系统中加快地址变换的方法；
- Cache存储系统地址映像及变换方法；
- Cache存储系统的块替换算法；
- Cache存储系统的一致性问题；

# 本章重点

- 原理，特点，优缺点；
- 地址映像与变换（页式，Cache）；
- 失效（故障）与冲突；替换算法及实现（页式，Cache）；
- 命中率计算（页式，Cache）（地址流，映像，替换）；
- 加快地址变换的方法（页式，Cache）；
- 影响命中率的因素，提高命中率的方法（页式，Cache）；
- Cache一致性算法；

# 本章作业

■ 4-1

■ 4-2

■ 4-3

■ 4-4

■ 4-5

■ 4-6

■ 4-7