



Diseño básicos resolución de ejercicios tipos de Datos

Nombre: Joan Riofrío

Mayo 2022

1. ¿Qué es un PLD?

Un PLD es un Dispositivo Lógico Programable.

2. Determine el significado de los siguientes términos: GAL, CPLD y FPGA

- GAL: es un Arreglo Lógico genérico.
- CPLD: es un Dispositivo Lógico Programable Complejo.
- FPGA: es un Arreglo de compuertas programables en campo.

3. ¿La estructura de programación en VHDL requiere del uso de los módulos entidad y arquitectura? Describa la función de cada uno de ellos.

- Una entidad es el bloque elemental de diseño en VHDL, Las entidades son todos los elementos electrónicos que forman de manera individual o en conjunto un sistema digital. La función de la entidad es describir la interfaz del sistema, es decir las entradas y salidas.
- Una arquitectura tiene la función de describir el funcionamiento de una entidad, de tal forma que permita el desarrollo de los procedimientos que se llevarán a cabo con el fin de que la entidad cumpla las condiciones de funcionamiento deseadas.

4. ¿Cuál es la función de utilizar punto y coma (;) en la estructura de un programa?

Al igual que cualquier lenguaje de programación VHDL sigue una sintaxis en el cual el (;) se usa al final de una declaración para indicar su finalización.

5. Mencione los tipos de modos válidos en VHDL.

- Modo in. Se refiere a las señales de entrada a la entidad. Este sólo es unidireccional y nada más permite el flujo de datos hacia dentro de la entidad.
- Modo out. Indica las señales de salida de la entidad.
- Modo inout. Permite declarar a un puerto de forma bidireccional —es decir, de entrada/salida—; además permite la retroalimentación de señales dentro o fuera de la entidad.

- Modo buffer. Permite hacer retroalimentaciones internas dentro de la entidad, pero a diferencia del modo inout, el puerto declarado se comporta como una terminal de salida.

6. Considere la siguiente figura y determine qué variables corresponden a cada tipo de modo.

P0, P1, P2: in
A0, A1: out
X: Buffer

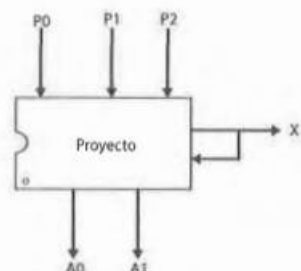
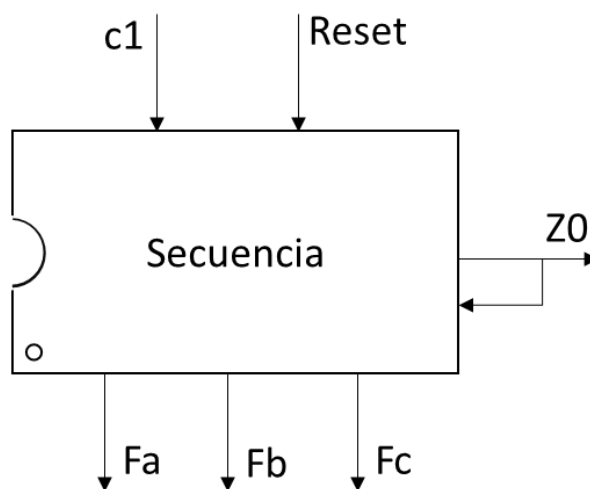


Figura 1.35

7. Considere los siguientes datos y dibuje un bloque que muestre la entidad correspondiente.

- Modo in: C1, RESET
- Modo out: Fa. Fb. Fe
- Modo buffer: ZO
- Entidad: secuencia

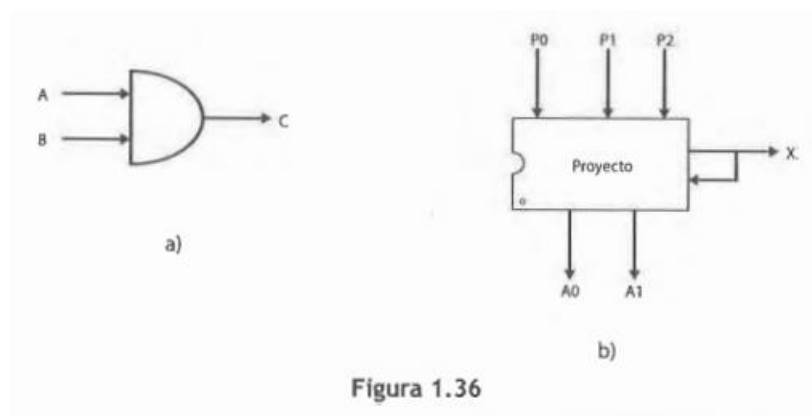


8. En la siguiente declaración de entidad indique:

```
entity ejemplo is
port( x1,x2: in bit;
      fa,fb: out bit);
end ejemplo;
```

- El nombre de la entidad: ejemplo
- Los puertos de entrada: x1 y x2
- Los puertos de salida: fa y fb
- El tipo de dato: bit

9. Declare la entidad para los siguientes circuitos:



Entidad 1:

```
entity Entidad1 is
Port ( A : in STD_LOGIC;
      B : in STD_LOGIC;
      C : out STD_LOGIC);
end Entidad1;
```

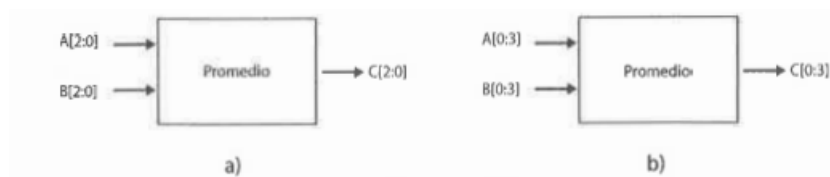
Proyecto:

```
entity Proyecto is
Port ( P0 : in STD_LOGIC;
      P1 : in STD_LOGIC;
      P2 : in STD_LOGIC;
      A0 : out STD_LOGIC;
      A1 : out STD_LOGIC;
      X : buffer STD_LOGIC);
end Proyecto;
```

10. Indique cuáles de los siguientes identificadores son correctos o incorrectos. colocando en las líneas de respuesta la letra 'C' o 'I' respectivamente.

Ejemplo	<u>C</u>	Desp_laza	<u>C</u>
con_trol	<u>C</u>	N_ivel	<u>i</u>
Pagina	<u>C</u>	architecture	<u>C</u>
Contador	<u>C</u>	S_uma#	<u>i</u>
2Suma	<u>i</u>	Res_ta	<u>i</u>

11. Declare la entidad para los siguientes circuitos. Utilice vectores:



a)

```
entity Promedio1 is
  Port ( A : in  STD_LOGIC_VECTOR (2 downto 0);
        B : in  STD_LOGIC_VECTOR (2 downto 0);
        C : out STD_LOGIC_VECTOR (2 downto 0));
end Promedio1;
```

b)

```
entity Promedio2 is
  Port ( A : in  STD_LOGIC_VECTOR (0 to 3);
        B : in  STD_LOGIC_VECTOR (0 to 3);
        C : out STD_LOGIC_VECTOR (0 to 3));
end Promedio2;
```