

# Schalttechnik

Benjamin Tröster

Hochschule für Technik und Wirtschaft Berlin

17. November 2021

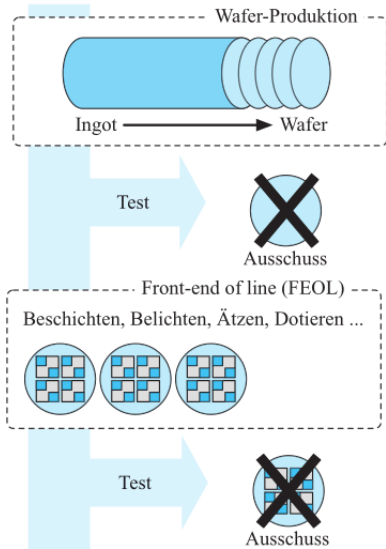
# Fahrplan

Chip-Fertigung

Integrationsdichte

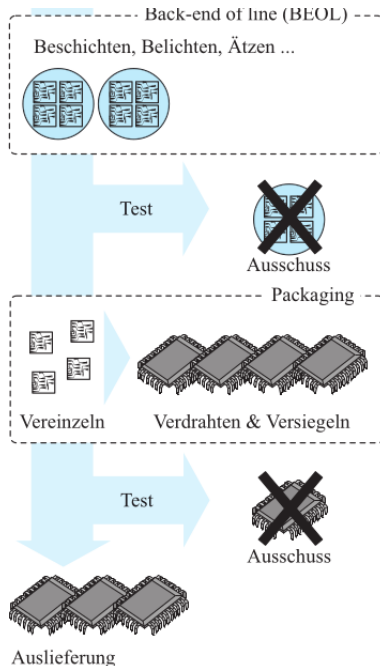
# Überblick

- ▶ Ausgangsmaterial ist Quarzsand
- ▶ Hier drin ist Silizium (Siliziumdioxid) enthalten
- ▶ Quarzsand → Siliziumschmelze
- ▶ Es entsteht ein Einkristall – Ingot
- ▶ Ingot in 0,5 – 1,5mm dünne Scheiben (Wafer)
- ▶ Anschließend Polieren des Wafers → Unebenheiten entfernen
- ▶ Aufbringen der Transistoren, Leiter und Isolatoren → Planartechnik
- ▶ → FOEL (*Front-end of line*) Scheiben zersäg



# Überblick

- ▶ Verbinden der Anschlüsse der erzeugten Schaltelemente
- ▶ → BOEL (*Back-end of line*)
- ▶ Jeder Wafer enthält vollständig ausgebildete, identischer Chip-Kerne → Dies
- ▶ Vereinzelung: Wafer → Spezialfolie (blue tape)
- ▶ Dicing: Zersägen der Wafer
- ▶ Packaging: Einsetzen der Chip-Kerne in Gehäuse, interne & externe Anschlüsse anbringen

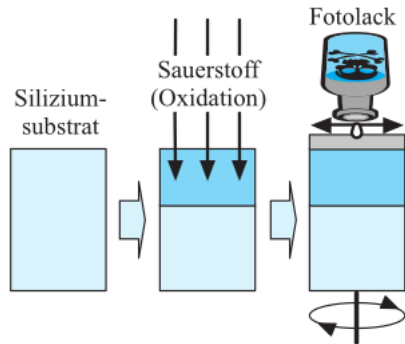


# Planartechnik

- ▶ Fertigungsmethode in vier Schritten:
  - ▶ Beschichtungstechnik
  - ▶ Belichtungstechnik
  - ▶ Ätztechnik
  - ▶ Dotierungstechnik

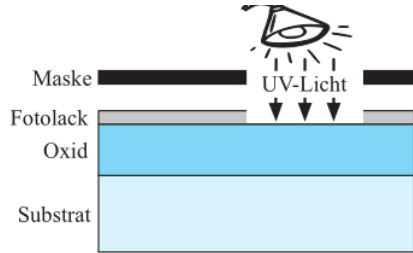
# Beschichtungstechnik

- ▶ Erhitzung Wafer ca.  $1000^{\circ}\text{C}$
- ▶ Zuleitung von Sauerstoff  $\rightarrow$  Silizium-Substrats oxidiert
- ▶  $\rightarrow$  isolierenden Schicht überzogen
- ▶ Spin-Coating-Verfahren: Beschichtung lichtempfindlicher Fotolack



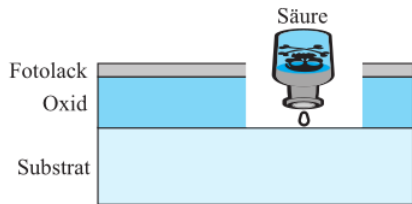
# Belichtungstechnik (Lithografie)

- ▶ Aussetzen des Wafers mit kurzwelligem UV-Licht
- ▶ Hochfrequenten Strahlen
- ▶ Spezielle Maske sorgt für partielle Aushärtung
- ▶ Herauslösung unbelichteten Lackanteile
- ▶ Freilegung darunterliegenden Oxidstellen



# Ätztechnik

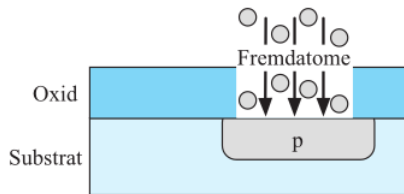
- ▶ Tauchbad in Ätzender Flüssigkeit
- ▶ Lönung greift Halbleiterkristall an freiliegenden Stellen an
- ▶ Eindringen der lithografisch aufgetragene Muster in die Oxidschicht
- ▶ Säuberung des Wafers nach Ätzvorgang





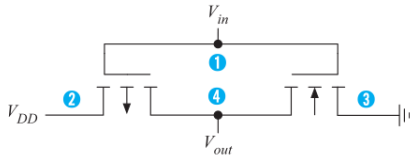
# Dotierungstechnik

- ▶ Erhitzen des Siliziumkristalls
- ▶ Versetzen der zugänglichen Stellen des Substrats mit Fremdatomen
- ▶ Dotierung:
  - ▶ Dotierung mittels Ionenbeschuss
  - ▶ Diffusion aus einem Dotiergas
  - ▶ Aufbringen eines speziellen Dotierlacks

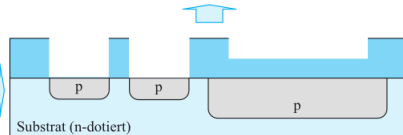
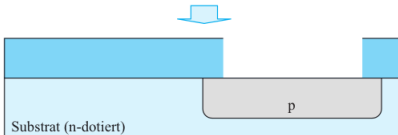
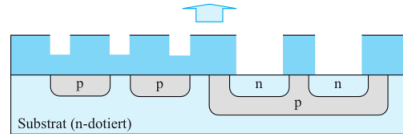
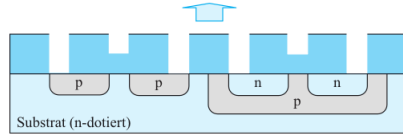
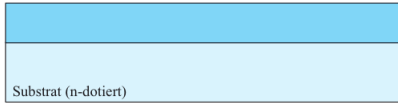
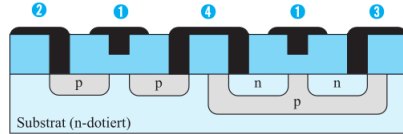
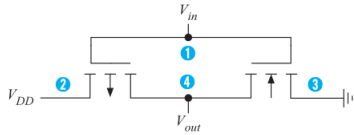


# CMOS Inverter

- ▶ CMOS Inverter: Ein Eingangssignal  $\rightarrow$  Ein Ausgangssignal
- ▶ Realisiert durch:  $n$ -Kanal- &  $p$ -Kanal-MOSFET
- ▶ Gate-Anschlüsse angesteuert durch gleiche Spannungsquelle
- ▶  $p$ - &  $n$ -MOSFET in Reihe geschaltet
- ▶ Gesamtschaltung: drei Anschlüsse



# CMOS Inverter

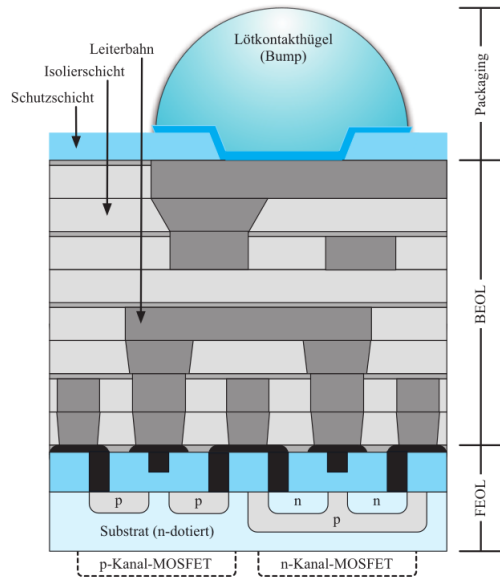


# CMOS Inverter

- ▶ FEOL ✓
- ▶ Back-end of line?
- ▶ Verdrahtung fehlt noch!
- ▶ Im wesentlichen gleiche Techniken, jedoch
  - ▶ Dotierungstechnik wird ab jetzt nicht mehr benötigt

# CMOS Inverter, BEOL & Packaging

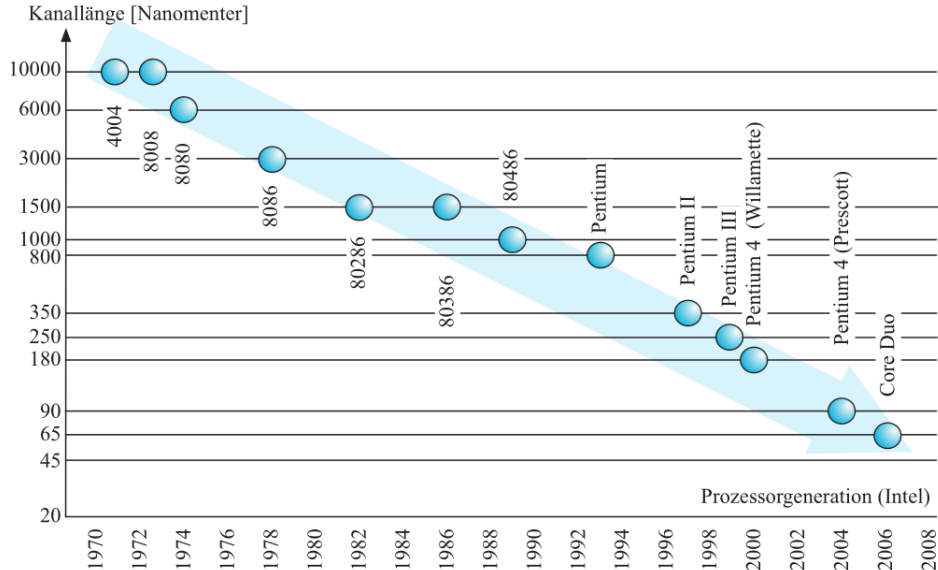
- ▶ Auftragen mehrerer Verdrahtungsebenen (Wiring-Layers) aus isolierendem Material
- ▶ Kanäle für die Leiterbahnen eingeätzt und anschließend der metallische Leiter aufgedampft
- ▶ Wafer enthält identische Dies → Packaging
- ▶ Einsetzen ins Gehäuse, Verbinden interner Anschlüsse mit externer Pins




# Integrationsdichte

- ▶ Integrationsdichte: Anzahl der Transistoren pro Flächeneinheit auf einem Silizium-Chip
- ▶ Angabe Integrationsdichte meist als Strukturbreite eines Transistors
- ▶ Mit Kanallänge identisch  $t_0$  entspricht Abstand zwischen dem Drain- & Source-Gebiet eines Transistors
- ▶ Kanallänge verhält sich reziprok zur Integrationsdichte
  - ▶ Große Kanallängen bedeuten eine niedrige Integrationsdichte
  - ▶ Kleine Kanallängen hohe Integrationsdichte
- ▶ Ziel: möglichst niedrige Kanallänge
  - ▶ Verringerung Strukturbreite bedeutet größere Anzahl der Transistoren auf gleichen Fläche
  - ▶ Schaltungen lassen sich kompakter entwerfen
  - ▶  $t_0$  Kosteneffizienter
  - ▶ Verringerung der Kanallänge führt Erhöhung der Schaltgeschwindigkeit
  - ▶ Verringerung der Leistungsaufnahme → Stromsparend

# Integrationsdichte



# Quellen I

 Hoffmann, Dirk W (2020). *Grundlagen der technischen Informatik*. Carl Hanser Verlag GmbH Co KG.