



CME-M5 系列 FPGA

数据手册

2014 年 9 月

京微雅格（北京）科技有限公司

注意

© 2014 京微雅格（北京）科技有限公司版权所有

未经京微雅格（北京）科技有限公司书面许可，不得以任何形式或方式，如电子，机械，形式，包括影印、录音或其他数据储存和检索系统形式复制或转移此文档的任何部分，或将其翻译为其它任何语言或计算机语言。

所有商标均为京微雅格（北京）科技有限公司所有。

手册版本号

CME-M5DSC08

联系我们

如果您在使用我们的产品过程中有任何疑问或问题，请与京微雅格（北京）科技有限公司联系，或发送邮件至：

Sales@capital-micro.com

声明

本手册中包含的信息已经仔细检查并认为是完全可靠的。但是，不对手册中可能或潜在的错误负责。京微雅格（北京）科技有限公司保留停止发布或修改手册而不事先通知的权利。为确保获得最新的产品信息，建议用户及时更新手册版本。

本手册介绍的产品并没有被授权用作生命保障设备或系统中的关键部件。在此使用到的术语有如下定义：1.生命保障设备或系统是满足以下条件的设备或系统，(a)被通过手术植入人体内或 (b)用来保障或维持生命，当按照标签上的使用说明正确使用时，有理由认为其工作的中断将会给使用者带来巨大的伤害。2.所谓关键部件是指生命保障设备或系统中满足以下条件的部件，即有理由认为该部件中断工作将会导致整个生命保障设备或系统中断工作，或者是影响到后者的安全性和有效性。

环境保护

本产品中包含的某些物质可能会对环境或人体健康有害，为避免将有害物质释放到环境中或危害人体健康，建议采用适当的方法回收本产品，以确保大部分材料可正确地重复使用或回收。有关处理或回收的信息，请与当地权威机构联系。

版本信息

下表列出了本产品手册的历史版本信息。

日期	版本号	修订记录
2013 年 4 月	CME-M5DSC05	首次发布中文版。
2013 年 11 月	CME-M5DSC06	<ul style="list-style-type: none"> ■ 新增 QFN68 封装，见 P70，P74； ■ 工业温度等级由 $T_J = -40^{\circ}\text{C}$ 到 $+100^{\circ}\text{C}$ 更改为 $T_J = -40^{\circ}\text{C}$ 到 $+125^{\circ}\text{C}$，见 P75，P76； ■ SDP 模式下，读端口 256x16 不支持以下写端口模式：4K x 1，2K x 2，1K x 4 和 512 x 8，见表 8； ■ ISCHEADER3 由=0x2A 更改为 0x22，见 ISCHEADER3 = 0x22； ■ TD 结点最大温度由 -85°C 更正为 125°C，见表 37。
2014 年 3 月	CME-M5DSC07	<ul style="list-style-type: none"> ■ 更新“LQFP144 封装规格”，“TQFP100 封装规格”和“QFN68 封装规格”尺寸； ■ 更新“订购信息”； ■ 校正 PLL 配置公式，见 MSS 在系统时钟配置； ■ 更新“QFN68 封装引脚列表”： 管脚 20 从 IO15_0 修改为 IO15_1； 管脚 21 从 IO16_0 修改为 IO16_1； 管脚 22 从 IO17_0 修改为 IO17_1； 管脚 23 从 IO18_0 修改为 IO18_1。
2014 年 9 月	CME-M5DSC08	<ul style="list-style-type: none"> ■ 更新“表 39”： VCCINT 最小爬升时间由 10us 更改为 10ms。同时，M5 的上电顺序必需遵循 VCCINT 先于 VCCIO 上电。 ■ 新增“图 38”。

目录

注意	1
版本信息	2
目录	3
开始前准备.....	6
关于本手册	6
CME-M5 系列 FPGA 介绍	6
第 1 章 CME-M5 系列 FPGA 主要功能.....	7
1.1 CME-M5 系列 FPGA 特性	8
1.2 核心架构	8
第 2 章 FPGA.....	10
2.1 可编程逻辑模块 (PLB).....	10
2.1.1 LP.....	10
(1) 查找表	11
(2) 寄存器	11
(3) 进位、级联和算术逻辑.....	11
2.2 LE	12
2.3 嵌入式存储器模块.....	12
2.3.1 EMB5K 端口定义	12
2.3.2 EMB5K 操作	13
2.3.3 EMB5K 操作模式	14
(1) EMB5K 真双端口	14
(2) EMB5K 简单双端口.....	15
(3) EMB5K 单端口	16
2.3.4 冲突避免	16
2.4 DSP 模块	17
2.4.1 DSP 模块	18
2.4.2 DSP 使用模式	19
(1) 乘法器	20
(2) 乘法器和加法器.....	20
(3) 乘法器和累加器.....	21
2.5 嵌入式单端口 SRAM.....	21
2.5.1 SRAM 端口定义	21
2.6 输入/输出模块	21
2.6.1 上拉/下拉/保持电阻.....	23
2.6.2 ESD 保护	23
2.6.3 驱动强度	23
2.6.4 I/O 分区	23

2.6.5	上电, 配置和用户模式下的 I/O.....	24
2.7	互联.....	24
2.8	PLL	25
2.8.1	PLL 功能	25
2.8.2	PLL 硬件描述	25
2.8.3	PLL 信号定义	26
2.8.4	时钟反馈模式	28
	(1) 内部反馈模式 (频率同步模式).....	28
	(2) 外部反馈模式	29
2.9	全局时钟和复位资源	30
2.9.1	外部晶体输入	30
2.9.2	时钟结构	30
2.9.3	GBUF	31
2.9.4	时钟切换	32
第 3 章	MSS 子系统	34
3.1	8051 例化.....	35
3.1.1	8051 模块描述	35
3.2	P 端口引脚多路复用	37
3.3	MSS 时钟描述.....	38
3.4	MSS 存储器映射	38
3.5	MSS 外部存储器接口 (EMIF)	39
	(1) 同步 EMIF	39
	(2) 异步 EMIF	39
3.6	RTC.....	41
3.7	MSS 在系统管理	41
3.7.1	器件寄存器	41
3.7.2	ISC 寄存器结构	42
3.7.3	扩展 SFR.....	42
3.7.4	MSS 在系统配置	43
3.7.5	MSS 在系统时钟配置	45
	(1) PLL 配置.....	45
	(2) GCLK 时钟动态切换.....	45
	(3) GCLKCMD = 0x80MSS 的时钟动态切换.....	45
第 4 章	配置和调试	47
4.1	配置模式	47
4.1.1	AS 模式	47
4.1.2	PS 模式	48
4.1.3	JTAG 模式	48
4.2	SPI Flash	49
	(1) 使用嵌入式 SPI-Flash	49
	(2) 使用外部 SPI-Flash.....	49
4.3	ISC	49
4.4	调试.....	49

4.5	上电复位 (POR).....	50
4.6	eFUSE 控制	50
第 5 章	安全级别	51
5.1	位流安全级别	51
	(1) prot_flagn	51
	(2) read_disable0	51
	(3) read_disable1	52
5.2	片上 eFuse.....	52
5.3	嵌入式 SPI-Flash 隐藏位流.....	52
5.4	AES 安全	52
第 6 章	直流和交流特性	54
6.1	直流电气特性	54
6.1.1	最大绝对额定值.....	54
6.1.2	电源指标	54
6.1.3	操作条件建议	55
6.2	交流特性	58
6.2.1	时钟性能	58
6.2.2	I/O 性能	58
6.2.3	PLB 性能.....	58
6.2.4	EMB5K 性能	59
6.2.5	DSP 性能	59
第 7 章	引脚和封装.....	60
7.1	引脚定义和规则	60
7.2	引脚列表	61
7.2.1	LQFP144 封装引脚列表.....	61
7.2.2	TQFP100 封装引脚列表	64
7.2.3	FBGA256 封装引脚列表	65
7.2.4	QFN68 封装引脚列表.....	68
7.3	封装信息	69
7.3.1	LQFP144 封装规格	69
7.3.2	TQFP100 封装规格.....	70
7.3.3	FBGA256 封装规格.....	71
7.3.4	QFN68 封装规格.....	72
第 8 章	开发套件	73
第 9 章	订购信息	74
第 10 章	缩写.....	76

开始前准备

关于本手册

本手册只是 **CME-M5 系列 FPGA** 所有手册中的其中一个。旨在帮助用户了解并查知 CME-M5 系列 FPGA 器件的核心功能及参数。

CME-M5 系列 FPGA 包含 **CME-M5 C**，**CME-M5 R** 和 **CME-M5 P** 系列 FPGA 产品。除特殊说明外，本手册适用于该系列下的所有产品。

如需了解产品其它信息，请登录 <http://www.capital-micro.com>。

CME-M5 系列 FPGA 介绍

CME-M5 系列 FPGA 包含 C 系列，R 系列和 P 系列三个系列产品。

C 系列产品集成了增强型 8051 MCU，是一款高性能的 FPGA 产品，可满足用户自定义的系统设计和 IP 保护（128 位 AES）。嵌入式的优化 RAM 基于 8051 处理器硬核，能够实现最高速度和性能。设计人员可通过 CME 公司的 Primace 软件和嵌入式的第三方 EDA 工具 Keil 快速方便地设计 FPGA。基于 CME-M5 单芯片的 CAP（Configurable Application Platform on chip 片上可配置应用平台）将成为硬件工程师和嵌入式工程师的最佳选择，为客户提供真正的、比传统功能固定的微处理器更灵活的片上系统（SoC）解决方案，与用软处理核的传统 FPGA 相比更具有价格优势。

R 系列产品不包含 MCU 硬核，**P 系列**属于传统的 FPGA，无 MCU 硬核和大容量的嵌入式 SRAM。

以上三个系列的 **FPGA** 均可广泛应用于工业、医疗、通讯系统和消费电子等领域。

第1章 CME-M5 系列 FPGA 主要功能

FPGA

- ❑ 基于 **SRAM** 的 **FPGA** 架构
 - 多达 6144 个 4 输入查找表, 4096 个 DFF
 - 性能高达 250MHz
- ❑ 嵌入式 **RAM** 存储器
 - 32 个 4.5Kbit 双端口 EMB5K Block RAM
- ❑ 嵌入式 **DSP** 模块
 - 16 个 18x18 DSP (MAC) 模块
- ❑ 时钟网络
 - 8 个 de-skew 全局时钟
 - 2 个支持倍频、分频及 de-skew 的 PLL
 - 8 个外部时钟输入, 1 个外部晶体时钟输入
- ❑ **I/O**
 - 支持 3.3/2.5/1.8/1.5V LVCMOS/LVTTL
 - 可配置上拉、下拉电阻、I/O 电平保持控制
 - 可编程输出电流驱动: 2、4、8、12、16 mA
 - 电平斜率速率控制

MSS

- ❑ 增强型 **8051 MCU**
 - 精简的指令周期(最多 12 倍于标准 8051), MCU 主频率高达 200MHz
 - 兼容 8051 指令系统
 - 支持高达 8MB 数据/代码存储器扩展
 - 片上调试系统 (OCDS), 支持 JTAG 在线调试
 - 灵活的芯片内部和外部 EMIF 接口扩展, 数据/代码统一寻址
- ❑ 内嵌 **128KByte** 单端口 **SRAM** 存储器
- ❑ 外设
 - 3 个 16 位计时器
 - 1 个 I2C 接口
 - 1 个 SPI 接口
 主机速率可达 100Mb/s @200MHz
 从机速率可达 25Mb/s @200MHz
 - 2 个全双工串行接口, 速率可达 6.25Mb/s @200MHz

- 增强型硬件运算单元支持乘、除、移位和归一化
- 4 通道 DMA
- 实时时钟 RTC

在系统管理

- ISC 在线系统配置控制
- 在线系统动态时钟管理

配置

- ❑ 配置模式
 - JTAG 模式
 - 主动串行模式 (AS)
 - 被动串行模式 (PS)
- ❑ **JTAG** 接口
 - JTAG 芯片配置
 - JTAG 8051 调试
- ❑ 支持动态、多映像配置

安全

- ❑ **128 位 AES** 配置数据加密
- ❑ 基于 **eFuse** 和 **SPI Flash** 的不同级别的器件安全机制
- ❑ 保护 **FPGA** 和 **8051** 固件 **IP**, 防止复制、克隆和篡改

封装

- ❑ **TQFP-100**
- ❑ **LQFP-144**
- ❑ **FBGA-256**
- ❑ **QFN-68**

1.1 CME-M5 系列 FPGA 特性

表 1 CME-M5 系列 FPGA 特性

Series	Device (1)	LUT	Programmable Logic Block(PLB) (2)		Embedded Memory Block		SRAM (3)	DSP Block (4)	PLL	Flash	MCU	Max User I/O
			LP	Register	4.5Kb	Max						
C	M5C03N0	3072	1024	2048	32	144Kb	128KB	16	2	-	1	186
	M5C06N0	6144	2048	4096	32	144Kb	128KB	16	2	-	1	186
	M5C03N3	3072	1024	2048	32	144Kb	128KB	16	2	4Mb	1	186
	M5C06N3	6144	2048	4096	32	144Kb	128KB	16	2	4Mb	1	186
R	M5R03N0	3072	1024	2048	32	144Kb	128KB	16	2	-	-	186
	M5R06N0	6144	2048	4096	32	144Kb	128KB	16	2	-	-	186
	M5R03N3	3072	1024	2048	32	144Kb	128KB	16	2	4Mb	-	186
	M5R06N3	6144	2048	4096	32	144Kb	128KB	16	2	4Mb	-	186
P	M5P03N0	3072	1024	2048	32	144Kb	-	16	2	-	-	186
	M5P06N0	6144	2048	4096	32	144Kb	-	16	2	-	-	186
	M5P03N3	3072	1024	2048	32	144Kb	-	16	2	4Mb	-	186
	M5P06N3	6144	2048	4096	32	144Kb	-	16	2	4Mb	-	186

注:

(1) C: FPGA + SRAM (用于 MCU) + MCU; R: FPGA + SRAM; P: FPGA。

“N0”: 指该器件无 Flash, “N3”表示该器件包含一个 4Mb Flash。

(2) 每个 CME-M5 的 PLB 均包含 4 个 LP (Logic parcel 逻辑包)。每个 LP 包含 3 个 LUT, 2 个寄存器。

(3) M5CXX 系列器件: SRAM 只能被 MCU 操作; M5RXX 系列器件: SRAM 可被 FPGA 操作。

(4) 每个 DSP 模块均包含一个 18 x 18 的乘法器 (含 41 位累加器) 和一个加法器。每个 DSP 模块也支持 2 个独立的 12 x 9 乘法器 (含 21 位累加器)。

表 2 CME-M5 FPGA 器件封装及可用的用户 I/O

Package	TQFP100	LQFP144	FBGA256	QFN68
Pitch(mm)	0.5	0.5	1.0	0.4
Body Size(mm)	16 x 16	22 x 22	17 x 17	8 x 8
Device	User I/O	User I/O	User I/O	User I/O
M5x03N0	69	100	186	46
M5x06N0	69	100	186	46
M5x03N3	69	100	186	46
M5x06N3	69	100	186	46

1.2 核心架构

CME-M5 FPGA架构由五个可编程功能性模块 (PLB、IOB、EMB、DSP和PLL) 和一个增强型8051 MSS 组成。MSS由增强型8051和SRAM组成。EMB和DSP可称作特殊功能模块 (SFB)。

- 可编程逻辑模块（Programmable Logic Block, PLB）包含寄存器和 4 输入查找表（LUT-4），用于实现逻辑和存储功能。
- 每个嵌入式存储器模块都包含 4.5K bit 的双端口数据存储器。
- DSP 能实现两个 18 位二进制补码乘和 40 位的加或累加。
- 输入/输出模块（IOB）控制 I/O 引脚和设备内部逻辑之间的数据传输。
- 单指令增强型 8051 CPU 被用作中央处理器，其指令集完全兼容标准的 ASM51。
- 嵌入式 128KB SRAM 在 C 系列器件里只可被用作 8051 的代码或数据存储器。

IOB 围绕在 PLB 的四周。CME-M5 系列 FPGA 的阵列中有单独的一列 EMB 和 DSP 模板。这些模块都包含 Xbar，用于连接功能模块及其之间的传输信号。

器件架构图如下所示。

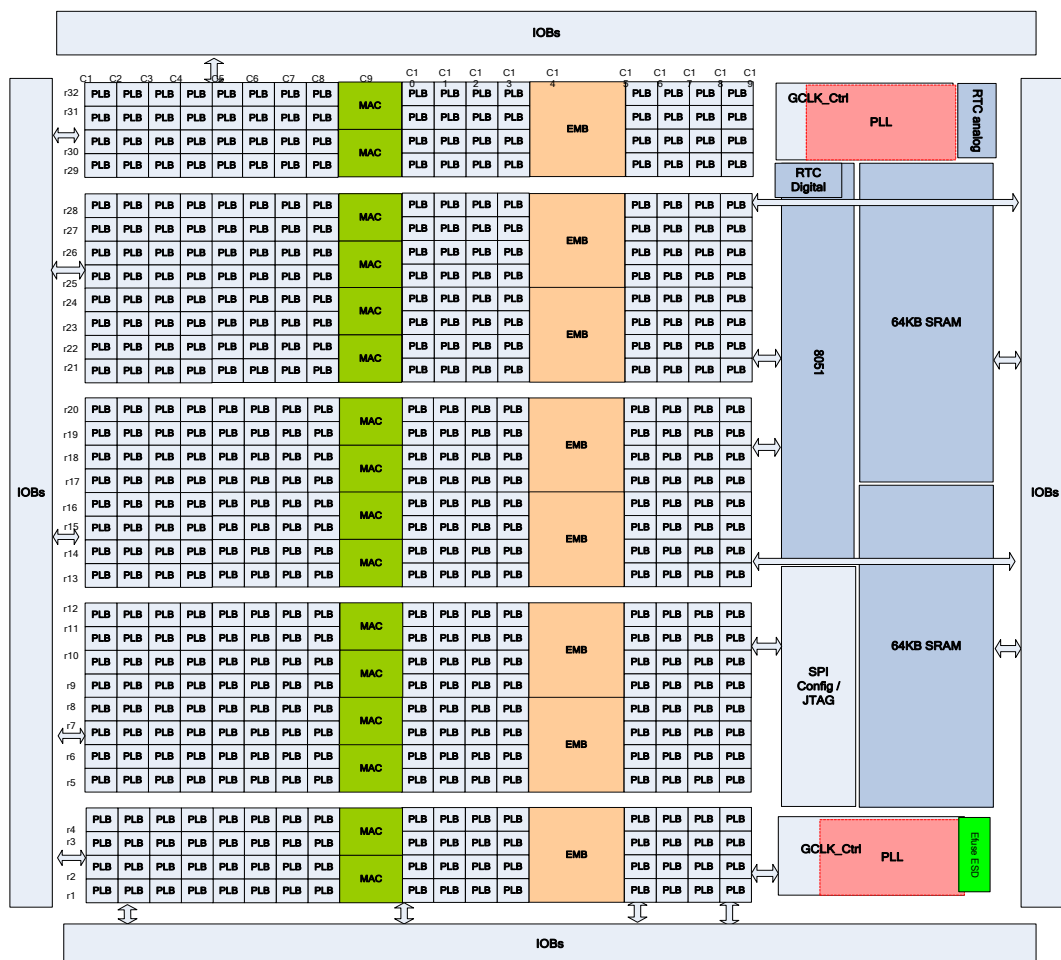


图 1 CME-M5 系列 FPGA 架构图

第2章 FPGA

CME-M5 系列 FPGA 包含高达 512 个 PLB，32 个 EMB5K 模块，16 个 18x18 DSP 和 2 个 PLL。本章将逐一介绍这些模块。

2.1 可编程逻辑模块（PLB）

可编程逻辑模块（Programmable Logic Block，PLB）是FPGA的基本逻辑块，由LE和Xbar组成。其结构见下图所示。一个LE包含四个互联的LP（Logic Parcel，逻辑包）。LE的逻辑资源用于实现时序和组合逻辑电路。

Xbar可路由和传递各基本模块之间的信号。

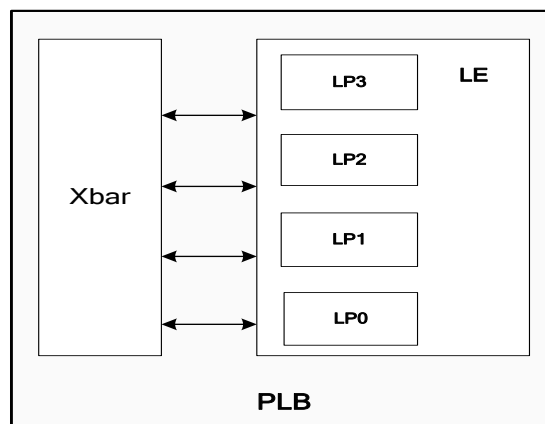


图 2 PLB 结构示意图

PLB按照行和列的顺序规则排列，见图 1。

CME开发软件根据C和R坐标标记PLB的位置，见图 1。数字后的字母“C”表示CLB行中的每个PLB位置，从左至右递增。数字后的字母“R”表示CLB行中的每个PLB位置，从底部开始递增。

2.1.1 LP

LP是基本的可编程逻辑元件。LP包括下列元件，通过这些元件可提供下图所示的逻辑和算术功能。

- ☐ 三个 4 输入 LUT 功能发生器，lut0，lut40 and lut41
- ☐ 两个寄存器，reg0 and reg1
- ☐ 进位，级联和算术逻辑

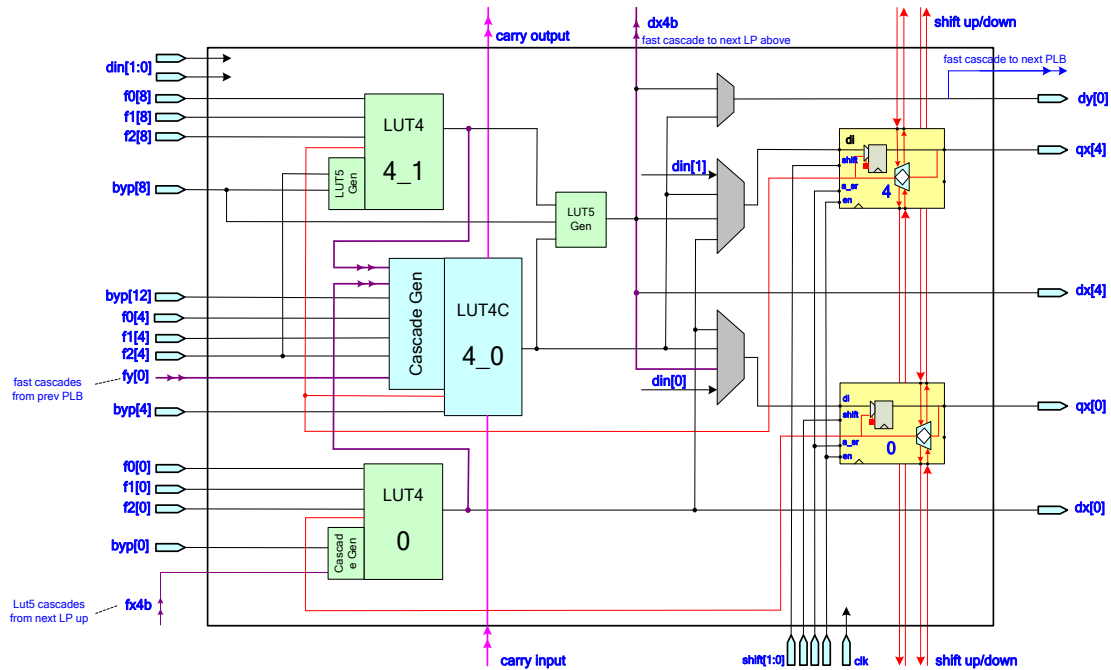


图3 LP 原理图

(1) 查找表

查找表（LUT/Look-Up Table）是一种基于RAM的功能发生器，用于执行逻辑功能。LP中的三个LUT都包含四个逻辑输入（f0-f3）和一个单输出（d）。一个LUT可执行任意四变量的逻辑操作。如需执行多个输入功能，可级联某个或邻近LUT的LP。

(2) 寄存器

寄存器是一种可编程的D型触发器。在寄存器的D输入端口有两级复用器。第一级复用器用于选择LUT组合输出或旁路信号byp[x]。第二级复用器用于选择第一级复用器的输出信号byp[x]或移位信号。移位信号来自相邻相关的上/下寄存器的输出qx。

寄存器输出qx有三种可能的通路：

- ☐ 直接驱动互连线
- ☐ 反馈至 LUT 输入
- ☐ 级联至相邻相关的上/下寄存器的移位信号

(3) 进位、级联和算术逻辑

进位链是垂直链路，从下到上以LP为单位依次进位。进位链与专用算术逻辑电路支持快速和有效的数学运算，例如：加法器，计数器，乘法器，宽逻辑运算等相关功能。软件综合工具能够自动利用这些进位链和逻辑电路实现算术运算，同时进位链和逻辑电路的也可实现通用逻辑像简单布尔运算。

级联电路可分为垂直和水平两个级联路径。垂直方向上相邻下方的LP的级联输入到LUT0，LUT0与LUT40输出级联信号到上方的LP，多个LP可左右或上下依次级联实现多于4输入的逻辑功能。

2.2 LE

LE 包含 4 个 LP 和跳级进位电路，以及寄存器控制电路，以使 LE 实现众多复杂的功能，例如级联，进位和跳级进位，寄存器移位。这些功能基于硬件逻辑和硬件连接，与普通的用 LUT 实现相比，可提供较高的性能并占用较少的资源。

2.3 嵌入式存储器模块

CME-M5 系列器件支持嵌入式存储器模块 (EMB)，该模块排成一列，总共 32 个 4.5Kbit EMB5K。EMB5K 模块为真双端口存储器，允许独立访问两个端口。每个端口都有其专用的数据线，控制线和时钟线，用于同步读取和写操作。EMB5K 具有以下功能特色：

- ❑ 4.5K 位
- ❑ 混合时钟模式
- ❑ 可单独配置 A, B 数据位宽
- ❑ 写优先
- ❑ 奇偶校验位。EMB5K 模块的每个字节都有奇偶校验位，但需要逻辑配合实现。奇偶校验位也可用于存储用户自定义的控制位。
- ❑ 支持初始化。初始化文件的格式为 .hex 或 .dat (dat 的格式：每行一个十六进制数，第一个数对应地址 0 的值，以下行和地址依次对应)。初始化文件在配置过程中对 EMB4K 存储器进行初始化。
- ❑ 三种存储器模式。EMB5K 可配置为以下三种模式：
 - emb_tdp
 - emb_sdp
 - emb_sp

2.3.1 EMB5K 端口定义

双端口 EMB5K 原语信号定义见下表所示。

表 3 EMB5K 端口定义

端口名称	类型	位宽	描述
clka	I	1	A 端口输入时钟
cea	I	1	A 端口片选使能
wea	I	1	A 端口写使能
aa	I	12	A 端口地址总线
da	I	18	A 端口数据输入
clkb	I	1	B 端口输入时钟
ceb	I	1	B 端口片选使能
web	I	1	B 端口写使能
ab	I	12	B 端口地址总线
db	I	18	B 端口数据输入
q	O	18	存储器 q 数据输出
wq_in	I	9	真双端口模式 EMB5K 输入
wq_out	O	9	真双端口模式 EMB5K 输出

表 4 EMB5K 参数

参数	类型	描述
modea_sel	字符串	端口 A 使用模式设置： 256x18, 512x9, 1kx4, 2kx2, 4kx1, wtdp (真双端口) 默认: 256x18
modeb_sel	字符串	端口 B 使用模式设置： 256x18, 512x9, 1kx4, 2kx2, 4kx1, wtdp (真双端口) 默认: 256x18
port a_wr_through	字符串	A 端口写读模式, ture: 写优先或 false: 正常 默认: false
port b_wr_through	字符串	B 端口写读模式, ture: 写优先或 false: 正常 默认: false
init_file	字符串	EMB 初始文件 默认: “”, 无初始化文件
operation_mode	字符串	EMB 工作模式 true_dual_port, single_port, simple_dual_port
port a_data_width	字符串	EMB 端口 a 数据位宽
port b_data_width	字符串	EMB 端口 b 数据位宽

2.3.2 EMB5K 操作

EMB5K 的两个端口的操作时序和方式完全相同的。当“we”和“ce”信号在 clk 的上升沿为高时,“d”输入线的数据将被写入由地址线“a”线定义的 EMB5K 存储单元中。“wr_through”参数控制两种读写操作行为, 如果“wr_through”在写操作时为“true”, 写数据也会被传送到“q”输出总线; 如果“wr_through”在写操作时为“false”, “q”保持前面的值不变。两种操作的波形图分别如下所示。

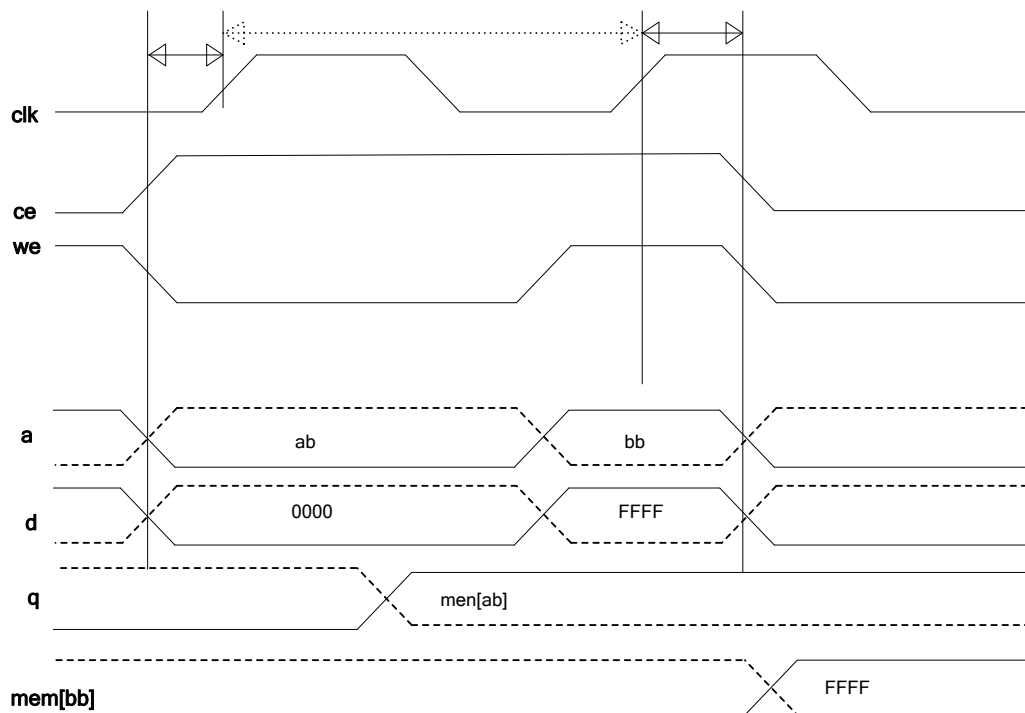


图 4 wr_through 为假波形

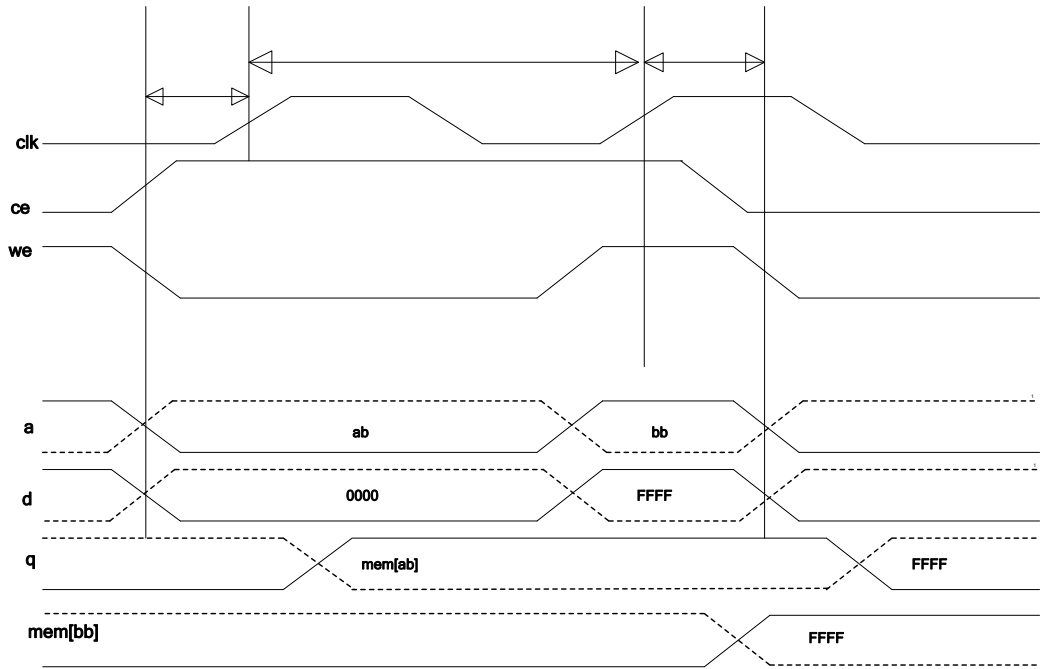


图 5 wr_through 为真波形

2.3.3 EMB5K 操作模式

(1) EMB5K 真双端口

EMB5K 支持任意组合模式双端口：两个端口读，两个端口写，或不同时钟频率下一个端口读一个端口写。下图为真双端口存储器配置。

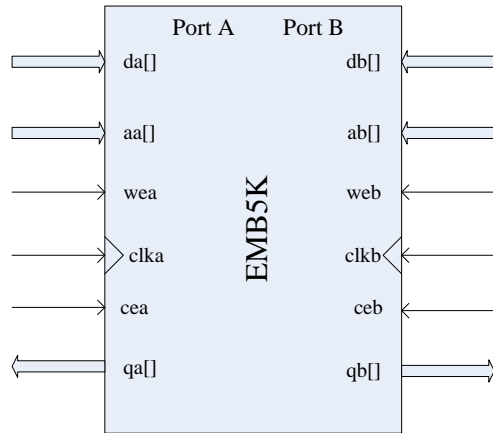


图 6 真双端口存储器模式

表 5 真双端口存储器模式端口描述

端口名称	类型	描述
aa(b)	输入	端口 A (B) 地址
da(b)	输入	端口 A (B) 数据输入
qa(b)	输出	端口 A (B) 数据输出

端口名称	类型	描述
wea(b)	输入	端口 A (B) 写使能。当 wea(b)和 cea(b)均为“高”时，数据将在时钟的上升沿被写入到存储器。
cea(b)	输入	端口 A (B) 使能。当 cea(b) 为“高”，wea(b)为“低”时，将从真双端口存储器的 aa(b)地址中读取数据；当 cea(b)为“低”，qa(b)保持其值不变。
clka(b)	输入	端口时钟

表 6 真双端口配置

A 端口	B 端口						
	4Kx1	2Kx2	1Kx4	512x8	512x9	256x16	256x18
4K x 1	√	√	√	√			
2K x 2	√	√	√	√			
1K x 4	√	√	√	√			
512 x 8	√	√	√	√			
512 x 9					√		
256 x 16							
256 x 18							

(2) EMB5K 简单双端口

EMB5K 支持简单双端口存储器模式：一个端口读，一个端口写。下为简单双端口存储器的配置图。

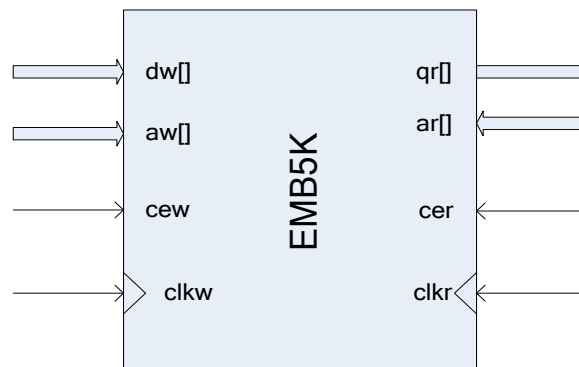


图 7 简单双端口存储器模式

表 7 简单双端口存储器模式引脚描述

端口名称	类型	描述
dw	输入	写数据
aw	输入	写地址
clkw	输入	写时钟
cew	输入	写端口使能，高有效
qr	输出	读数据
ar	输入	读地址
cer	输入	读使能，高有效

端口名称	类型	描述
clkr	输入	读时钟

表 8 简单双端口配置

W 端口	读端口						
	4K×1	2K×2	1K×4	512×8	512×9	256×16	256×18
4K × 1	√	√	√	√			
2K × 2	√	√	√	√			
1K × 4	√	√	√	√			
512 × 8	√	√	√	√			
512 × 9					√		
256 × 16	√	√	√	√		√	
256 × 18							√

(3) EMB5K 单端口

EMB5K 支持单端口存储器模式，见下图。

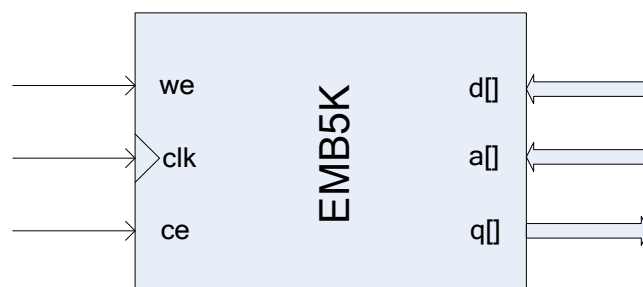


图 8 单端口存储器模式

表 9 单端口存储器模式引脚描述

端口名称	类型	描述
d	输入	写数据
a	输入	写地址
we	输入	写使能，高有效
clk	输入	写时钟
ce	输入	端口使能，高有效
q	输出	读数据

表 10 单端口配置

端口						
4K×1	2K×2	1K×4	512×8	512×9	256×16	256×18

2.3.4 冲突避免

在双端口存储器模式下，两个端口都可以在任意时间存取任意一个存储器的地址。如果两个端口访问同一

个地址时，读和写操作时钟应注意保持一定的时序约束，这些约束适用于同步时钟和异步时钟。

2.4 DSP 模块

CME-M5 系列器件有一列 DSP MAC 模块，共 8 个。DSP 模块与 PLB 一样也是通过 XBar 与其他的模块相连。

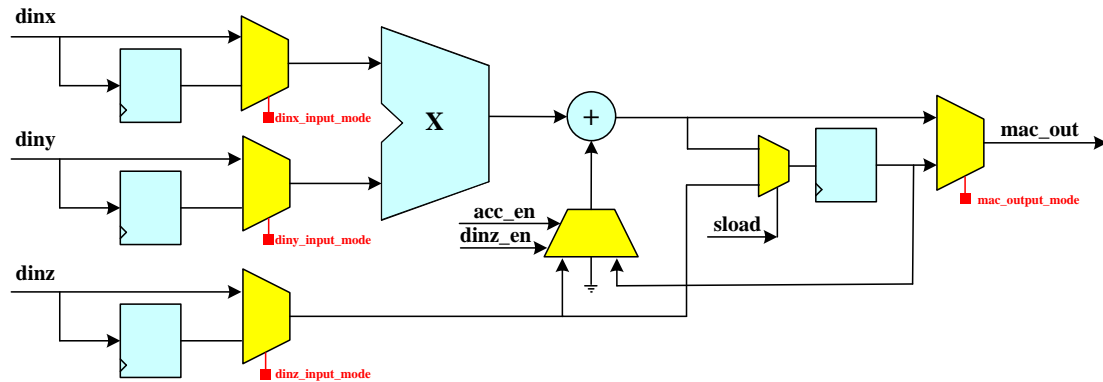


图 9 DSP 模块

DSP 包含一个 18 x 18 位的二进制补码乘法器和一个 40 位的符号扩展累加器，可以实现数字信号处理 (DSP) 各种算法。可配置的输入输出寄存器，能够实现算法的流水线式操作，提高数据变换和传递的吞吐率。DSP 的功能特色如下：

- ❑ 18 位 x 18 位，两进制补码乘法器（计算结果为全精度 36 位）
- ❑ 灵活的 40 位后累加器（带可选的寄存器累加反馈）
- ❑ 支持动态用户控制操作模式，能够适应从时钟循环到时钟循环的 DSP 功能
- ❑ 寄存器无需占用空间，即可确保最大的时钟性能和最大采样率
- ❑ 每个 DSP 可以用作 2 个独立的 12x9 乘法器（带 21 位累加器）

2.4.1 DSP 模块

下图为 DSP(MAC)模块。

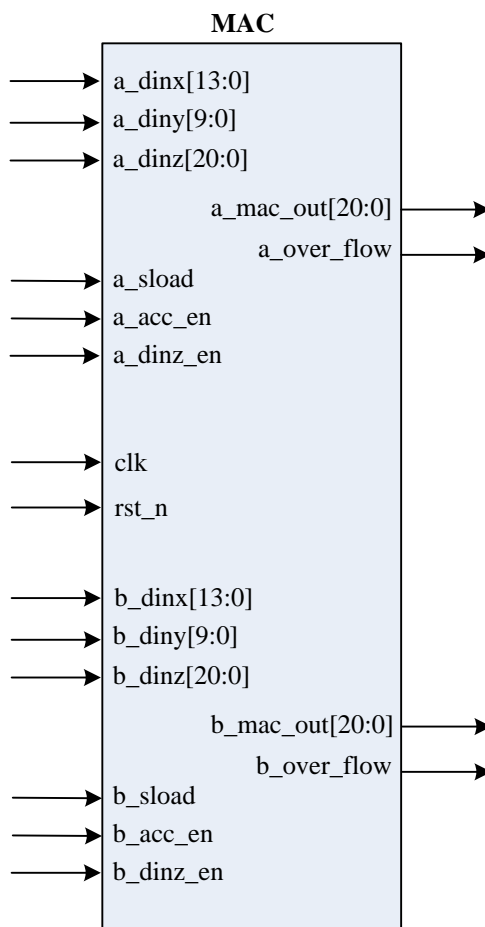


图 10 MAC 模块

表 11 端口定义

端口	方向	位宽	描述
a_dinx[13: 0]	I	14	乘法器 A 的被乘数输入。18x18 模式下，用作被乘数输入的高位
b_dinx[13: 0]	I	14	乘法器 B 的被乘数输入。18x18 模式下，用作被乘数低 6 位
a_diny[9: 0]	I	10	乘法器 A 的乘数输入。18x18 模式下，用作乘数的低位
b_diny[9: 0]	I	10	乘法器 B 的乘数输入。18x18 模式下，用作乘数的高位
a_dinz[20: 0]	I	21	后置加法器 A 的加数输入。18x18 模式下，加数输入的低位
b_dinz[20: 0]	I	21	后置加法器 B 的加数输入。18x18 模式下，加数输入的高位
a_sload	I	1	加载 a_dinz 到输出寄存器，高有效
b_sload	I	1	加载 b_dinz 到输出寄存器，高有效
a_acc_en	I	1	累加器 A 使能，高有效
a_dinz_en	I	1	加法器 A 使能，高有效
b_acc_en	I	1	累加器 B 使能，高有效
b_dinz_en	I	1	加法器 B 使能，高有效
a_mac_out[20: 0]	O	21	MAC 模块 A 输出

端口	方向	位宽	描述
b_mac_out[20: 0]	O	21	MAC 模块 B 输出
a_overflow	O	1	MAC 模块 A 溢出标记, 高有效
b_overflow	O	1	MAC 模块 B 溢出标记, 高有效
clk	I	1	时钟输入
rstn	I	1	复位输入, 低有效

表 12 参数表

参数	类型	描述
mode_sel	字符串	MAC 工作模式设置, 默认: 000
signed_sel	字符串	设置符号/无符号数乘法, true 或 false, 默认: true
adinx_input_mode	字符串	a_dinx 输入模式设置: 直通或寄存器, 默认: 直通
adiny_input_mode	字符串	a_diny 输入模式设置: 直通或寄存器, 默认: 直通
adinz_input_mode	字符串	a_dinz 输入模式设置: 直通或寄存器, 默认: 直通
amac_output_mode	字符串	a_mac_out 输出模式设置: 直通或寄存器, 默认: 直通
bdinx_input_mode	字符串	b_dinx 输入模式设置: 直通或寄存器, 默认: 直通
bdiny_input_mode	字符串	b_diny 输入模式设置: 直通或寄存器, 默认: 直通
bdinz_input_mode	字符串	b_dinz 输入模式设置: 直通或寄存器, 默认: 直通
bmac_output_mode	字符串	b_mac_out 输出模式设置: 直通或寄存器, 默认: 直通

2.4.2 DSP 使用模式

DSP 可用于两个独立的 12x9 A-MAC 和 B-MAC 或一个 18x18 MAC 功能。其中 MAC 的功能相同, 见图 9。CME Primace®软件可设置用户输入位宽并自动映射为 12x9 A-MAC 和 B-MAC 或 18x18 的 MAC。

表 13 端口描述

端口名称	类型	描述
clk	输入	时钟, 上升沿有效
rstn	输入	复位, 低有效
dinx	输入	乘法器输入 (范围: 2~18)
diny	输入	乘法器输入 (范围: 2~18)
dinz	输入	加数输入 (范围: 2~40)
sload	输入	加载使能, 高有效
acc_en	输入	累加器使能, 高有效
dinz_en	输入	加法器使能, 高有效
mac_out	输出	输出 (范围: 2~40)
overflow	输出	溢出, 1 表示溢出; 0 表示无溢出

注: 当“acc_en”和“dinz_en”均为“高”时, 处于非激活状态。

表 14 参数描述

参数	类型	描述
signedx_sel	字符串	“true”表示 dinx 的输入类型为有符号数 “false”表示 dinx 的输入类型为无符号数

参数	类型	描述
signedy_sel	字符串	“true”表示 diny 的输入类型为有符号数 “false”表示 diny 的输入类型为无符号数
signedz_sel	字符串	“true”表示 dinz 的输入类型为有符号数 “false”表示 dinz 的输入类型为无符号数
dinx_input_mode	字符串	“bypass”表示直接输入至乘法器 “寄存器”表示通过寄存器输入
diny_input_mode	字符串	“bypass”表示直接输入 “寄存器”表示通过寄存器输入
dinz_input_mode	字符串	“bypass”表示直接输入 “寄存器”表示通过寄存器输入
mac_output_mode	字符串	“bypass”表示 mac 直接输出 “寄存器”表示 mac 通过寄存器输出

只有当“x”和“y”都不包含符号时， $x * y$ 乘法器的输出结果才不会包含符号，否则输出结果将包含一个符号并且为两个分量。只有当“dinz”和“乘法器”都不包含符号时，“mac_out”乘法器的输出结果才不会包含符号，否则输出结果将包含一个符号并且为两个分量。

(1) 乘法器

下图中，DSP 作为一个乘法器，其输出结果为“ $dinx * diny$ ”。

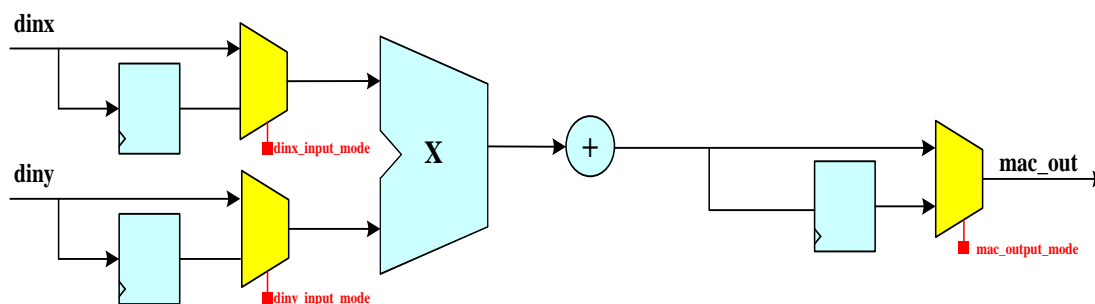


图 11 乘法器

(2) 乘法器和加法器

下图中，DSP 作为一个乘法器和加法器，其输出结果为“ $dinx * diny + dinz$ ”。

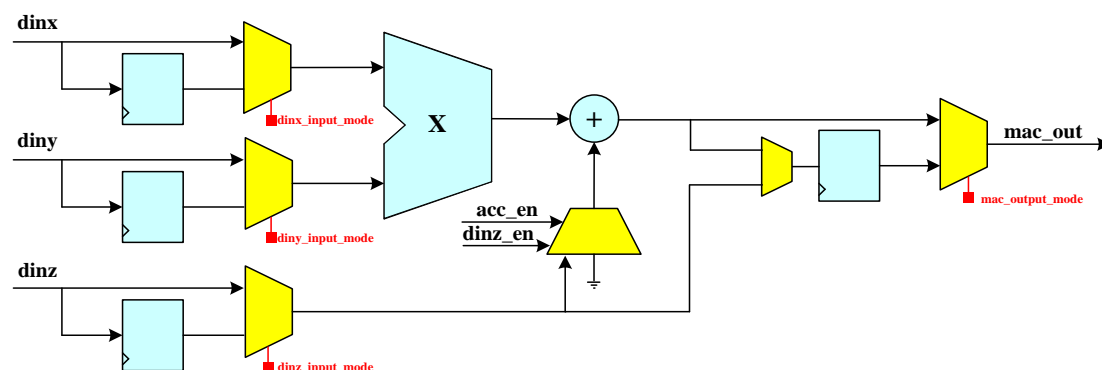


图 12 乘法器和加法器

(3) 乘法器和累加器

下图中，DSP 作为一个乘法器和加法器，其输出结果为“ $dinx * diny + mac_out_{(n-1)}$ ”。

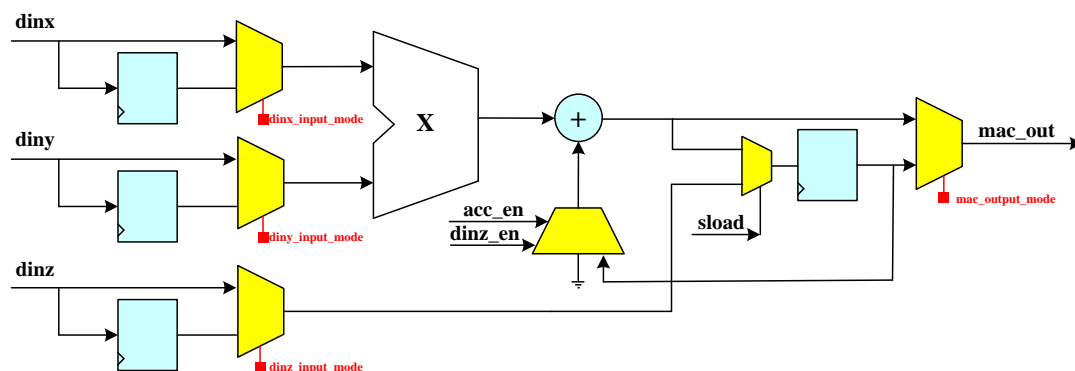


图 13 乘法器和累加器

2.5 嵌入式单端口 SRAM

CME-M5 系列器件包含一个嵌入式同步 SPRAM，总大小为 128K 字节，可配置为 128x8 或 64x16 模式。

2.5.1 SRAM 端口定义

下表为双端口 SPRAM 原语信号定义。

表 15 SRAM 端口定义

端口名称	类型	位宽	描述
clk	I	1	SRAM 输入时钟，上升沿有效
cen	I	1	SRAM 片选使能，低有效
wen	I	1	SRAM 写使能，低有效
addr	I	12	SRAM 地址总线
datai	I	8/16	SRAM 输入数据
datao	O	8/16	SRAM 输出数据

表 16 SRAM 参数

参数	类型	描述
data_width	字符串	SPRAM 端口数据位宽，“8”或“16”
init_file	字符串	SPRAM 初始文件，后缀名为.dat 或.hex 默认：“”，无初始化文件

2.6 输入/输出模块

输入/输出模块（Input/output Block, IOB）提供一个可编程的双向接口，芯片内部信号通过 I/O 接与外部交互。IOC 是 IOB 的一个最小输入输出模块，IOC 内部结构简图见下图所示。

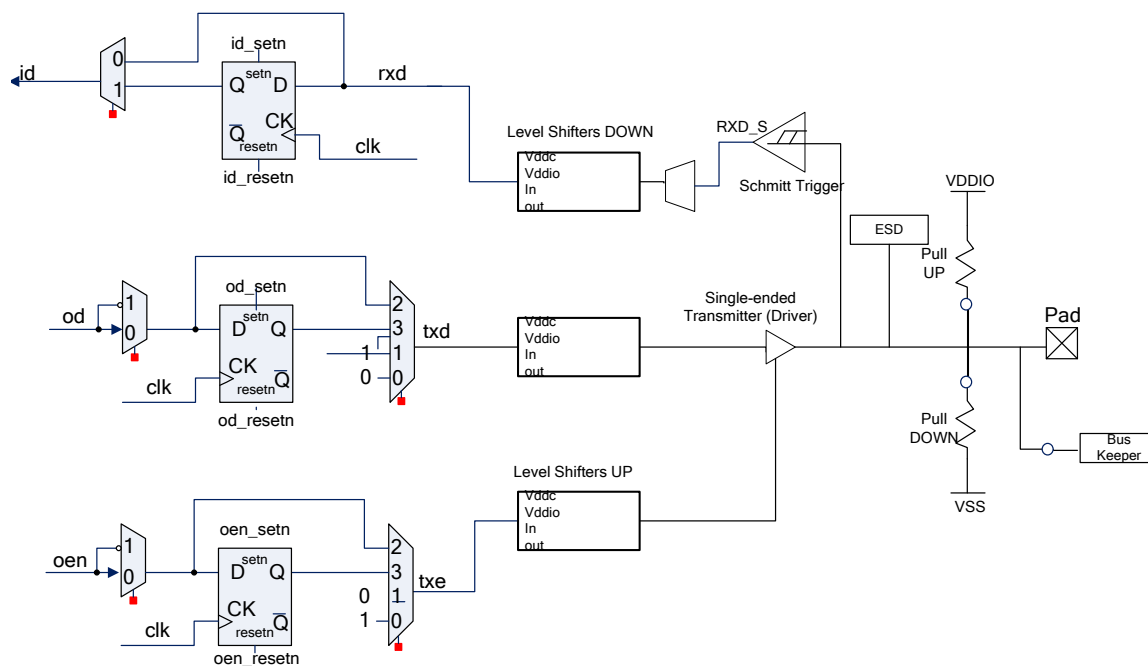


图 14 IOC

IOC标识图见下图所示。

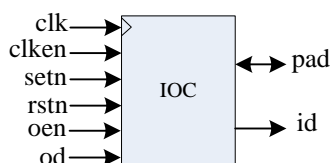


图 15 IOC 标识

IOC内部有三个主信号通道：输出通道，输入通道和三态通道。每个通道都有其各自的一对寄存器，可作寄存器使。三个主信号通路为：

- ❑ 输入通路与封装引脚相连用于将外部数据直接或寄存器输入到芯片内部。
- ❑ 输出通路把内部信号直接或寄存器方式输出到输出三态的输入端，三态控制控制输出是否输出到引脚。
- ❑ 三态通路通过控制输出三态门决定输出驱动或输出高阻。Oen 线控制三态门的打开与关闭，当 oen 线为高时，输出驱动为高阻抗（浮点，Hi-Z），当 Oen 为低时，内部逻辑数据输出到 I/O 引脚。
- ❑ IOC 的三个通路都可配置为直通或寄存器，若在 Primace 的 IOEditor 里设置其为 fast 模式，内部逻辑的寄存器可以吸收到 IOC 里，保持功能不变，改善引脚上的时序。

表 17 IOC 端口定义

端口	位宽	方向	描述
clk	1	I	IO 输入时钟
rstn	1	I	IO 输入复位，低有效
setn	1	I	IO 输入设置，低有效
clk_en	1	I	IO 时钟使能

端口	位宽	方向	描述
oen	1	I	IO 输出使能，低有效
od	1	I	从内部输出的数据
id	1	O	从 I/O 输入的数据
pad	1	IO	IO pad
参数			
is_en_used		字符串	是否使用外部使能。默认：false
reg_always_en		字符串	id/od/oen 寄存器使能设置。True 或 false，默认：false
is_rstn_inv		字符串	复位输入取反选择，true 或 false，默认：false 复位取反选择
is_setn_inv		字符串	设置输入取反选择，true 或 false，默认：false 置位取反选择
is_clk_inv		字符串	时钟输入取反选择，true 或 false，默认：false
is_od_inv		字符串	输入数据取反选择，true 或 false，默认：false
is_oen_inv		字符串	输出控制取反选择，true 或 false，默认：false
oen_sel		字符串	输出使能选择：直通/寄存器/vcc(1)/gnd(0) 默认：直通
od_sel		字符串	输入数据选择：直通/寄存器/vcc(1)/gnd(0) 默认：直通
id_sel		字符串	输出选择：直通/寄存器 默认：直通
oen_setn_en		字符串	输出使能寄存器置位，低有效
oen_rstn_en		字符串	输出使能寄存器复位，低有效
od_setn_en		字符串	输入寄存器置位，低有效
od_rstn_en		字符串	输入寄存器复位，低有效
id_setn_en		字符串	输出寄存器置位，低有效
id_rstn_en		字符串	输出寄存器复位，低有效

2.6.1 上拉/下拉/保持电阻

可配置的上拉和下拉电阻用于给没有使用的I/O引脚一个固定的的高低电平，上电默认是上拉。上下拉电阻大约在50K到100KΩ之间。每个I/O都有一个可选的保持电路，当所有驱动被关闭后会该I/O保持在最后一个逻辑值上。这样可确保总线在所有连接的驱动处于高阻抗状态时不会漂移。这些电阻器在设置Primace .aoc文件里I/O属性为“pull up”，“pull down”和“bus keeper”对应为上拉、下拉和保持。

2.6.2 ESD 保护

静电放电（Electro-Static Discharge）保护电路可保护所有器件引脚不受ESD和过压瞬变影响和损坏。

表37中VIN的绝对最大电压指I/O可以承受的电压范围。

2.6.3 驱动强度

CME-M5 I/O电流驱动强度可设置为：2，4，8，12，16 mA。

2.6.4 I/O 分区

IOB分为4个区，见图 1。对于所有封装，每个区都有独立的VCCIO进行供电。例如，VCCIO_1区对I/O区1供电，其他的区的I/O电源与1区是隔离的。

2.6.5 上电，配置和用户模式下的 I/O

VCCINT和VCCIO可根据需要供电。上电到配置完成前所有I/O都处于高阻抗状态。在上电完成之前，VCCINT和VCCIO必须达到推荐的最小操作值。

VCCIO 和 VCCINT 作为内部上电复位电路（Power-On Reset (POR)电路）的输入端。上电后，FPGA 内部进行全局复位（Global Set-Reset, GSR），将所有 IOB 寄存器同步复位至上拉状态，同时 FPGA 开始初始化其配置存储器。I/O 在配置过程保持在高阻抗的状态（含上拉电阻）。配置完成后，释放复位信号，芯片进入用户模式下。用户未使用的 I/O 仍然保持高阻上拉状态。

输入低电平到 nCONFIG 上，也会触发芯片复位配置过程，与 POR 电路起相同的作用。

2.7 互联

CME-M5系列的Xbar为互联资源，通过Xbar把每个模块连接成一个整体，模块之间通过Xbar传递信号。Xbar有四种互联方式：跨八连线，跨三连线，相邻线和对角线。

跨八线水平及垂直方向上与相距8个和4个的基本模块的XBAR相连。

跨三线水平及垂直方向上与相距3、2和1个的基本模块的XBAR相连。

跨八线和跨三线对一个信号源驱动多个输出非常有用。跨八线和跨三线连接关系见下图。

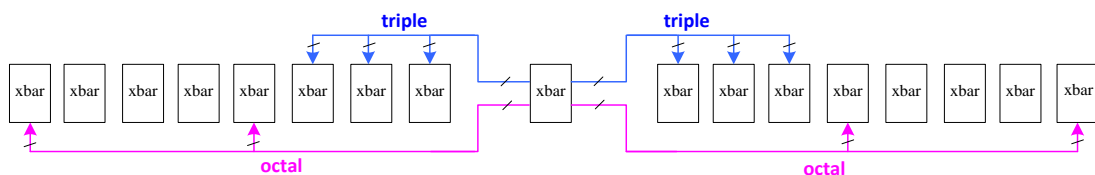


图 16 跨八线和跨三线

相邻线和对角线通过水平及垂直方式直接连接相邻的tile。相邻线和对角线连接方式见下图。

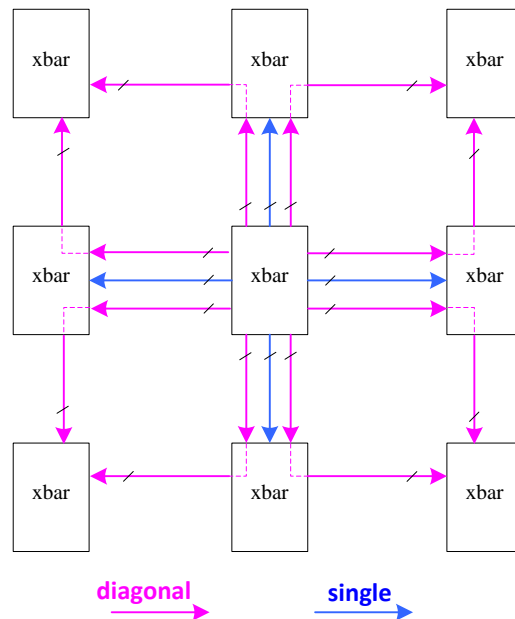


图 17 相邻线和对角线

2.8 PLL

2.8.1 PLL 功能

- 输入频率: 5~472.5MHz
- PFD 输入频率: 5 ~ 325MHz
- 输出频率: 10 ~ 450MHz
- VCO 操作范围: 600 ~ 1200MHz
- 电源: DVDD: 1.0 ~ 1.2V, VDDA: 1.0 ~ 1.2V
- 输出时钟占空比: 45-55%
- 工作电流: < 2mA
- 静态电流: < 20uA (VDDA), < 10uA(DVDD)
- 结温: -40 to 125 °C
- PLL 输出: CO0, CO1, CO2, CO3
- 时钟锁定输出

2.8.2 PLL 硬件描述

CME-M5系列器件包含2个PLLs (PLL0和PLL1)，具有高级时钟管理功能。PLL的主要功能在于同步内外时钟与输入参考时钟的之间相位和频率关系。下图为CME-M5系列PLL主要元件简图。

PFD可生成一个上行或下行信号，该信号决定压控振荡器是在较高还是较低频率下操作。PFD的输出可为电荷泵和环路滤波器供电，从而产生一个控制电压，以便设置VCO的频率。环路滤波器也可将滤除电荷泵的低频干扰并防止电压过冲，滤除VCO的抖动现象。为使VCO的频率高于输入的参考频率，在反馈回路中加有Divide计数器(m)，VCO频率(fVCO)是输入的参考时钟(fIN)频率的(m+1)倍。PFD的输入参考时钟(fIN)是输入参考时钟经过前置计数器分频后得到。因此，当PFD输入的反馈时钟(fFB)锁定

至 f_{REF} 时，PLL振荡稳定，产生稳定的输出。 f_{VCO} 经后置的分频计数器后，可产生4个全局用户时钟。

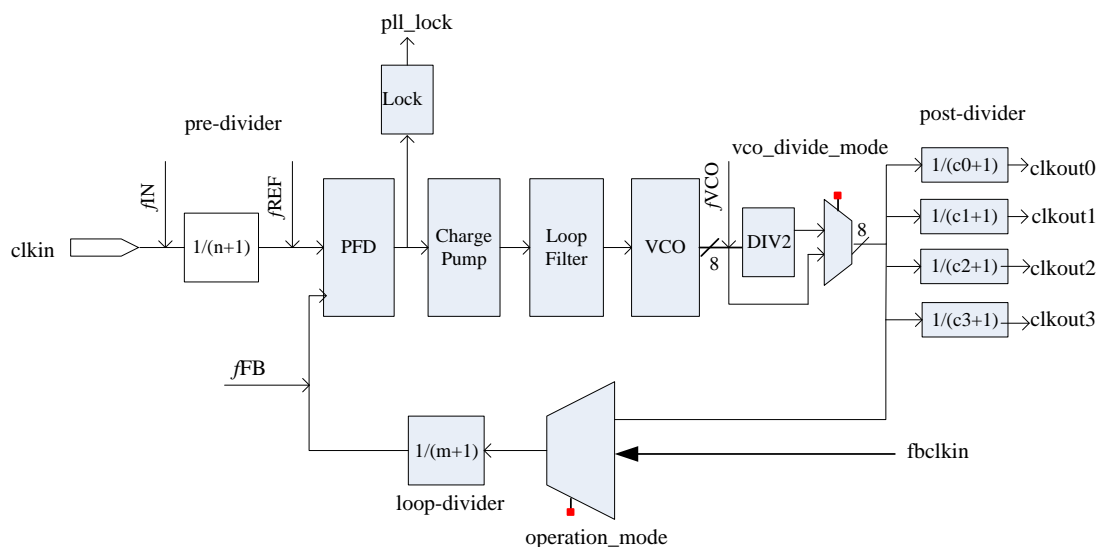


图 18 PLL 框图

专用引脚CLK0~CLK3，XIN和OSC（内部配置振荡器）和FPGA逻辑可以作为PLL0的参考时钟输入。如果PLL处于外部反馈状态，外部反馈fbckin必须来自专用引脚CLK0~CLK3或内部其输出clkout0。

专用引脚CLK4~CLK7和FPGA逻辑可以作为PLL1的参考时钟输入。如果PLL处于外部反馈状态，外部反馈fbckin必须来自专用引脚CLK4~CLK7或其输出clkout0。

2.8.3 PLL 信号定义

CME-M5 系列 PLL 模块端口定义和参数见下表。CME-M5 系列 PLL 可通过 Primace 向导创建。

表 18 端口定义

端口名称	类型	描述
clkkin	输入	PLL 参考时钟输入
fbckin	输入	PLL 反馈输入。来自专用的 CLK 引脚或 PLL clkout0
clkout0	输出	PLL 时钟输出 0
clkout1	输出	PLL 时钟输出 1
clkout2	输出	PLL 时钟输出 2
clkout3	输出	PLL 时钟输出 3
locked	输出	PLL 锁定输出，高有效
pwrdown	输入	断电控制 1: PLL 上电 0: PLL 断电（默认）

表 19 参数定义

参数	类型	描述
pwr_mode	字符串	PLL 电源模式。 “always_off”: PLL 始终处于断电状态

参数	类型	描述
		“always_on”: PLL 始终处于上电状态 “mcu_ctrl”: mcu 控制 PLL 电源 “fp_ctrl”: FP 控制 PLL 电源 默认: “always_off”
operation_mode	字符串	PLL 反馈路径。 “internal_feedback”: 选择内部 PLL 输出作为反馈源 “external_feedback”: 选择外部专用 CLK 引脚作为反馈源 默认: “internal_feedback”
rst_mode	字符串	PLL 复位模式 “auto”: 片选上电自动复位 PLL “mcu_control”: mcu 控制 PLL 复位 test_control: 用于内部测试 默认: “auto”
bandwidth_type	字符串	PLL 带宽设置 “low”: 过滤参考时钟抖动, 锁定时间变长 “medium”: 默认值 “high”: 提供短的锁定时间并追踪参考时钟源的抖动
vco_phase_shift	字符串	VCO 相位偏移设置 VCO 相位选择, 可选值为: “0”、“45”、“90”、“135”、“180”、“225”、“270”和“315” 默认: “0”
co0_enable	字符串	PLL CO0 输出使能 “true”: PLL CO0 输出使能 “false”: PLL CO0 输出禁止 默认: “true”
co1_enable	字符串	PLL CO1 输出使能 “true”: PLL CO1 输出使能 “false”: PLL CO1 输出禁止 默认: “false”
co2_enable	字符串	PLL CO2 输出使能 “true”: PLL CO2 输出使能 “false”: PLL CO2 输出禁止 默认: “false”
co3_enable	字符串	PLL CO3 输出使能 “true”: PLL CO3 输出使能 “false”: PLL CO3 输出禁止 默认: “false”
multiply_by(M)	十进制	PLL 环路分频器设置, 范围为 1 到 256
divide_by(N)	十进制	PLL 前置分频器设置, 范围为 1 到 256
co0_divide_by(C0)	十进制	PLL 输出 0 的计数器设置, 范围为 1 到 256
co1_divide_by(C1)	十进制	PLL 输出 1 的计数器设置, 范围为 1 到 256
co2_divide_by(C2)	十进制	PLL 输出 2 的计数器设置, 范围为 1 到 256

参数	类型	描述
co3_divide_by(C3)	十进制	PLL 输出 3 计数器设置, 范围为 1 到 256
co0_delay_by	十进制	PLL 输出 0 至后置计数器的延迟, 范围为 0 到 255 VCO 时钟周期
co1_delay_by	十进制	PLL 输出 1 至后置计数器的延迟, 范围为 0 到 255 VCO 时钟周期
co2_delay_by	十进制	PLL 输出 2 至后置计数器的延迟, 范围为 0 到 255 VCO 时钟周期
co3_delay_by	十进制	PLL 输出 3 至后置计数器的延迟, 范围为 0 到 255 VCO 时钟周期
co0_phase_shift	字符串	PLL 输出 0 对 VCO 的计数器相位偏移, 可选值为: 8 个“0”、“45”、“90”、“135”、“180”、“225”、“270”和“315”
co1_phase_shift	字符串	PLL 输出 1 对 VCO 的计数器相位偏移, 可选值为: 8 个“0”、“45”、“90”、“135”、“180”、“225”、“270”和“315”
co2_phase_shift	字符串	PLL 输出 2 对 VCO 的计数器相位偏移, 可选值为: 8 个“0”、“45”、“90”、“135”、“180”、“225”、“270”和“315”
co3_phase_shift	字符串	PLL 输出 3 对 VCO 的计数器相位偏移, 可选值为: 8 个“0”、“45”、“90”、“135”、“180”、“225”、“270”和“315”

CME-M5 系列器件是一种 SoC 器件, MSS 的 8051 可以控制 PLL 参数, 例如环路分频器 M、前置分频器 N 和后置分频器 C0, C1, C2 和 C3, 8051 可以在系统修改或重新配置这些参数, 从而满足用户特定的时钟需求。更多详情请参考“3.7.5 MSS 在系统时钟配置”。

2.8.4 时钟反馈模式

CME-M5 系列 PLL 支持两种反馈模式。每种模式都允许时钟乘法运算和相位偏移。设置 operation_mode 参数可控制这两种模式。

(1) 内部反馈模式（频率同步模式）

在频率合成模式下, 反馈来自内部 VCO, PLL 不会补偿任何时钟网络。由于该模式下 PFD 的时钟反馈不会经过较多电路, 因而时钟抖动较小。

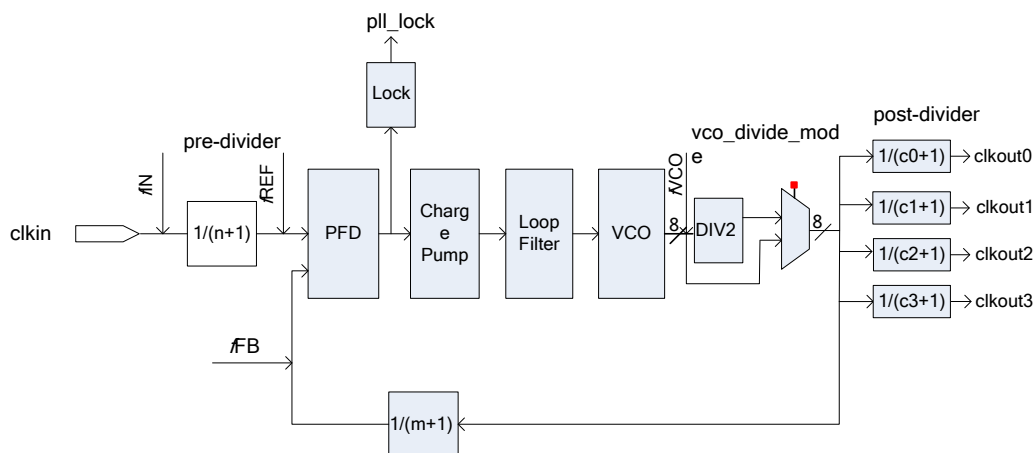


图 19 内部反馈模式

$$f_{\text{pfd}} = f_{\text{IN}} / (N+1);$$

$$f_{\text{VCO}} = f_{\text{IN}} * \text{DIV2} * (M+1) / (N+1), \text{ DIV2} = 1 \text{ or } 2;$$

$$f_{\text{FB}} = f_{\text{VCO}} / (M+1);$$

```

fclkout0 = fIN * (M+1)/( (N+1) * (C0+1));
fclkout1 = fIN * (M+1)/( (N+1) * (C1+1));
fclkout2 = fIN * (M+1)/( (N+1) * (C2+1));
fclkout3 = fIN * (M+1)/( (N+1) * (C3+1));

```

(2) 外部反馈模式

在外部反馈模式下，外部反馈输入引脚（fbclk_{in}）从时钟输入引脚或 PLL 输出 0 输入进来。这种模式，可去掉器件之间的时钟延迟和偏移。所有 CME-M5 系列的 PLL 都支持这种模式。PLL 输出 0 作 fbclk_{in} 反馈时钟见图 20，CLK0~3/CLK4~7 时钟引脚作 fbclk_{in} 反馈时钟见图 21 所示。

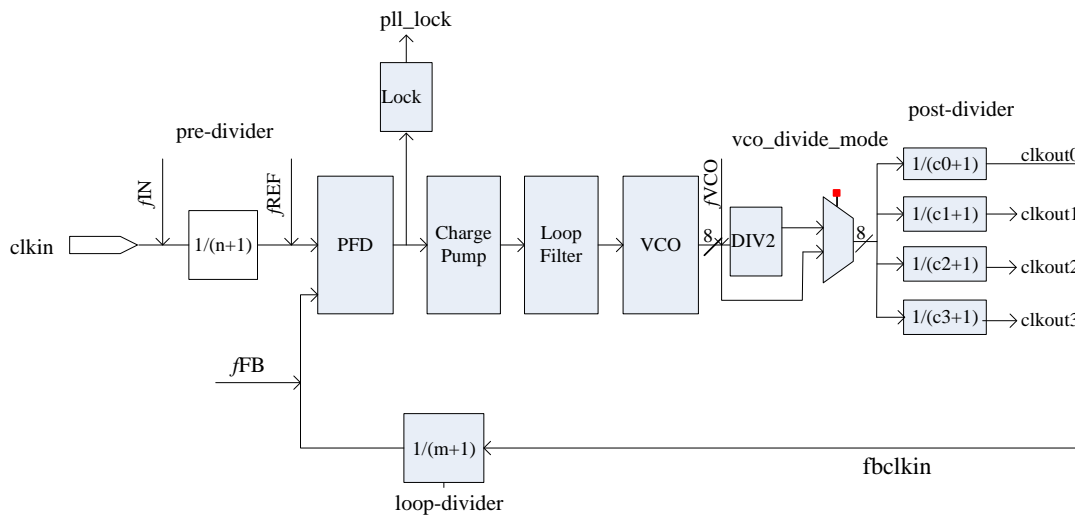


图 20 clkout0 反馈信号

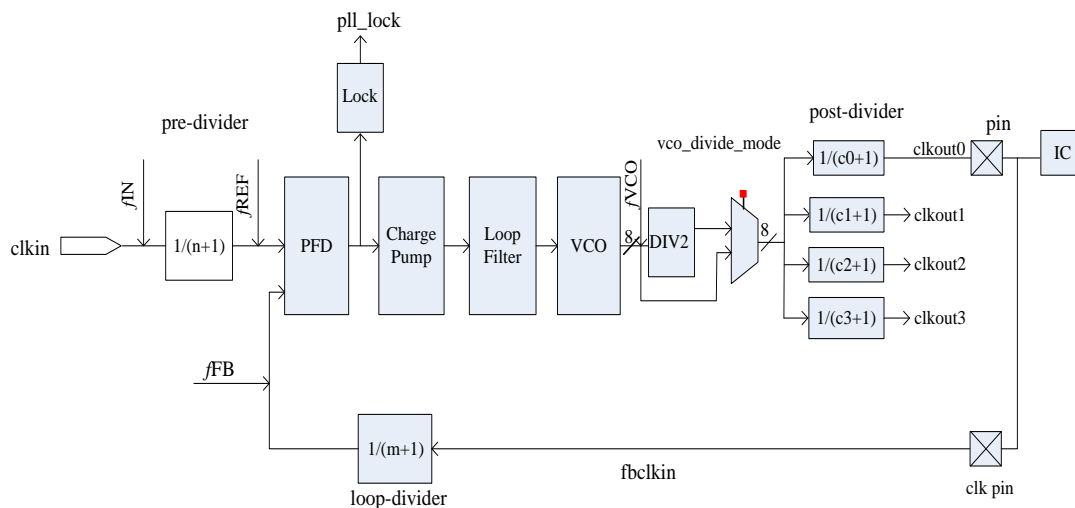


图 21 时钟引脚 clk0~3/clk4~7 反馈信号

```

fpfd = fIN / (N+1) ;
fVCO = fIN * DIV2 * (M+1) / ( (C0+1) * (N+1) ), DIV2 = 1 or 2 ;
fFB = fVCO / (M+1);

```

```

fclkout0 = fIN *(M+1)/(N+1);
fclkout1 = fIN *(M+1)(C0+1)/((N+1)*(C1+1));
fclkout2 = fIN *(M+1)(C0+1)/((N+1)*(C2+1));
fclkout3 = fIN *(M+1)(C0+1)/((N+1)*(C3+1));

```

2.9 全局时钟和复位资源

CME-M5系列全局时钟资源包含专门的时钟输入，缓冲器和布线网络。时钟资源提供8个低容值，低偏斜，互联的全局时钟网络。全局时钟网络能够为FPGA各个模块提供统一的高性能、低抖动、低偏斜时钟源。同时全局时钟也可用于高扇出信号。

2.9.1 外部晶体输入

XIN和XOUT分别为外部晶体输入和输出引脚，频率范围为10到20 MHz。当XIN为外部时钟输入时，输入时钟通过XIN连接至全局时钟树，同时XOUT不接或连接至GND。下图为外部晶体时钟作为时钟输入的连接示意图。

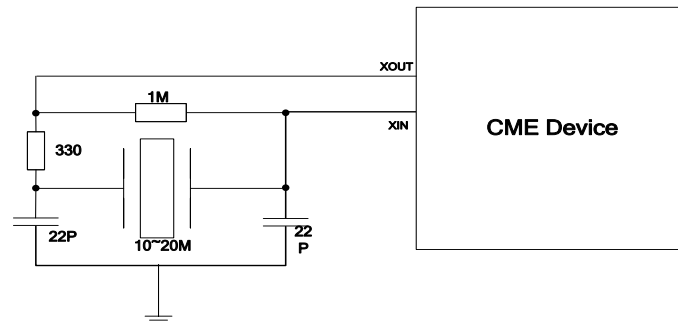


图 22 外部晶体输入

2.9.2 时钟结构

全局时钟源包含两个部件：两个时钟发生器模块和全局时钟网络。CME-M5系列时钟网络结构见下图所示。

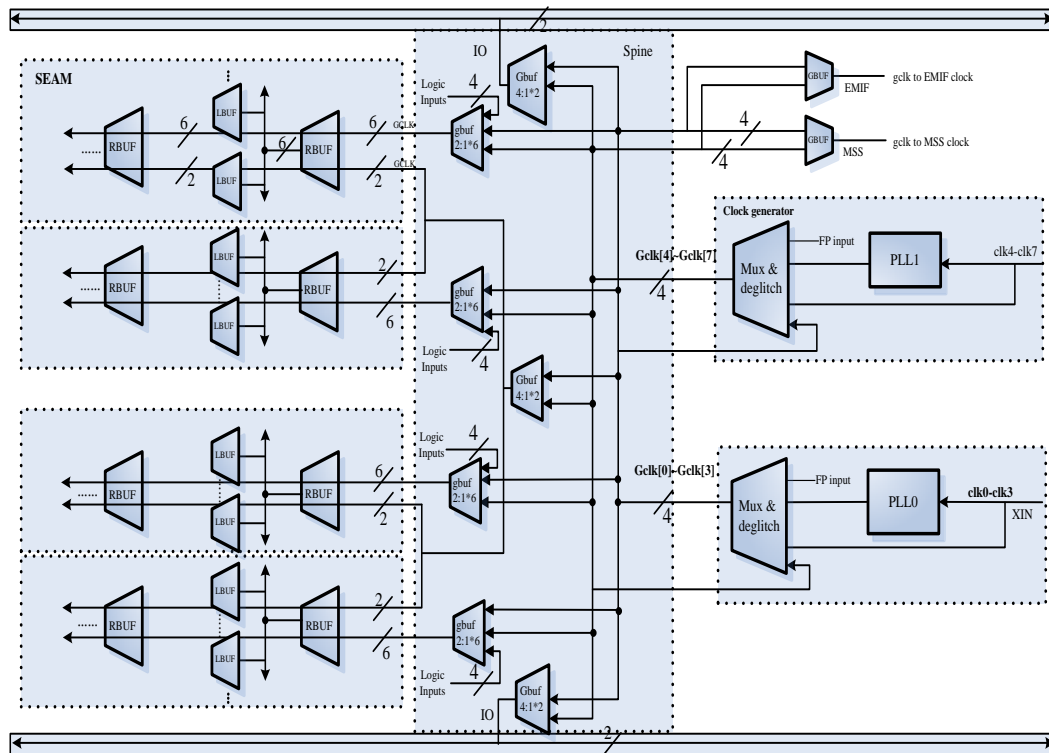


图 23 时钟原理

时钟发生器包含PLL0和时钟切换和分路电路，位于芯片底端右侧，可选择专用引脚CLK0 – CLK3，X1或PLL0的4个输出和fabric逻辑信号作为时钟源，生成4个全局时钟。时钟发生器1位于顶部右侧，其功能与时钟发生器0相同，不同之处在于专用的时钟输入引脚CLK4 - CLK7代替CLK0 – CLK3。每个时钟发生器都包含四个CFG_DYN_SWITCH的复用器，每个复用器在8051的控制下可在两个时钟源之间进行无差错的平滑切换，输出一个时钟。两个时钟发生器各产生4个共8个全局时钟信号。

时钟发生器产生的8个时钟信号和逻辑信号汇聚到GBUF，4个GBUF为4个FP束提供时钟，2个IOGBUF为I/O提供时钟，1个GBUF的时钟可以覆盖整个FP。

2个IO GBUF选择出2个全局时钟，这两个全局时钟为每个I/O输入、输出和使能寄存器提供时钟。MSS GBUF和EMIF GBUF也从时钟发生器的8个时钟里选择一个，用于MSS和EMIF接口时钟。

FP的GBUF下一级时钟Buffer是RBUF，RBUF共有8个时钟输入，6个来自对应的FP GBUF，2个来自全局的GUUF。这两个全局的时钟跨越整个芯片，从时钟发生器到每个PLB，这当中没有任何复用器选择和门控，因此这两个时钟能为整个FP提供低偏斜的时钟。这两种不同的时钟结构既保证性能又能提供灵活精细地时钟门控。

LBUF是时钟树的最后一级，直接驱动寄存器和其他时钟逻辑或内存单元。LBUF提供高精度的本地时钟门控。每两个PLB包含一个LBUF，可从6个RCLK中为其8个寄存器选择一个本地时钟。

2.9.3 GBUF

用户可通过 Wizard 工具生成 GBUF。通过 GBUF，时钟或普通信号可以直接进入全局时钟网络。

表 20 GBUF 端口定义

端口名称	类型	描述
in	输入	GBUF 输入
out	输出	GBUF 时钟输出

M5 有两个可以门控的全局时钟，通过 GBUF_GATE 可以门控该时钟。

表 21 GBUF_GATE 端口定义

端口名称	类型	描述
clk	输入	时钟输入
en	输入	时钟使能，高有效
clk_out	输出	GBUF 时钟输出

2.9.4 时钟切换

时钟发生器里的的CFG_DYN_SWITCH复用器不仅可以用作静态时钟路径，也可在8051的控制下无缝地进行时钟动态切换。这两个时钟是用户为满足功耗或特殊应用而设计的，在系统运行中用户程序根据外部条件和状态切换时钟，以便进入/退出低功耗操作模式或用户不同应用模式。

关于如何使用动态时钟切换功能，请参考“第 3 章 MSS 子系统”。

表 22 CFG_DYN_SWITCH 端口定义

端口名称	类型	描述
in0	输入	GCLK 时钟源 0 输入
in1	输入	GCLK 时钟源 1 输入
out	输出	GBUF 全局时钟

表 23 CFG_DYN_SWITCH 参数描述

参数名称	类型	描述
gclk_mux	数字	定义 CFG_DYN_SWITCH 的位置。

表 24 全局时钟路由关系

GCLK	IN0				IN1			
GCLK[0]/ gclk_mux 0	PLL000	PLL001	CLK0	CLK1	PLL002	PLL003		FP
GCLK[1]/ gclk_mux 1	PLL001	PLL003	CLK2	CLK3	PLL000	PLL002	GCLK[4]	FP
GCLK[2]/ gclk_mux 2	PLL001	PLL002	CLK1	CLK2	PLL000	PLL003	XIN	FP
GCLK[3]/ gclk_mux 3	PLL000	PLL001	CLK0	CLK3	PLL002	PLL003	XIN	FP
GCLK[4]/ gclk_mux 4	PLL100	PLL101	CLK4	CLK5	PLL102	PLL103		FP
GCLK[5]/	PLL101	PLL103	CLK6	CLK7	PLL100	PLL102	GCLK[0]	FP

GCLK	IN0				IN1			
gclk_mux 5								
GCLK[6]/ gclk_mux 6	PLL1O1	PLL1O2	CLK5	CLK6	PLL1O0	PLL1O3	XIN	FP
GCLK[7]/ gclk_mux 7	PLL1O0	PLL1O1	CLK4	CLK7	PLL1O2	PLL1O3	XIN	FP

对每个 CFG_DYN_SWITCH 来说输入 in0、in1 的来源和输出有具体的对应关系，其关系见上表。用户在做动态时钟切换设计时，必须遵循上表的对应关系连接 PLL 和 CFG_DYN_SWITCH，否则，MSS 可通过特定的扩展 SFR 来选择系统中的 in0 或 in1。关于如何使用动态时钟切换功能，请参考“第 3 章 MSS 子系统”。

第3章 MSS 子系统

MSS 子系统包含增强型 8051 处理器，嵌入式外设，DMA 和 SRAM。本章只介绍与 CME-M5 系列器件相关的 MSS 系统及其功能。

关于增强型 R8051xc2 核和外围设备请参考 MSS_8051_Subsystem_User_Guide_EN 文档。

MSS 功能特色包括：

- ❑ 增强型 8051MCU
 - 精简的指令周期，12 倍于标准 8051 MIPS，高达 200MHz
 - 兼容 8051 指令系统
 - 片上调试系统 (OCDS)，在线 JTAG 调试
 - 高达 8M 数据/代码存储空间
- ❑ 嵌入式 SRAM 存储器
 - 128Kbyte 信号端口存储器 SRAM，高达 200MHz
 - 数据/代码统一寻址，灵活的存储器配置
 - 灵活的片内片外存储器扩展(EMIF)
- ❑ 外设
 - 1 个 MDU
 - 3 个 16 位计时器，计时器 2 可用作捕获单元
 - 1 个 16 位看门狗计时器
 - 1 个 I2C/SMBus 接口
 - 1 个 SPI 接口
 - 2 个全双工异步串行端口
 - 1 个 RTC
 - 4 通道 DMA
- ❑ 停止、空闲模式电源管理
- ❑ 在系统管理
 - ISC 控制
 - 动态时钟管理

下图为 MSS 和 FPGA 的功能及连接简图。图中虚线箭头是器件内部集成的，无需用户在 FPGA 设计中连接，8051 直接通过器件扩展的 SFR 控制和操作特定模块。图中实箭头，表示这些接口需要用户通过 FPGA 间接或直接实现该接口的功能。

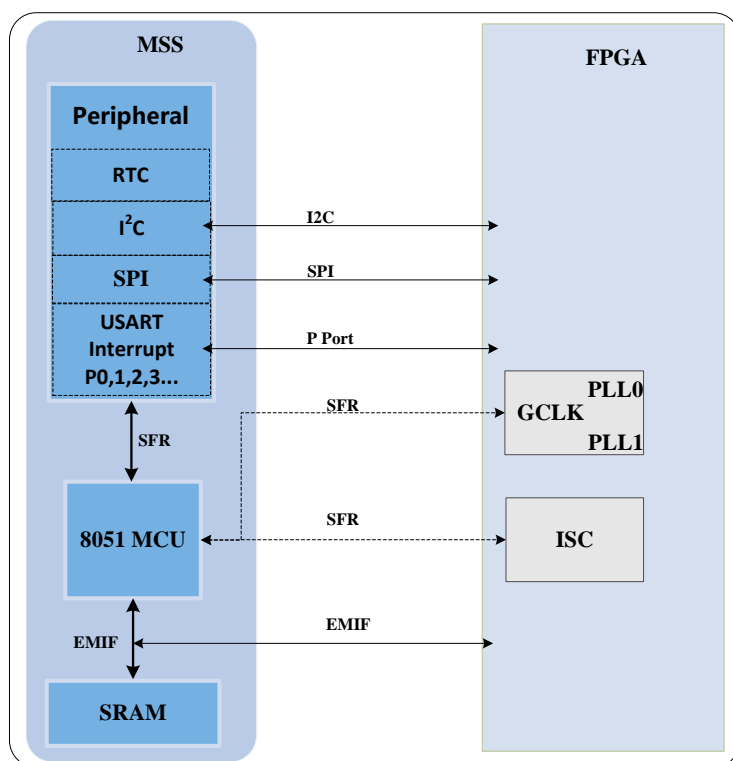


图 24 MSS 简图

3.1 8051 例化

从用户的设计角度来看，8051 IP 可被视作一个宏模块，类似于其它 IP，如 EMB5K 等，在代码中直接例化。

3.1.1 8051 模块描述

表 25 8051 端口定义

名称	类型	位宽	描述
全局接口			
clkcpu	I	1	MSS 8051 时钟，来自 MSS GBUF 或内部 OSC
clkcpuen	O	1	当 8051 处于 STOP 或 IDLE 模式时为低
clkperen	O	1	当 8051 处于 IDLE 模式时为低
reseth	I	1	8051 复位，低有效
ro	O	1	8051 复位输出
swd	I	1	启动看门狗定时器输入
SPI 接口			
scki	I	1	SPI 时钟输入
scko	O	1	SPI 时钟输出
scktri	O	1	SPI 时钟三态使能
ssn	I	1	从选择输入

名称	类型	位宽	描述
misoi	I	1	“主输入/从输出” 输入引脚
misoo	O	1	“主输入输入/从输出” 输出引脚
misotri	O	1	“主输入输入/从输出” 三态使能
mosii	I	1	“主输入输出/从输入” 输入引脚
mosio	O	1	“主输入输出/从输入” 输出引脚
mositri	O	1	“主输入输出/从输入” 三态使能
spssn	O	8	8 个从机选择输出
I2C 接口			
scli	I	1	I2C 时钟输入
sdai	I	1	I2C 数据输入
sclo	O	1	I2C 时钟输出
sdao	O	1	I2C 数据输出
通用 I/O			
port0i	I	8	8 位输入端口
port0o	O	8	8 位输出端口
port1i	I	8	8 位输入端口，与 int2-7, ccu, t2 和 rxd1 兼容
port1o	O	8	8 位输出端口，与 ccu 和 txd1 兼容
port2i	I	8	8 位输入端口
port2o	O	8	8 位输出端口
port3i	I	8	8 位输入端口，与 int0-1, rxd0, t0 和 t1 兼容
port3o	O	8	8 位输出端口，与 txd0 和 rxd0o 兼容
EMIF 接口			
clkemif	I	1	EMIF 接口时钟
memack	I	1	EMIF 接口应答信号，高有效
memdatai	I	8	EMIF 接口数据输入
memdatao	O	8	EMIF 接口数据输出
memaddr	O	23	EMIF 接口地址
memwr	O	1	EMIF 接口写使能，高有效
memrd	O	1	EMIF 接口读使能，高有效
Hold 接口			
hold	I	1	保持模式请求，高有效
holda	O	1	保持模式应答信号
intoccur	O	1	保持状态下中断指示信号，高有效
waitstaten	O	1	等待状态指示，当 8051 处于等待过程时为低

表 26 参数表

参数	类型	描述
rtc_div_num	字符串	rtc 时钟分频数
sync_mode_en	字符串	Mcu 同步模式使能 True: 同步模式, false: 异步模式
program_file	字符串	Mcu/8051 程序文件: *.hex

3.2 P 端口引脚多路复用

一些功能引脚例如外部中断 1, USART0, USART1, Timer 0~2 和比较-捕获单元等引脚复用到端口 1 及端口 3, 详见下表。

表 27 端口引脚复用表

名称	类型	极性 Bus size	复用 端口	描述
外部中断输入				
int0	I	Low/Fall	port3i[2]	外部中断 0
int1	I	Low/Fall	port3i[3]	外部中断 1
int2	I	Fall/Rise	port1i[4]	外部中断 2
int3	I	Fall/Rise	port1i[0]	外部中断 3
int4	I	Rise	port1i[1]	外部中断 4
int5	I	Rise	port1i[2]	外部中断 5
int6	I	Rise	port1i[3]	外部中断 6
int7	I	Rise	port1i[6]	外部中断 7
串行 0 接口				
rx0i	I	1	port3i[0]	串口 0 接受数据
rx0o	O	1	port3o[0]	串口 0 传输数据
tx0	O	1	port3o[1]	模式 0 下, 串口 0 传输数据或接受时钟
串行 1 接口				
rx1	I	1	port1i[0]	串口 1 接受数据
tx1	O	1	port1o[1]	串口 1 传输数据
定时器输入				
t0	I	下降	port3i[4]	定时器 0 外部输入
t1	I	下降	port3i[5]	定时器 1 外部输入
t2	I	下降	port1i[7]	定时器 2 外部输入
t2ex	I	下降	port1i[5]	定时器 2 捕获触发
比较-捕获单元				
cc(0)	I	上升/下降	port1i[0]	比较/捕获 0 输入
cc(1)	I	上升	port1i[1]	比较/捕获 1 输入
cc(2)	I	上升	port1i[2]	比较/捕获 2 输入
cc(3)	I	上升	port1i[3]	比较/捕获 3 输入
Ccubus[0]	O	1	port1o[0]	比较/捕获 0 输出
Ccubus[1]	O	1	port1o[1]	比较/捕获 1 输出
Ccubus[2]	O	1	port1o[2]	比较/捕获 2 输出
Ccubus[3]	O	1	port1o[3]	比较/捕获 3 输出

3.3 MSS 时钟描述

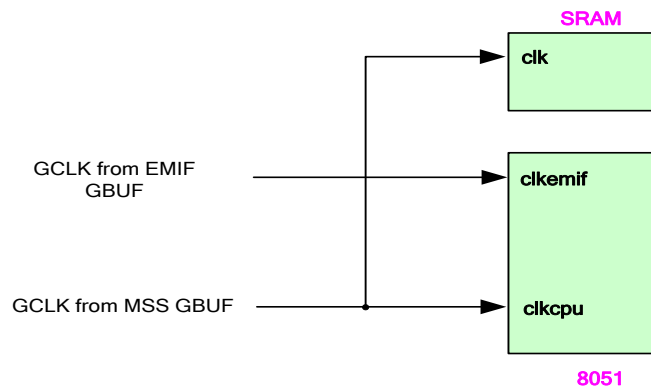


图 25 MSS 时钟

时钟信号 gclk 来自 8 个全局时钟，见图 23。SRAM 时钟和 clkcpu 使用相同的时钟。

3.4 MSS 存储器映射

CME-M5 系列集成了 128KByte SRAM 模块。128KByte SRAM 只用于 MSS。8051 可访问 SRAM 速度最高可达 200MHz。

8051 MCU 核可通过专用的页面地址寄存器扩展至高达 8MB 独立的程序存储器和外部数据存储器。CME-M5 系列内部集成时，把程序和数据两套控制信号相或后形成一组统一的控制信号，使程序和外部数据存储器统一编址，共用存储空间。128KB 的 SRAM 可用作程序和外部数据存储器。程序存储器从地址 0 开始向上增加，没被程序用掉的空间可用作外部数据存储器。注意，用户必须区分开程序和外部数据存储器空间，勿使其重叠，否则写数据会改写程序，导致异常发生。

下图为 CME-M5 系列 MSS 存储器（包含 FP 扩展存储器）映射图。

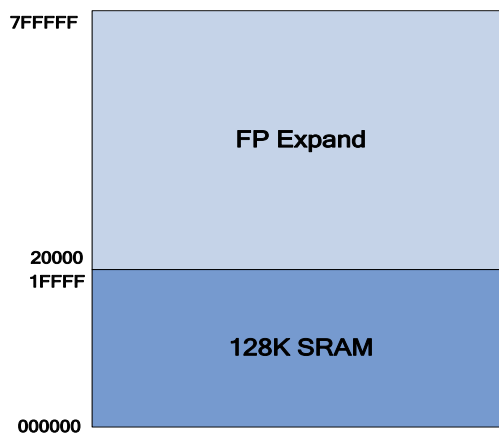


图 26 MSS 存储器映射

3.5 MSS 外部存储器接口 (EMIF)

EMIF 用于扩展 MSS 存储器，地址（20000~7FFFFFFF），通过 FP 来实现。

CME-M5 系列提供存储器接口 EMIF 支持同步和异步操作，EMIF 具有相同的数据/地址和控制端口，但时序波形不同。同步或异步 EMIF 模式可通过参数 `sync_mode_en` 来设置。

表 28 EMIF 端口描述

端口名称	类型	位宽	描述
clkemif	输入	1	EMIF 时钟，上升沿有效
memaddr	输出	23	EMIF 地址
memdataai	输入	8	读数据
memdataao	输出	8	写数据
memrd	输出	1	读使能，高有效
memwr	输出	1	写使能，高有效
memack	输入	1	Fabric 到 MSS 的应答

(1) 同步 EMIF

EMIF 的时钟与 8051 相同，信号直接连接至 Fabric。详细信息请参考 `MSS_8051_Subsystem_User_Guide_EN` 文档。

下图为 EMIF 和 Fabric 同步连接示意图。

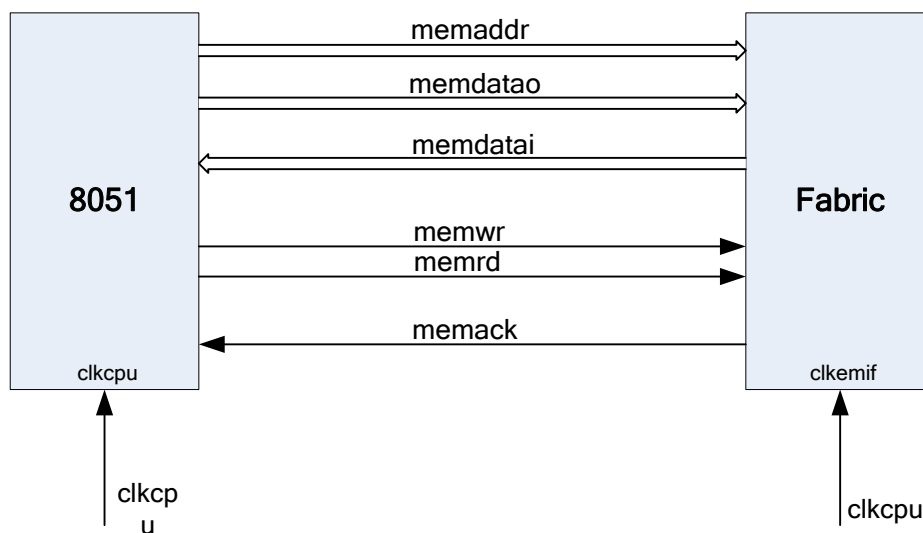


图 27 当 `sync_mode_en` 为“true”时

(2) 异步 EMIF

当 EMIF 时钟与 8051 的时钟不同时，SyncBridge 同步桥，用来同步两个不同时钟域的数据传输。EMIF 的每个读/写操作都会进行大约 4 个 `clkemif` 周期+3 个的 8051 `clkcpu` 周期。

Fabric 异步 EMIF 连接图见下图所示。

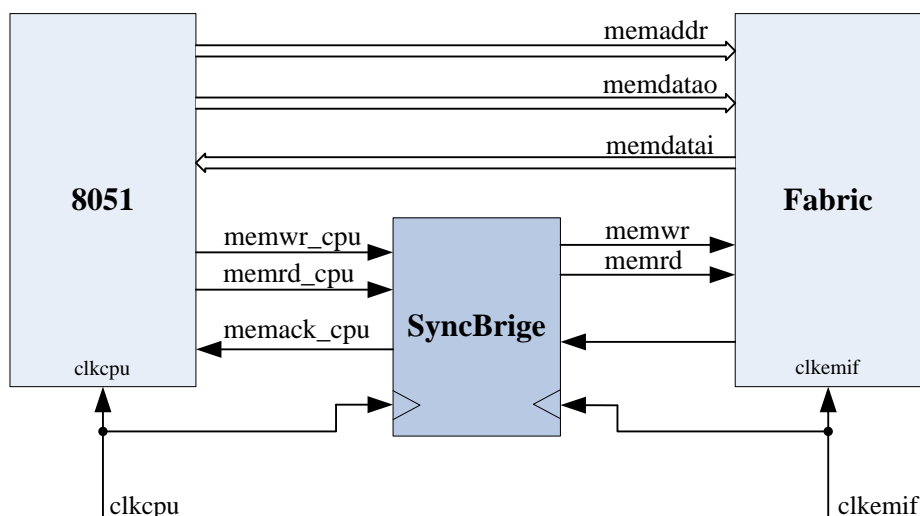


图 28 当 *sync_mode_en* 为“false”时

控制信号“memrd”, “memwr”和“memack”位于 *clkemif* 域中, 在 *clkemif* 上升沿中产生。“memrd”, “memwr”和“memack”为控制信号, 如果操作时, 没有有效的“memack”发送至 8051 核中, “memrd”, “memwr”和“memack”控制信号以及“memaddr”和“memdatao”总线将被延长, “memrd”, “memwr”当“memack”变低时变为无效, “memaddr”和“memdatao”延长几个周期。

读操作时, Fabric 会将读数据放到 *memdatai* 总线上, 直到“memack”变低为止。EMIF 读波形见下图所示。

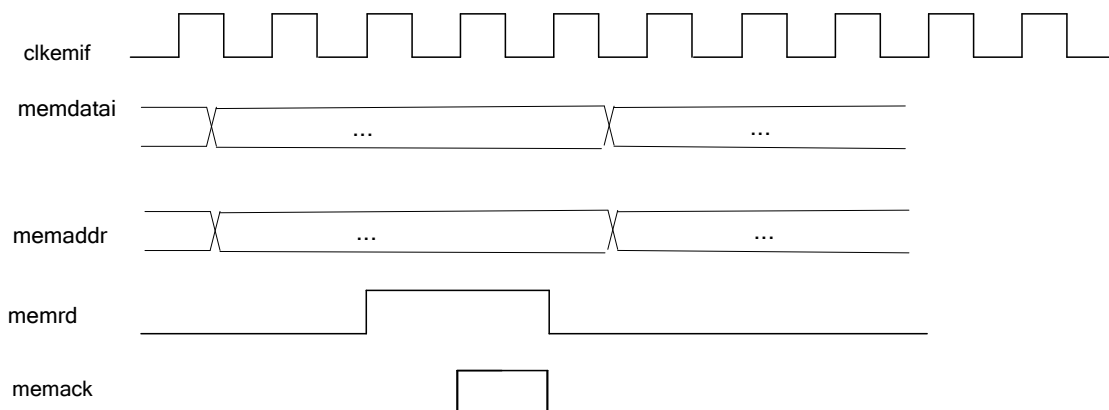


图 29 异步接口 EMIF 读波形

写操作时, Fabric 应当在 *memwr* 有效时将 *memdatao* 写入扩展存储器中, 并在下一次循环时发送一个有效的“memack”至 MSS 中。

EMIF 写波形见下图所示:

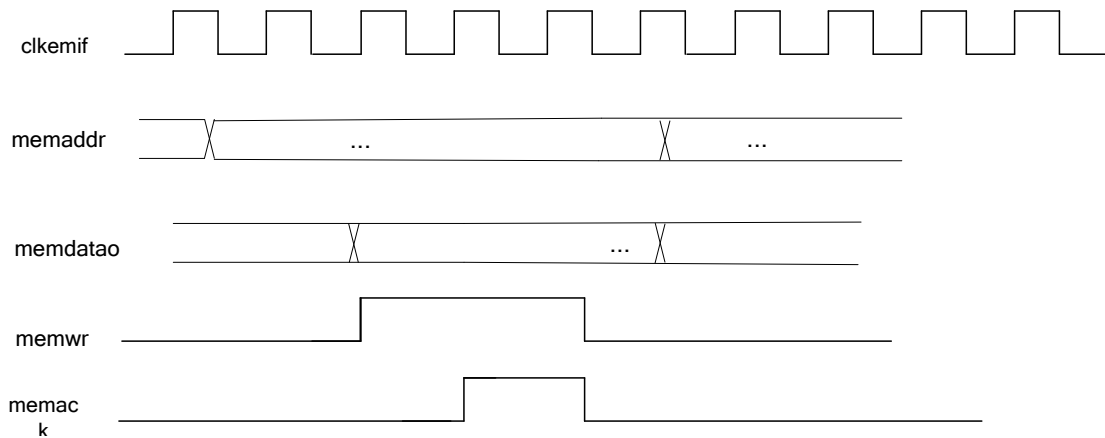


图 30 异步接口 EMIF 写波形

3.6 RTC

RTC 电路包含模拟和逻辑两部分。8051 RTC SFR 和控制信号被分配至 CME-M5 系列器件核 VCCINT 电压域中，而内部时间计数器相关的电路和 RTC 模拟电路被分配至 RTC 电压域中。外部电池通过 VCCRTC 和 GNDRTC 引脚为 RTC 供电，使其在 CME-M5 系列器件掉电时能保证 RTC 的正常运行。

RTC 晶体连接电路示意图见下图所示。

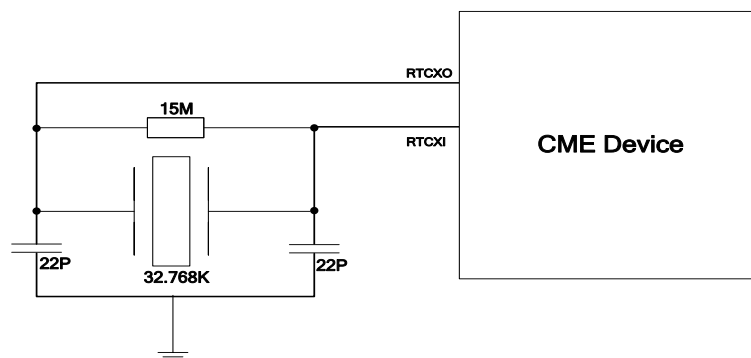


图 31 RTC 晶体连接电路

3.7 MSS 在系统管理

MSS 可通过特定的扩展 SFR 控制 CME-M5 系列器件的一些组件，例如特殊配置寄存器，PLL 和 CFG_DYN_SWITCH 多路分路器。MSS 可通过操作扩展 SFR 直接控制 ISC 和时钟动态开关，以及 PLL 的再配置。

3.7.1 器件寄存器

器件寄存器可直接决定并控制器件的工作功能和状态。器件使用了两种寄存器。一种是 ISC 寄存器，一种是 PLL 和 gclk_switch 时钟复用寄存器。

表 29 ISC 寄存器

寄存器	位置	属性	复位值	描述
ISCREG	1	R/W	0x00000000	[31: 8]: Flash 读取数据的起始位置地址 [0]: Bit0 ISCEN: 使能再配置, 用于触发再配置, 自动清除。 0: 禁止 1: 使能

表 30 全局时钟寄存器

寄存器	位置	属性	复位值	描述
DIVM	6	R/W	0	PLL 0/1 环路分频器 M
DIVN	5	R/W	0	PLL 0/1 前置分频器 N
DIVC0	4	R/W	0	PLL 0/1 前置分频器 C0
DIVC1	3	R/W	0	PLL 0/1 前置分频器 C1
DIVC2	2	R/W	0	PLL 0/1 前置分频器 C2
DIVC3	1	R/W	0	PLL 0/1 前置分频器 C3
DYN_CTRL[7: 0]	0	R/W	0	动态控制寄存器 [7: 6]: 保留 [5]: PII 0/1 复位控制位 1: 复位 PLL, 0: PLL 工作 [4]: PII 0/1 断电控制位 0: PLL 断电 1: PLL 上电 [3: 0]: 见表 24 [3]: CFG_DYN_SWITCH 3/7 输出选择 0: gclk 源为 in0, 1: gclk 源为 in1 [2]: CFG_DYN_SWITCH 2/6 输出选择 0: gclk 源为 in0, 1: gclk 源为 in1 [1]: CFG_DYN_SWITCH 1/5 输出选择 0: gclk 源为 in0, 1: gclk 源为 in1 [0]: CFG_DYN_SWITCH 0/4 输出选择 0: gclk 源为 in0, 1: gclk 源为 in1

3.7.2 ISC 寄存器结构

访问 ISC 寄存器时应遵守以下规则, 即先是一个 32 位的帧头, 然后是一个 32 位的写或读数据。

表 31 ISC 帧格式

Bit[31: 29]	Bit[28]	Bit[27]	Bit[26]	Bit[25]	Bit[24]	Bit[23: 10]	Bit[9: 0]
3'h001	0	0	0	1: write 0: read	0	14'h1f	10 h1

3.7.3 扩展 SFR

SFR 的类型有四种, ISC SFR, RTC SFR, 全局时钟 SFR 和直接管理 SFR。

MSS 通过 ISC SFR 向器件内部寄存器传输命令和数据。MSS 通过 RTC SFRs 访问 RTC 内部寄存器, 通

过时钟 SFR 管理时钟，通过直接管理 SFR 直接访问和控制相关功能。

表 32 寄存器定义

寄存器	位置	属性	复位值	描述
ISCDATD0	AC	R/W	0x00	ISC 数据[7: 0]
ISCDATD1	AD	R/W	0x00	ISC 数据[15: 8]
ISCDATD2	AE	R/W	0x00	ISC 数据[23: 16]
ISCDATD3	AF	R/W	0x00	ISC 数据[31: 24]
ISCCMD	F2	R/W	0x00	[7]写指令， 1: 触发写操作，自动清零
ISCHEADER0	F3	R/W	0x00	ISC header [7: 0]
ISCHEADER1	F4	R/W	0x00	ISC header [15: 8]
ISCHEADER2	F5	R/W	0x00	ISC header [23: 16]
ISCHEADER3	F6	R/W	0x00	ISC header [31: 24]
RTCCMD	E5	R/W	0x00	[7]写指令 1: 串行写命令，自动清零 [6: 0]保留
RTCSEL	E6	R/W	0x00	[7: 5]保留 [4] 1: 写操作；0: 读操作 [3: 0]定义 RTC 中的寄存器地址 (参考 MSS_8051_Subsystem_User_Guide_EN 文档)
RTCDATA	E7	R/W	0x00	操作 RTC 的数据 SFR
GCLKCMD	F8	R/W	0x00	[7]写指令 1: 串行写命令，自动清零 [6: 0] 保留
GCLKADDR	F9	R/W	0x00	[7]保留 [6: 5]选择时钟发生器 00: 时钟发生器 0 01: 时钟发生器 1 [4]写/读 1: 写；0: 读 [3: 0]时钟寄存器表中的寄存器地址
GCLKDATA	FA	R/W	0x00	操作全局时钟的数据 SFR
ISMDIRECTL	FB	R/W	0x00	[7] PLL 1 锁定状态，1: 锁定；0: 未锁定 [6] PLL 0 锁定状态，1: 锁定；0: 未锁定 [5: 1] 保留 [0] MSS 时钟开关 1: 选择 gclk 0: 选择内部振荡器

3.7.4 MSS 在系统配置

CME-M5 系列器件的配置映像包括 FPGA 的配置数据和 MSS 的程序代码。FPGA 配置数据大小基本一致，大约为 0x30000 字节，但 MSS 代码大小会随程序大小而改变。配置映像存储在 SPI FLASH 中。扇区是

映像的最小存储单位，一个映像可占用一个以上扇区。下图为存储在 SPI FLASH 中的多映像映射图。其中，映像大小小于三个扇区。Primace 的工具可生成包含多个映像的.mcf 文件，使用 Download 功能可一次性将.mcf 映像文件下载至 SPI FLASH 中。用户把每个都包含 8051 在线 ISC 功能的多个映像文件如下图存放到 SPI FLASH 里，芯片运行后，8051 程序可以根据外界条件和当前状态，发送 ISC 指令，在线切换到想要的映像运行。也就是说使用 CME-M5 系列的 ISC 功能，可以利用冗余的 SPI FLASH 的空间，虚拟地扩展 CME-M5 的 FP 逻辑容量。

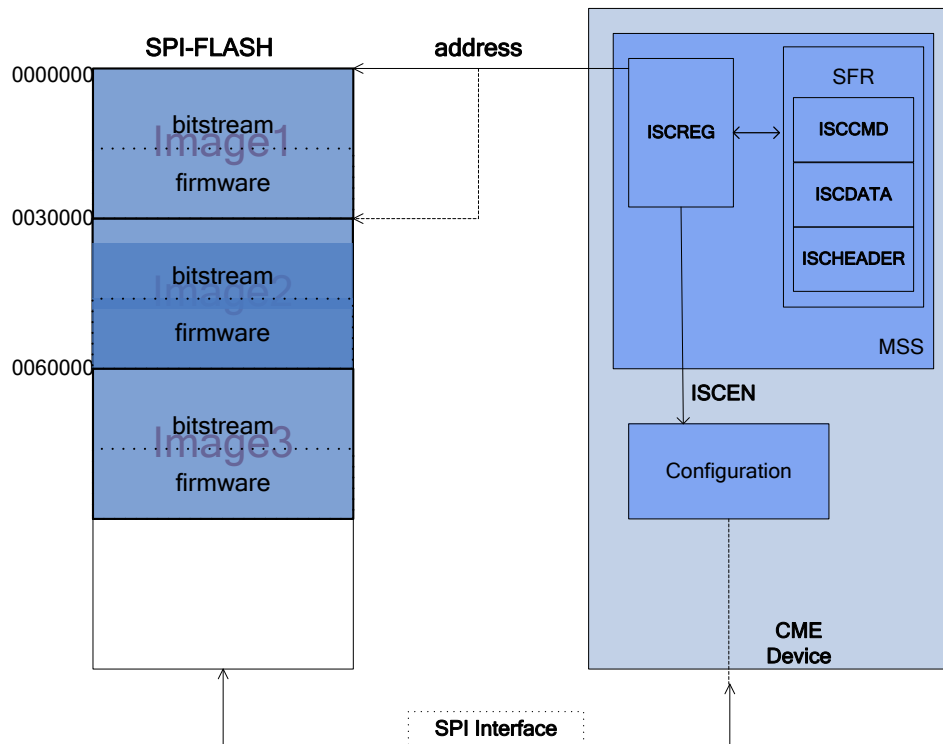


图 32 ISC

下面的例子描述了 8051 程序通过 ISC 指令把映像 2 重新配置到 CME-M5 系列器件运行地步骤。先将 SPI-FLASH 映像起始写入 ISCREG[31: 8]，然后将 ISCREG[0] 置位，触发配置过程。

ISC 步骤包括：

//Switch the 8051 clock to internal osc

1) ISMDIRCTRL = 0;

//Write frame header, 请参考表 31 ISC 帧格式

2) ISCHEADER0 = 0x01;

ISCHEADER1 = 0x7c;

ISCHEADER2 = 0x00;

ISCHEADER3 = 0x22;

//Write SPI-FLASH 地址 and trigger the reconfiguration, 请参考表 32 和表 29 ISC 寄存器

3) ISCDATA0 = 1;

ISCDATA1 = 0x00;

ISCDATA2 = 0x00;

ISCDATA3 = 0x03;

//Write ISCCMD to enable data write to ISC register

4) ISCCMD = 0x80;

3.7.5 MSS 在系统时钟配置

用户如要使用在系统时钟配置，必须熟悉时钟源到特定 gclk 的时钟网络路径，见表 24 全局时钟路由关系。

(1) PLL 配置

MSS 可配置 PLL 使其输出不同的频率。下面的例子将 PLL0 clkout0 的频率从 100MHz 修改为 50MHz。

```
fIN = 20MHz, m = 40, n = 1, c0 = 8;
fVCO = fIN * (m+1) / n = 800MHz;
fclkout0 = fVCO / (c0+1) = fIN * (m+1) / ((n+1) * (c0+1)) = 100MHz;
```

步骤如下：

```
//Switch the 8051 clock to internal osc
1) ISMDIRCTRL = 0;
2) Select the PLL0 in PLL wizard of Primace。
//Write GCLKADDR to select PLL0, DIVC0(4)
3) GCLKADDR = 00010100B
//Write new c0 to GCLKDATA
4) GCLK data = 16
//Write new c0 to PLL C0 register from GCLKDATA
5) GCLKCMD = 0x80
```

完成上述步骤后，PLL0 的 clkout0 将输出频率为 50MHz 的时钟。

(2) GCLK 时钟动态切换

MSS 可将 gclk 从一个时钟动态切换到另一个时钟。

下面的例子为将 GCLK[5]从 PLL1 clkout1 切换至 PLL1 clkout0。具体步骤为：

```
//Switch the 8051 clock to internal osc
1) ISMDIRCTRL = 0;
2) Select the PLL1 in PLL wizard of Primace。
3) Instantiate the CFG_DYN_SWITCH make the parameter gclk_mux is 5
4) Connect the PLL1 clkout0 to in1 and clkout1 to in0 of CFG_DYN_SWITCH
//Write GCLKADDR to select PLL1, DYN_CTRL[7: 0] (0)
5) GCLKADDR = 00110000B
//Write new DYN_TRL to GCLKDATA, select the clkin1 as the source of gclk[5]
6) GCLK data = 00010010
//Write new value to DYN_TRL register from GCLKDATA
7) GCLKCMD = 0x80
```

(3) GCLKCMD = 0x80MSS 的时钟动态切换

MSS 可通过 CFG_DYN_SWITCH 在 gclk 或内部 OSC 之间动态切换 MSS 的时钟。

Gclk 和 OSC 切换步骤如下所示。

//MSS clock switch to gclk

1) ISMDIRCTRL = 0x1

//MSS clock switch to OSC

1) ISMDIRCTRL = 0x0

第4章 配置和调试

4.1 配置模式

CME-M5 系列器件支持三种配置模式：JTAG，AS 和 PS 模式。AS，PS 模式受模式选择引脚 MSEL 控制，见下表。

注：含 FLASH 的 CME-M5 系列器件只支持两种模式，AS 和 JTAG。

表 33 配置模式

模式选择引脚 MSEL	模式	描述
0	AS	主动串行模式，配置数据保存在 SPI flash 中。
1	PS	被动串行模式，芯片作为从设备，外部微控制器配置芯片。
0/1	JTAG	JTAG 配置模式，该模式的权限高于 AS 和 PS 模式，用于下载和调试。

4.1.1 AS 模式

在 AS 配置模式下，CME-M5 系列 POR 或复位 nCONFIG 引脚，器件将自动读取 SPI FLASH 的配置数据并配置 FPGA 和 MSS 的嵌入式 SRAM。

下图为不包含 FLASH 的 CME-M5 系列器件的 AS 模式图。

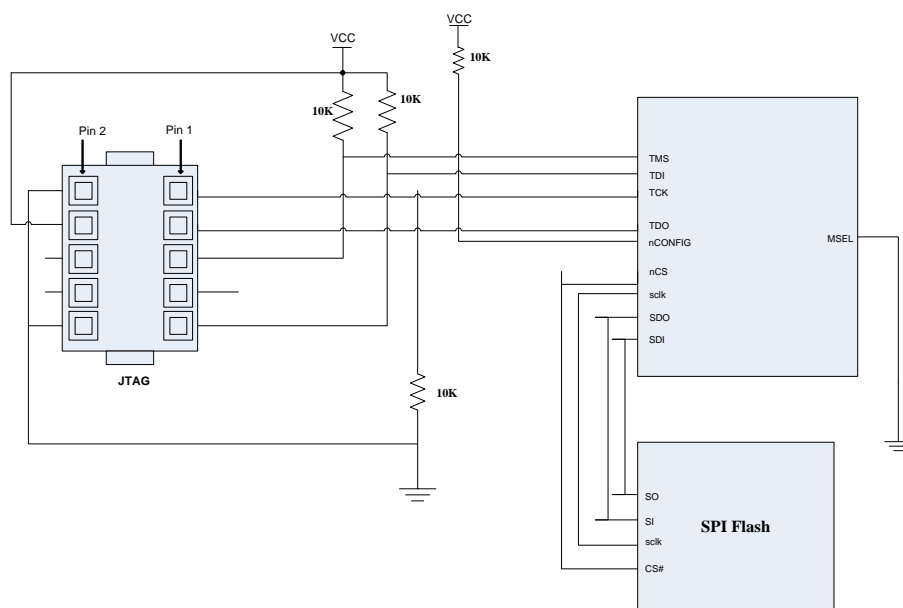


图 33 AS 配置（无 Flash）

下图为包含 FLASH 的 CME-M5 系列器件 AS 配置模式图。

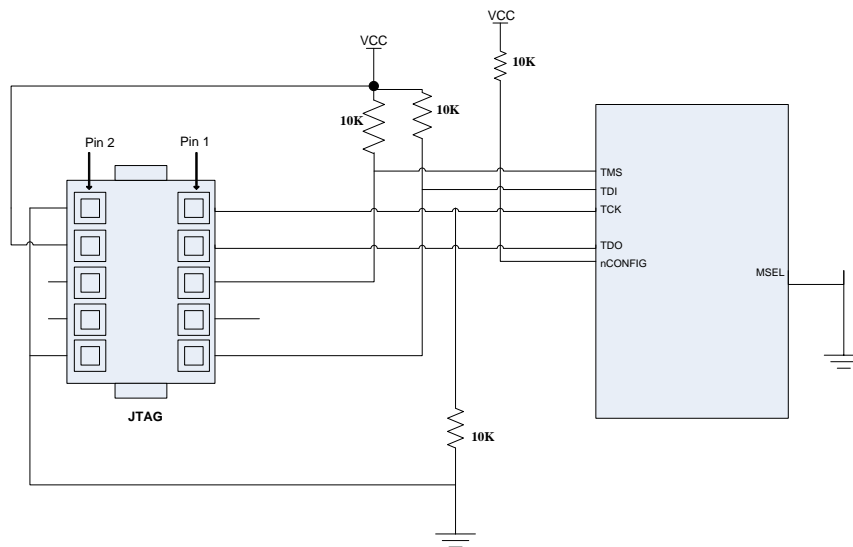


图 34 AS 配置 (包含 Flash)

4.1.2 PS 模式

在 PS 模式下，CME-M5 系列器件作为一个从设备被动接受外部主控制器的配置数据。SPI 主控器不能读取 CME-M5 系列器件的配置数据。

下图为 CME-M5 系列器件 PS 配置模式图。

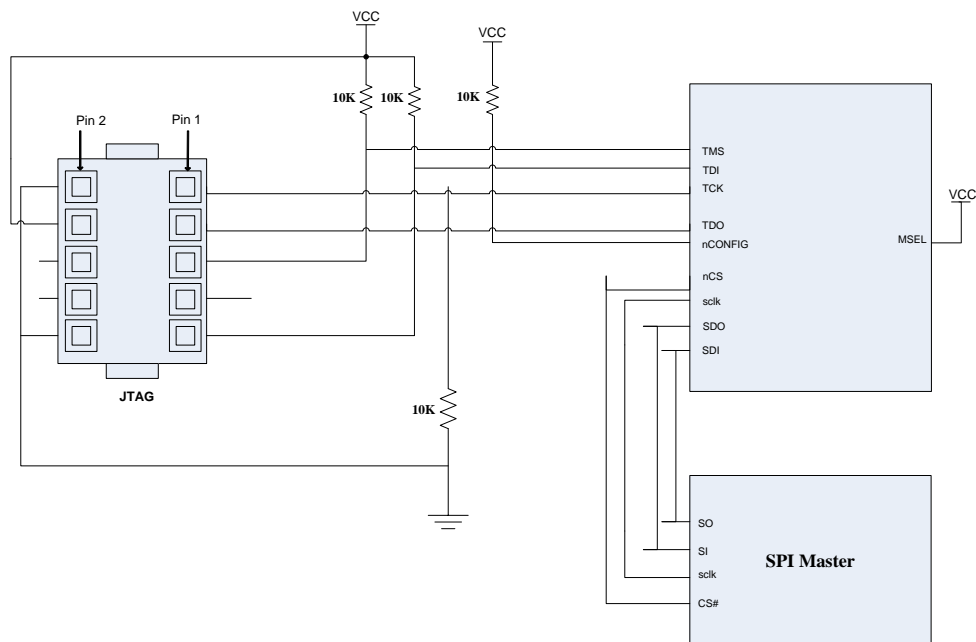


图 35 PS 配置

4.1.3 JTAG 模式

CME-M5 系列器件包含两个 JTAG 器件，一个用于调试和配置 fabric，另一个用于 MCU 的 OCDS。这两

个 JTAG 器件基于 IEEE 标准在逐级连接为一个 JTAG 链。

JTAG 模式下，JTAG 主机可通过 CME-M5 系列器件的 JTAG 接口对 FPGA 和 MSS 进行配置和调试。JTAG 接口的优先级高于其他配置模式，可在任何模式下下载配置和调试。

4.2 SPI Flash

SPI-Flash 用于用户配置映像，无论内嵌的或片外的 SPI-Flash 都可以在用户模式下操作，存放用户的应用数据。

(1) 使用嵌入式 SPI-Flash

用户在设计过程中调用 spi_interface 接口后可操作 CME-M5 系列器件内嵌的 SPI-FLASH。关于内嵌的 SPI-Flash 的数据手册，请参考 GD25QXX_Rev1.0.pdf。

表 34 嵌入式 SPI 端口

端口名称	类型	描述
sclk	输入	spi flash 输入时钟
sdo	输出	spi flash 串行输出数据
cson	输入	spi flash 芯片选择，低有效
sdi	输入	spi flash 串行输入数据

(2) 使用外部 SPI-Flash

使用外部 SPI-Flash 时，请按照图 33 进行连接，并在设计过程中将对应的 I/O 设置为用户 IO，见“7.1 引脚定义和规则”和“7.2 引脚列表”中的 SPI 相关说明。

4.3 ISC

ISC (In System Configuration，在系统配置) 允许 MSS 动态或静态配置 CME-M5 系列器件。ISC 只在 AS 模式下有效。

静态再配置，MSS 编程将地址和指令写入 ISC 对应的 SFR，以使 CME-M5 系列器件再次加载特定 SPI Flash 地址中对应的映像，从而实现 CME-M5 器件的再配置。

动态再配置，MSS 编程读取外部 (USART 或其他接口) 映像，通过 SPI 接口写入对应的映像中并更新映像。MSS 将地址和指令写入对应的 ISC SFR 中以配合最新的映像对 CME-M5 系列器件进行配置。更多详情请参考“3.7.4 MSS 在系统配置”。

4.4 调试

使用一个 JTAG 接口调试 FPGA 和 MSS 的 8051 程序。

4.5 上电复位 (POR)

CME-M5 系列器件的内部 POR 电路可在启动时监测 VCCINT 和 VCCIO 的电压值。POR 电路可使器件处于复位状态,直到 VCCINT 和 VCCIO 达到触发点。当器件进入用户模式后,POR 电路将继续监测 VCCINT 的电压值,但不再监测 VCCIO。

POR 电路具有以下特点:

- ❑ 加电监测,触发点:
 - VCCINT: 0.75V~1.08V
- ❑ 掉电监测,触发点:
 - VCCINT: 0.65V~0.9V
- ❑ 小功率监测 VCCINT
- ❑ 延迟时间: 典型值 4.9ms, 范围: 3.3ms~7.4ms

4.6 eFUSE 控制

eFUSE 是一个包含电子可编程熔丝(一次性程序存储器)的存储体。使用 Primace 的 E-fuse Burner 工具并连接 CME 下载线可对 eFUSE 进行编程。两个附加的引脚 FUSE_CLK 和 VDDQ 以及 JTAG 引脚应按下图进行连接。

关于 FUSE_CLK 和 VDDQ 引脚定义以及引脚输出,请参考“第 7 章引脚和封装”。

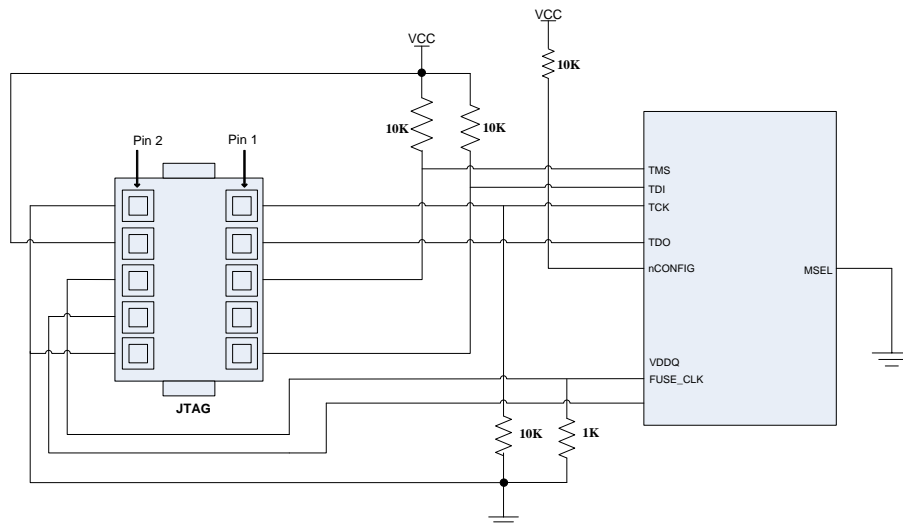


图 36 eFUSE 编程图

第5章 安全级别

CME-M5系列器件具有不同的安全级别，以帮助用户保护产品使其利益不受损害。

- 使用 128 位 AES 加密配置流
- 基于 Efuse 保护
- 基于 SPI FLASH 保护

5.1 位流安全级别

当用户测试或调试阶段时，可以在设计阶段保留JTAG接口以便后期维护和更新。但JTAG接口留在外面，存在安全风险。用户为了保护自己设计，一般应当在量产时，根据以下的安全级别，进行安全设置，保护自己的知识产权。

位流生成器根据Primace的安全设置向.acf配置文件中添加安全信息。位流生成器支持三种设置，第一种为默认设置，其它的两种为可选设置，提供附加的安全设置，见下表。用户可通过JTAG选择是否完全或部分禁用JTAG（特定的配置存储器除外）。

表 35 位流生成器安全级别设置

安全级别	描述
None	默认值。JTAG不受限制的访问配置存储器和功能寄存器
Level1	禁止通过JTAG访问SPI-FLASH，配置存储器和MSS存储器
Level2	禁止通过JTAG访问任何存储器

Primace的位流支持三种设置：prot_flagn，read_disable0和read_disable1。设置后，位流生成器将向配置位流添加安全位。用户在设置Primace位流生成器时可根据这三种设置选择使用128位密钥作为AES算法对位流进行加密。

(1) prot_flagn

如果设置了 prot_flagn，prot_flagn 的安全位将被编程至 SPI-FLASH。安全位可以保护 Flash 中的内容，防止他人通过 JTAG 读取 SPI-FLASH 中的 FPGA 配置数据和 8051 程序。一旦设置了 prot_flagn，只有个别 Flash 指令能被发送至 Flash 中，例如 WREN, BE, RDSR, WRSR 等，通过 JTAG 只能擦除 SPI-FLASH，从而保护用户的设计。擦除 SPI-FLASH 后，相应的取消了 prot_flagn 设置，通过 JTAG 可以下载配置数据到 SPI-FLASH。

(2) read_disable0

如果设置了 read_disable0，read_disable0 的安全位将被编程至 SPI-FLASH，配置完成后该位将被装载到内部对应的寄存器中。read_disable0 是高有效，用于禁止 JTAG 读取 FPGA 的静态配置 SRAM 和 MCU 存储器。

上电时，内部 read_disable0 默认值为 0，允许 JTAG 读取。如若该值被设置为 1，在加电状态下，不能再

改为 0。除非用户掉电后后，可重设此安全位。

(3) read_disable1

安全信号 read_disable1 是高有效，用于禁止 JTAG 读取 FPGA 的静态配置 SRAM 和 MCU 存储器。上电时，read_disable 默认为 1，安全保护开启。在 Primace 下载工具中，设置该位，将会产生错误的数据位流，若不设置该位，将会产生预定的配置位流。配置过程中，若该位流与固定的数据样式相匹配，read_disable1 将变为 0 时，JTAG 可以被读取 FPGA 的静态配置 SRAM 和 MCU 存储器，否则 JTAG 被禁止。

上述三个任何一个安全信号有效时，JTAG 将被禁止操作 FPGA 的静态配置 SRAM 和 MCU 存储器。

5.2 片上 eFuse

CME-M5 系列器件包含两个 128 位的 eFUSE。eFUSE0 用于存储 128 位的 AES 密码，该密钥将会被用作解密 Primace 的 bitgen 工具生成的加密数据流。eFUSE1 用于存储安全保护位及其它保留信息。

有关安全位见下表。

表 36 安全位

eFUSE1 Bit	描述
[5]	解密标识： 1：用 Efuse0 中存储的密钥解密配置位流。 0：无需解密位流。
[4]	JTAG & OCDS 禁用： 1：禁止 JTAG 操作（无论是否设置安全等级）。

E-fuse 1 可通过 JTAG 随时读取，但 E-fuse 0 无论何时都不能通过 JTAG 读取。

用户可通过 Primace 为 eFUSE0/1 设置密钥和安全位以防止用户设计被克隆和盗窃，即使他人完全复制了内嵌的或外部 SPI-FLASH 的内容，只要存在在 eFUSE0 的密钥不被破译，用户的知识产权仍然能够得到保护。

5.3 嵌入式 SPI-Flash 隐藏位流

嵌入式 SPI-Flash 用于存储 CME-M5 系列器件的配置数据。如果用户的设计方案不将 SPI-Flash 接口连接至外围设备，则外部器件不能读取 SPI-FLASH 的数据。从设计的安全性方面来看，可以防止设计方案被他人直接从 SPI-FLASH 中复制。

5.4 AES 安全

高级加密标准（Advanced Encryption Standard）是专为电子数据加密而制定的规范。AES 运算规则采用 128 位密钥对配置位流进行加密。CME-M5 系列器件通过存储在 Efuse0 中的 128 位密钥对加密位流进行

解密。如果这两个 128 位密钥互相匹配，可成功配置，否则配置失败，器件无法工作。

下图为加密和解密过程示意图。

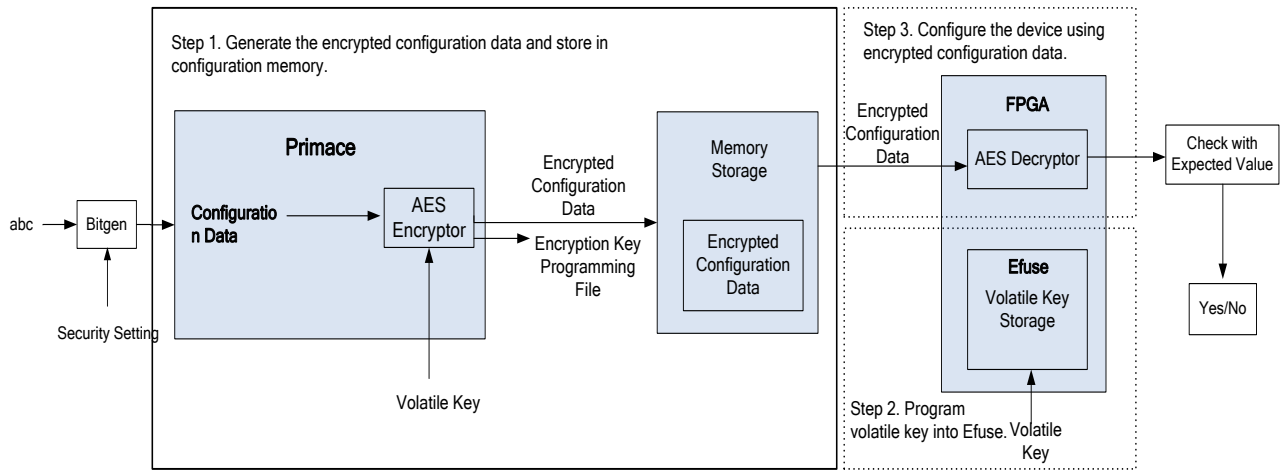


图 37 加密和解密过程

第6章 直流和交流特性

所有参数指最差的供电电压和结点温度。如无特殊说明，以下信息适用于：同一商业和工业级别规定的交流和直流特性。所有参数均为电压对地时的值。

6.1 直流电气特性

6.1.1 最大绝对额定值

超过下表最大绝对额定值可能会导致器件永久性损坏。这些值仅表示在该额定值下操作不会损坏器件，但不表示器件在此极限值下功能正常。器件的功能性操作或基于此的任何条件最大绝对额定值可能会造成器件永久损坏。器件长期在极值条件下运行，会严重的影响器件的可靠性。

表 37 最大绝对额定值

标识	描述	条件	最小	最大	单位
VCCINT	内核供电电压		-0.5	1.3	V
VCCIO	I/O 驱动供电电压		-0.5	5.5	V
VIN	所有用户 I/O 引脚 和双功能引脚电压	高阻抗状态下驱动	-0.95		V
	所有专用引脚电压		-0.8		V
VESD	静电放电电压	人体模型	0	±2000	V
		带电装置模型	-	±500	V
		机器模型	-	±200	V
TJ	结点温度		-40	125	°C
TSTG	存储温度		-65	150	°C

6.1.2 电源指标

表 38 上电复位电压阈值

标识	描述	最小	最大	单位
VCCINTT	VCCINT 阈值	0.7		V
VCCIOT	VCCIO 阈值	2.26		V

表 39 供电电压爬升时间

标识	描述	最小	最大	单位
VCCINTR	从 GND 到有效的 VCCINT 供电的爬升时间	10		ms
VCCIOR	从 GND 到有效的 VCCIO 供电的爬升时间	10		us

注：M5的上电顺序必需遵循VCCINT先于VCCIO上电($T_4 > T_1$)。

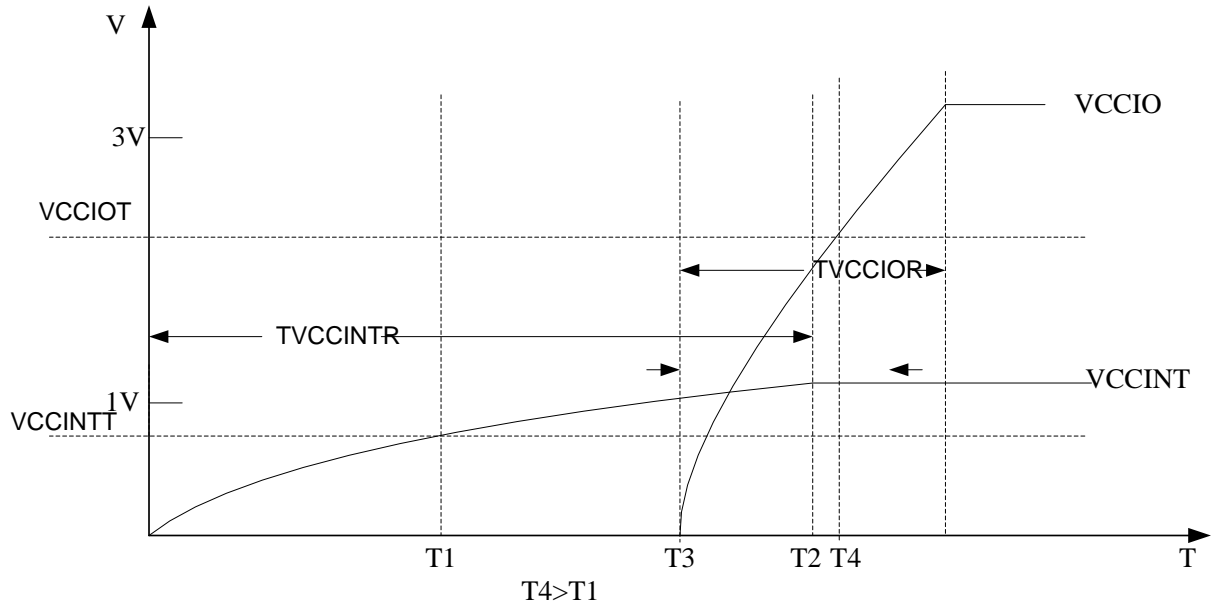


图 38 上电时序图

6.1.3 操作条件建议

表 40 单 I/O 基本操作条件推荐

标识	参数	最小	正常	最大
T _J	结点温度	-40°C	25°C	85°C
VCCINT	核电压	1.0V	1.1V	1.21V
VCCA_PLL	PLL模拟电压	1.0V	1.1V	1.21V
VCCIO	I/O供电电压@ 3.3V	2.97V	3.3V	3.63V
	I/O供电电压@2.5V	2.25V	2.5V	2.75V
	I/O供电电压@1.8V	1.62V	1.8V	1.98V
	I/O供电电压@1.5V	1.35V	1.5V	1.65V
V _{IH}	输入高电压@3.3V LVCMOS	2V		VCCIO +0.3
	输入高电压@2.5V LVCMOS	1.7V		VCCIO +0.3
	输入高电压@1.8V LVCMOS	0.65* VCCIO		VCCIO +0.3
V _{IL}	输入低电压@3.3V LVCMOS	-0.3		0.8V
	输入低电压@2.5V LVCMOS	-0.3		0.7V
	输入低电压@1.8V LVCMOS	-0.3		0.35* VCCIO
V _{T+}	施密特触发低至高阈值点@3.3V	0.6* VCCIO		
	施密特触发低至高阈值点@2.5V	0.6* VCCIO		
	施密特触发低至高阈值点@1.8V	0.6* VCCIO		
V _{T-}	施密特触发低至高阈值点@3.3V			0.4* VCCIO
	施密特触发低至高阈值点@2.5V			0.4* VCCIO
	施密特触发低至高阈值点@1.8V			0.4* VCCIO
T _J	结点温度	-40°C	25°C	125°C

标识	参数	最小	正常	最大
I_L	输入漏电电流	$\pm 1\mu A$		
V_{OL}	输出低电压@ $I_{OL}=2,4\ldots 16mA@3.3V$	0.4V		
	输出低电压@ $I_{OL}=2,4\ldots 16mA@2.5V$	0.7V		
	输出低电压@ $I_{OL}=2,4\ldots 16mA@1.8V$	0.45V		
V_{OH}	输出高电压@ $I_{OH}=2,4\ldots 16mA@3.3V$	2.9V		
	输出高电压@ $I_{OH}=2,4\ldots 16mA@2.5V$	1.7V		
	输出高电压@ $I_{OH}=2,4\ldots 16mA@1.8V$	VCCIO -0.45		
I_{OL}	低电平输出电流 @ $V_{OL}=0.4V$ VCCIO=3.3V	最小	正常	最大
	Drive Strength=4mA	>4mA	6	
	Drive Strength=8mA	>8mA	16	
	Drive Strength=12mA	>12mA	19	
	Drive Strength=16mA	>16mA	25	
	低电平输出电流 @ $V_{OL}=0.7V$ VCCIO =2.5V	最小	正常	最大
	Drive Strength=4mA	>4mA	5	
	Drive Strength=8mA	>8mA	14	
	Drive Strength=12mA	>12mA	16.8	
	Drive Strength=16mA	>16mA	21	
	低电平输出电流 @ $V_{OL}=0.45V$ VCCIO =1.8V	最小	正常	最大
	Drive Strength=4mA	>4mA	4	
	Drive Strength=8mA	>8mA	10	
	Drive Strength=12mA	>12mA	13	
	Drive Strength=16mA	>16mA	16	
	低电平输出电流 @ $V_{OL}=0.375V$ VCCIO =1.5V	最小	正常	最大
	Drive Strength=4mA		2.8	
	Drive Strength=8mA		7	
	Drive Strength=12mA		8.4	
	Drive Strength=16mA		11	
I_{OH}	高电平输出电流 @ $V_{OH}=2.9V$ VCCIO =3.3V	最小	正常	最大
	Drive Strength=4mA	>4mA	6	
	Drive Strength=8mA	>8mA	17	
	Drive Strength=12mA	>12mA	18	
	Drive Strength=16mA	>16mA	25	
	高电平输出电流 @ $V_{OH}=2.1V$ VCCIO=2.5V	最小	正常	最大
	Drive Strength=4mA	>4mA	5.4	
	Drive Strength=8mA	>8mA	14	

标识	参数	最小	正常	最大
	Drive Strength=12mA	>12mA	16	
	Drive Strength=16mA	>16mA	19	
	高电平输出电流 @V _{OH} = VCCIO -0.45 VCCIO =1.8V	最小	正常	最大
	Drive Strength=4mA	>4mA	4	
	Drive Strength=8mA	>8mA	11	
	Drive Strength=12mA	>12mA	13	
	Drive Strength=16mA		15	
	高电平输出电流 @V _{OH} = VCCIO -0.375 VCCIO =1.5V	最小	正常	最大
	Drive Strength=4mA		2.8	
	Drive Strength=8mA		7.8	
	Drive Strength=12mA		8.5	
	Drive Strength=16mA		11	

表 41 推荐的可编程 I/O 特性

支持的电压和电流	属性	值
驱动能力	高电平	1mA
		4mA
		8mA
		12mA
		16mA
	低电平	2mA
		4mA
		8mA
		12mA
		16mA
电压转换速率	上升速率	慢
		正常
		快
	下降速率	慢
		正常
		快
输出阻抗	上拉	75kΩ
	下拉	50kΩ
	保持	50kΩ~75kΩ

注：所有IO支持单端口IO标准，例如LVCMOS。测量值在10%和90%VCCIO之间。

表 42 静态电流特性

标识	描述	器件	典型值(1)	最大(2)	单位
IF 引脚 TQ	静态 VCCINT 供电电流, 专供 Fabric		18		mA
IMSSINTQ	静态 VCCINT 供电电流, 专供 MSS (包括 8051 SRAM 128KB)		2		mA
IINTQ	整个器件静态 VCCINT 供电电流		20		mA

注:

(1) 该表中的数值基于通用的推荐操作条件。

(2) 高阻抗状态下, 并当所有上拉/下拉电阻器在 I/O 引脚禁止时, 测量的所有 I/O 驱动的静态电源电流。典型值为室温下 (TJ of 25°C at VCCINT = 1.1V) 使用典型器件测得。最大限制指在指定的每个器件所对应的最大结点温度和最大 VCCINT 及 VCCIO 时测得的最大电压限制。表中的最大值表示成功启动 FPGA 所需的最小电流。

6.2 交流特性

由于时序参数及其典型值是常规的设计重要参数, 也是器件的基本性能参数, 因此专门列出供用户参考, 见以下各表。

6.2.1 时钟性能

表 43 推荐的全局时钟操作频率

标识	最大频率	单位
GCLK	500	MHz

6.2.2 I/O 性能

表 44 推荐的 I/O 操作频率

IO 标准	用途	最大频率
LVC MOS/LVTTL	1.5v/1.8v/2.5v/3.3v 通用设置	160 MHz

6.2.3 PLB 性能

表 45 推荐的 PLB 操作频率

标识	描述	速度		单位
		最小	最大	MHz
ADD16	16 位加法器性能 @ 推荐的操作条件		400	

标识	描述	速度		单位
		最小	最大	MHz
ADD32	32 位加法器性能@推荐的操作条件		360	
Add64	64 位加法器性能@推荐的操作条件		215	
CNT8	8 位计数器性能@推荐的操作条件		720	
CNT16	16 位计数器性能@推荐的操作条件		640	
CNT32	32 位计数器性能@推荐的操作条件		580	

6.2.4 EMB5K 性能

表 46 推荐的 EMB5K 操作频率

标识	描述	速度		单位
		最小	最大	MHz
EMB5K	推荐操作条件下的 EMB5K 性能		200	

6.2.5 DSP 性能

表 47 推荐的 DSP 操作频率

标识	描述	速度		单位
		最小	最大	MHz
DSP	DSP 使用寄存器路径		200	
	DSP 未使用寄存器路径		200	

第7章 引脚和封装

7.1 引脚定义和规则

表 48 引脚定义和规则

引脚名称	方向	描述
用户 I/O 引脚		
IOXX_#	输入/输出	用户 I/O 引脚
多功能引脚		
IOXXX/ZZZ_#		多功能引脚标识为 IOXXX/YYY_#，其中 YYY 表示除通用的用户 I/O 外，下述功能中的一个或多个功能。 如未用于其固有的特定功能，则可作用户 I/O 使用
多功能引脚：SPI 串行配置引脚		
SCLK	输入/输出	在被动串行配置模式下，SCLK 为时钟输入 在主动串行配置模式下，SCLK 为器件的时钟输出 该引脚经配置后可作为用户 I/O 使用
SDI	输入	AS 模式下专用的配置数据输入引脚 AS 模式下，该引脚经配置后可作为用户 I/O 使用
SDO	输出	器件串行数据输出 在 AS 模式下，该引脚经配置后可作为用户 I/O 使用 PS 模式下，该引脚只能作为用户 I/O 引脚
nCS	输出 或输入	片选使能 AS 模式下，片选输出；配置完成后可作用户 I/O 使用 PS 模式下，片选输入；配置完成后可作用户 I/O 使用
多功能引脚：配置引脚		
CONF_DONE	输出	专用的配置状态引脚，在配置完成后会输出高
MSEL		0 表示主动串行模式，1 表示被动串行模式 该引脚经配置后可作为用户 I/O 使用
多功能引脚：时钟引脚		
CLKX	输入	时钟引脚与全局时钟缓冲器连接 当这些引脚不用于时钟时，可作常用的用户 I/O 使用
多功能引脚：Efuse 时钟		
FUSE_CLK	输入	Efuse 编程时钟
专用引脚：JTAG		
TCK	输入	TCK 输入边界扫描时钟
TDI	输入	边界扫描数据输入

引脚名称	方向	描述
TDO	输出	边界扫描数据输出
TMS	输入	边界扫描模式选择
专用引脚: JTAG		
nCONFIG	输入	片选全局复位输入, 低有效
专用引脚: 晶体引脚		
XIN	输入	外部晶体输入 如果未使用, 最好接地
XOUT	输出	输出至晶体, 未使用, 可不接
专用引脚: RTC 引脚		
RTCXI	输入	RTC 32K 时钟外部晶体输入 如果未使用, 最好接地
RTCXOUT	输出	32K 晶体时钟输出 如果未使用, 未使用, 可不接
VCCRTC	N/A	RTC 电压: 2.0 ~ 3.3V.
GNDRTC	N/A	RTC 接地
专用引脚: 电源		
VCCIO	N/A	IO
VCCINT	N/A	数字内核电压: 1.1V
VCCAPLL	N/A	模拟锁相环电压: 1.1V
VDDQ	N/A	Efuse 编程电源
GND	N/A	数字地

注:

- (1) VCCIO_0 和 VCCIO_2 供电必须为 3.3V。
- (2) VDDQ 应连接至 CME JTAG10 针接插件的第 6 个引脚并使用 1K 的电阻器, 以确保信号能下拉至 GND, 从而对 Efuse 进行编程。
- (3) FUSE_CLK 应连接至 CME JTAG10 针接插件的第 8 个引脚。

7.2 引脚列表

7.2.1 LQFP144 封装引脚列表

表 49 LQFP144 封装引脚列表

编号	LQFP144
1	VCCIO_0
2	GND
3	IO1_0
4	IO2_0
5	IO3_0
6	IO4_0
7	IO5_0
8	IO6_0
9	IO7_0
10	IO8/nCS_0
11	IO9_0
12	VCCINT
13	IO10_0
14	IO11/SDI_0
15	IO12_0
16	IO13_0
17	IO14_0
18	IO15_0
19	IO16_0
20	IO17_0
21	IO18_0
22	IO19_0
23	VCCIO_0
24	GND
25	IO20_0
26	IO21_0
27	IO22_0
28	IO23_0
29	IO24_0
30	VCCINT
31	IO25_0
32	IO26_0
33	IO27_0
34	IO28_0
35	GND
36	VCCIO_0
37	IO29_1
38	IO30_1
39	GND

编号	LQFP144
40	IO31_1
41	VCCIO_1
42	IO32_1
43	IO33_1
44	VCCINT
45	IO34_1
46	IO35_1
47	GND
48	IO36_1
49	IO37_1
50	IO38_1
51	IO39_1
52	VCCIO_1
53	IO40_1
54	IO41_1
55	GND
56	IO42_1
57	IO43_1
58	IO44_1
59	IO45_1
60	IO46_1
61	IO47_1
62	IO48/CLK0_1
63	IO49/CLK1_1
64	VCCIO_1
65	IO50/CLK2_1
66	IO51/CLK3/FUSE_CLK_1
67	IO52_1
68	IO53_1
69	IO54_1
70	VDDQ_1
71	XIN_1
72	XOUT_1
73	VCCAPLL_2
74	nCONFIG_2
75	TMS_2
76	TDI_2
77	TCK_2
78	TDO_2

编号	LQFP144
79	CONF_DONE_2
80	IO56/MSEL_2
81	IO57/SDO_2
82	VCCIO_2
83	IO58/SCLK_2
84	IO59_2
85	GND
86	VCCINT
87	IO60_2
88	IO61_2
89	VCCIO_2
90	GND
91	IO62_2
92	IO63_2
93	IO64_2
94	VCCINT
95	IO65_2
96	IO66_2
97	GND
98	IO67_2
99	IO68_2
100	IO69_2
101	IO70_2
102	IO71_2
103	IO72_2
104	VCCIO_2
105	IO73_2
106	IO74_2
107	IO75_2
108	IO76_2
109	RTCXI_3
110	RTCXO_3
111	VCCRTC
112	GNDRTC
113	IO77_3
114	IO78/CLK4_3
115	IO79/CLK5_3
116	VCCIO_3
117	IO80/CLK6_3

编号	LQFP144
118	IO81/CLK7_3
119	IO82_3
120	IO83_3
121	IO84_3
122	GND
123	IO85_3
124	IO86_3
125	IO87_3
126	IO88_3
127	IO89_3
128	VCCIO_3
129	IO90_3
130	IO91_3
131	IO92_3
132	IO93_3
133	IO94_3
134	IO95_3
135	GND
136	IO96_3
137	VCCINT
138	IO97_3
139	IO98_3
140	IO99_3
141	VCCIO_3
142	GND
143	IO100_3
144	IO101_3

7.2.2 TQFP100 封装引脚列表

表 50 TQFP-100 封装引脚列表

编号	TQFP100	编号	TQFP100	编号	TQFP100
1	VCCIO_0	37	IO29_1	73	IO49_2
2	GND	38	IO30_1	74	VCCIO_2
3	IO1_0	39	IO31/CLK0_1	75	IO50_2
4	IO2_0	40	IO32/CLK1_1	76	IO51_3
5	IO3_0	41	VCCIO_1	77	IO52/CLK4_3
6	IO4_0	42	IO33/CLK2_1	78	IO53/CLK5_3
7	IO5_0	43	IO34/CLK3/FUSE_CLK_1	79	VCCIO_3
8	IO6/nCS_0	44	IO35_1	80	IO54/CLK6_3
9	IO7_0	45	IO36_1	81	IO55/CLK7_3
10	VCCINT	46	IO37_1	82	IO56_3
11	IO8_0	47	VDDQ_1	83	IO57_3
12	IO9/SDI_0	48	GND	84	GND
13	IO10_0	49	XIN_1	85	IO58_3
14	IO11_0	50	XOUT_1	86	IO59_3
15	IO12_0	51	VCCAPLL_2	87	IO60_3
16	IO13_0	52	nCONFIG_2	88	IO61_3
17	GND	53	TMS_2	89	IO62_3
18	IO14_0	54	TDI_2	90	VCCIO_3
19	IO15_0	55	TCK_2	91	IO63_3
20	IO16_0	56	TDO_2	92	IO64_3
21	IO17_0	57	CONF_DONE_2	93	IO65_3
22	IO18_0	58	IO39/MSEL_2	94	IO66_3
23	IO19_0	59	IO40/SDO_2	95	GND
24	IO20_0	60	VCCIO_2	96	IO67_3
25	VCCIO_0	61	IO41/SCLK_2	97	VCCINT
26	VCCINT	62	GND	98	IO68_3
27	IO21_1	63	VCCINT	99	IO69_3
28	IO22_1	64	IO42_2	100	IO70_3
29	VCCIO_1	65	IO43_2		
30	IO23_1	66	IO44_2		
31	IO24_1	67	VCCINT		
32	GND	68	GND		
33	IO25_1	69	IO45_2		
34	IO26_1	70	IO46_2		
35	IO27_1	71	IO47_2		
36	IO28_1	72	IO48_2		

7.2.3 FBGA256 封装引脚列表

表 51 FBGA256 封装引脚列表

编号	BGA256
M14	VCCIO_0
H7	GND
H8	GND
N13	IO1_0
M12	IO2_0
L12	IO3_0
K12	IO4_0
N14	IO5_0
P15	IO6_0
P16	IO7_0
D2	IO8_0
R16	IO9_0
K11	IO10_0
G6	VCCINT
N16	IO11_0
N15	IO12_0
H2	IO13_0
L14	IO14_0
L13	IO15_0
L16	IO16_0
L15	IO17_0
J11	IO18_0
K16	IO19_0
K15	IO20_0
J16	IO21_0
J15	IO22_0
K14	VCCIO_0
G14	VCCIO_0
H9	GND
H10	GND
J14	IO23_0
J12	IO24_0
J13	IO25_0
G16	IO26_0
G15	IO27_0
F13	IO28_0
F16	IO29_0
G7	VCCINT

编号	BGA256
F15	IO30_0
B16	IO31_0
F14	IO32_0
D16	IO33_0
D15	IO34_0
G11	IO35_0
C16	IO36_0
C15	IO37_0
E12	IO38_0
J7	GND
J8	GND
E14	VCCIO_0
F12	IO39_1
H12	IO40_1
H13	IO41_1
C14	IO42_1
D14	IO43_1
J9	GND
J10	GND
D11	IO44_1
D12	IO45_1
A13	IO46_1
B13	IO47_1
A16	VCCIO_1
C13	VCCIO_1
A14	IO48_1
B14	IO49_1
E11	IO50_1
E10	IO51_1
A12	IO52_1
B12	IO53_1
G8	VCCINT
A11	IO54_1
B11	IO55_1
C11	IO56_1
F10	IO57_1
F9	IO58_1
F11	IO59_1

编号	BGA256
B2	GND
B15	GND
A15	IO60_1
A10	IO61_1
B10	IO62_1
C9	IO63_1
D9	IO64_1
E9	IO65_1
A9	IO66_1
B9	IO67_1
A8	IO68_1
B8	IO69_1
C8	IO70_1
C10	VCCIO_1
C7	VCCIO_1
D8	IO71_1
E8	IO72_1
F8	IO73_1
A7	IO74_1
B7	IO75_1
F6	IO76_1
F7	IO77_1
C6	IO78_1
A6	IO79_1
C5	GND
C12	GND
B6	IO80_1
E7	IO81_1
E6	IO82_1
A5	IO83_1
A2	IO84_1
B5	IO85_1
A4	IO86_1
B4	IO87_1
E2	IO88/CLK0_1
E1	IO89/CLK1_1
C4	VCCIO_1
A1	VCCIO_1

编号	BGA256
M2	IO90/CLK2_1
M1	IO91/CLK3/FUSE_CLK_1
D5	IO92_1
D6	IO93_1
A3	IO94_1
B3	IO95_1
C3	IO96_1
D3	IO97_1
M5	VDDQ_1
G9	VCCINT
D7	GND
D10	GND
H15	XIN_1
H16	XOUT_1
D13	VCCAPLL_2
H5	nCONFIG_2
J5	TMS_2
H4	TDI_2
H3	TCK_2
J4	TDO_2
H14	CONF_DONE_2
G12	IO99/MSEL_2
D4	IO100_2
C1	IO101_2
E5	IO102_2
E3	VCCIO_2
F5	IO103_2
B1	IO104_2
H1	IO105_2
C2	IO106_2
E4	GND
E13	GND
G10	VCCINT
F3	IO107_2
D1	IO108_2
G5	IO109_2
F2	IO110_2
F1	IO111_2
G2	IO112_2
G1	IO113_2
J2	IO114_2

编号	BGA256
J1	IO115_2
G3	VCCIO_2
K3	VCCIO_2
G4	GND
G13	GND
J6	IO116_2
K6	IO117_2
L6	IO118_2
K2	IO119_2
K1	IO120_2
L2	IO121_2
L1	IO122_2
H6	VCCINT
L3	IO123_2
N2	IO124_2
N1	IO125_2
K4	GND
K13	GND
K5	IO126_2
L4	IO127_2
R1	IO128_2
P2	IO129_2
P1	IO130_2
M3	VCCIO_2
N3	IO131_2
P3	IO132_2
R3	IO133_2
J3	RTCXI_3
N4	RTCXO_3
L5	VCCRTC_3
F4	GNDRTC_3
M4	GND
M13	GND
H11	VCCINT
T3	IO134_3
T2	IO135_3
R4	IO136_3
T4	IO137_3
N5	IO138_3
E15	IO139/CLK4_3
E16	IO140/CLK5_3

编号	BGA256
T1	VCCIO_3
P4	VCCIO_3
M15	IO141/CLK6_3
M16	IO142/CLK7_3
N6	IO143_3
M6	IO144_3
P6	IO145_3
M7	IO146_3
K8	IO147_3
R5	IO148_3
T5	IO149_3
R6	IO150_3
N7	GND
N10	GND
T6	IO151_3
L7	IO152_3
R7	IO153_3
T7	IO154_3
L8	IO155_3
M8	IO156_3
N8	IO157_3
P8	IO158_3
R8	IO159_3
T8	IO160_3
R9	IO161_3
P7	VCCIO_3
P10	VCCIO_3
T9	IO162_3
K9	IO163_3
L9	IO164_3
M9	IO165_3
N9	IO166_3
R10	IO167_3
T10	IO168_3
R11	IO169_3
T11	IO170_3
P5	GND
P12	GND
R2	GND
R12	IO171_3
T12	IO172_3

编号	BGA256
K10	IO173_3
L10	IO174_3
P9	IO175_3
K7	VCCINT
P11	IO176_3
R13	IO177_3
T13	IO178_3

编号	BGA256
M10	IO179_3
N11	IO180_3
T14	IO181_3
T15	IO182_3
P13	VCCIO_3
T16	VCCIO_3
R15	GND

编号	BGA256
R14	IO183_3
P14	IO184_3
L11	IO185_3
M11	IO186_3
N12	IO187_3

表 52 FBGA256 Footprint

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	
A	VCCIO_1	IO84_1	IO94_1	IO86_1	IO83_1	IO79_1	IO74_1	IO68_1	IO66_1	IO61_1	IO54_1	IO52_1	IO46_1	IO48_1	IO60_1	VCCIO_1	A
B	IO104_2	GND	IO95_1	IO87_1	IO85_1	IO80_1	IO75_1	IO69_1	IO67_1	IO62_1	IO55_1	IO53_1	IO47_1	IO49_1	GND	IO31_0	B
C	IO101/SDO_2	IO106_2	IO96_1	VCCIO_1	GND	IO78_1	VCCIO_1	IO70_1	IO63_1	VCCIO_1	IO56_1	GND	VCCIO_1	IO42_1	IO37_0	IO36_0	C
D	IO108_2	IO8/nC S_0	IO97_1	IO100_2	IO92_1	IO93_1	GND	IO71_1	IO64_1	GND	IO44_1	IO45_1	VCCAP LL_2	IO43_1	IO34_0	IO33_0	D
E	IO89/CLK1_1	IO88/CLK0_1	VCCIO_2	GND	IO102_2	IO82_1	IO81_1	IO72_1	IO65_1	IO51_1	IO50_1	IO38_0	GND	VCCIO_0	IO139/CLK4_3	IO140/CLK5_3	E
F	IO111_2	IO110_2	IO107_2	GNDRT C_3	IO103_2	IO76_1	IO77_1	IO73_1	IO58_1	IO57_1	IO59_1	IO39_1	IO28_0	IO32_0	IO30_0	IO29_0	F
G	IO113_2	IO112_2	VCCIO_2	GND	IO109_2	VCCINT	VCCINT	VCCINT	VCCINT	VCCINT	IO35_0	IO99/M SEL_2	GND	VCCIO_0	IO27_0	IO26_0	G
H	IO105/S CLK_2	IO13/S DL_0	TCK_2	TDI_2	nCONFI G_2	VCCINT	GND	GND	GND	GND	VCCINT	IO40_1	IO41_1	CONF DONE_2	XIN_1	XOUT_1	H
J	IO115_2	IO114_2	RTCXL_3	TDO_2	TMS_2	IO116_2	GND	GND	GND	GND	IO18_0	IO24_0	IO25_0	IO23_0	IO22_0	IO21_0	J
K	IO120_2	IO119_2	VCCIO_2	GND	IO126_2	IO117_2	VCCINT	IO147_3	IO163_3	IO173_3	IO10_0	IO4_0	GND	VCCIO_0	IO20_0	IO19_0	K
L	IO122_2	IO121_2	IO123_2	IO127_2	VCCRT C_3	IO118_2	IO152_3	IO155_3	IO164_3	IO174_3	IO185_3	IO3_0	IO15_0	IO14_0	IO17_0	IO16_0	L
M	IO91/CLK3/FUSE_CLK_1	IO90/CLK2_1	VCCIO_2	GND	VDDQ_1	IO144_3	IO146_3	IO156_3	IO165_3	IO179_3	IO186_3	IO2_0	GND	VCCIO_0	IO141/CLK6_3	IO142/CLK7_3	M
N	IO125_2	IO124_2	IO131_2	RTCXO_3	IO138_3	IO143_3	GND	IO157_3	IO166_3	GND	IO180_3	IO187_3	IO1_0	IO5_0	IO12_0	IO11_0	N
P	IO130_2	IO129_2	IO132_2	VCCIO_3	GND	IO145_3	VCCIO_3	IO158_3	IO175_3	VCCIO_3	IO176_3	GND	VCCIO_3	IO184_3	IO6_0	IO7_0	P
R	IO128_2	GND	IO133_2	IO136_3	IO148_3	IO150_3	IO153_3	IO159_3	IO161_3	IO167_3	IO169_3	IO171_3	IO177_3	IO183_3	GND	IO9_0	R
T	VCCIO_3	IO135_3	IO134_3	IO137_3	IO149_3	IO151_3	IO154_3	IO160_3	IO162_3	IO168_3	IO170_3	IO172_3	IO178_3	IO181_3	IO182_3	VCCIO_3	T
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	

VCCINT	VCCIO_2	IOXXX_0	IOXXX_3
VCCIO_0	VCCIO_3	IOXXX_1	
VCCIO_1	GND	IOXXX_2	

7.2.4 QFN68 封装引脚列表

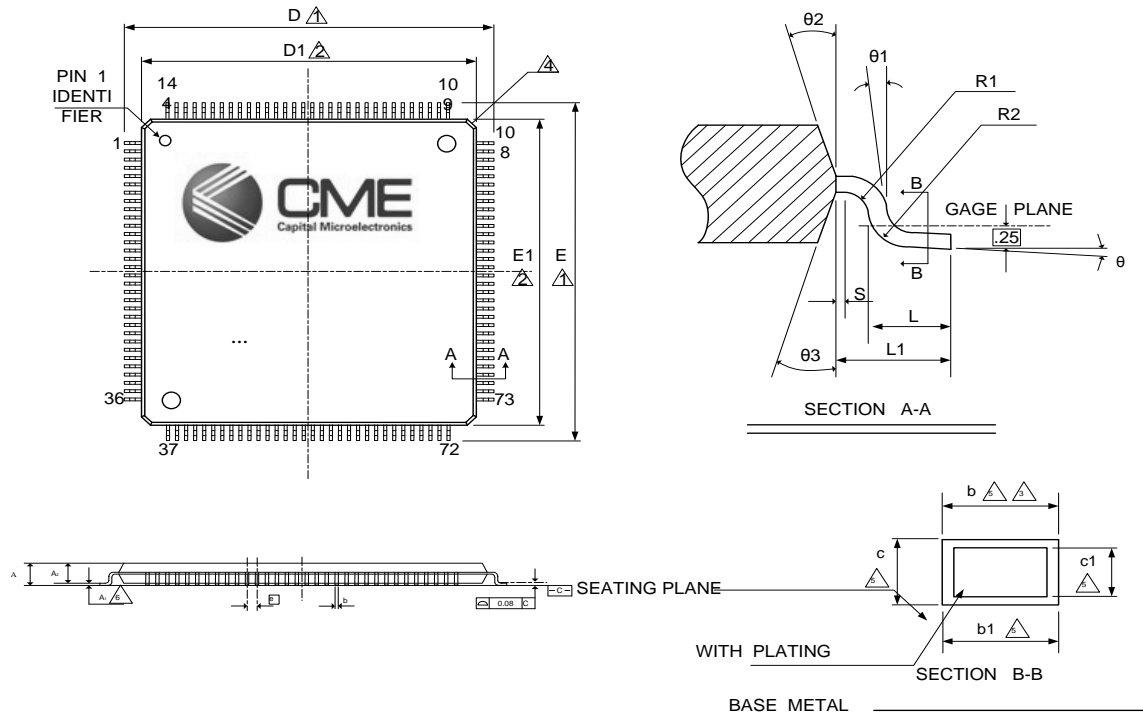
表 53 QFN68 封装引脚列表

编号	QFN68	编号	QFN68	编号	QFN68
1	VCCIO_0	25	IO20_0/CLK1_1	49	IO31_2
2	IO1_0	26	VCCIO_1	50	IO32_2
3	IO2_0	27	IO21/CLK2_1	51	IO33_2
4	IO3_0	28	IO22/CLK3/FUSE_CLK_1	52	IO34_3
5	IO4_0	29	IO23_1	53	IO35/CLK4_3
6	IO5_0	30	IO24_1	54	IO36/CLK5_3
7	VCCINT_0	31	IO25_1	55	VCCIO_3
8	IO6_0	32	VDDQ_1	56	IO37/CLK6_3
9	IO7_0	33	XIN_1	57	IO38/CLK7_3
10	IO8_0	34	XOUT_1	58	IO39_3
11	IO9_0	35	VDDA_2	59	IO40_3
12	IO10_0	36	nCONFIG_2	60	IO41_3
13	IO11_0	37	TMS_2	61	IO42_3
14	VCCIO_0	38	TDI_2	62	IO43_3
15	IO12_0	39	TCK_2	63	IO44_3
16	IO13_0	40	TDO_2	64	IO45_2
17	IO14_0	41	CONF_DONE_2	65	VCCIO_3
18	VCCINT_1	42	IO27_2	66	IO46_3
19	VCCIO_1	43	IO28_2	67	IO47_3
20	IO15_1	44	VCCIO_2	68	VCCINT_3
21	IO16_1	45	VCCIO_2		
22	IO17_1	46	VCCINT_2		
23	IO18_1	47	IO29_2		
24	IO19_0/CLK0_1	48	IO30_2		

注：芯片下方中央位置的散热片为芯片 GND。

7.3 封装信息

7.3.1 LQFP144 封装规格



Symbol	Dimension in mm		
	Min	Nom	Max
A	—	—	1.60
A1	0.05	—	—
A2	1.35	1.40	1.45
b	0.17	0.22	0.27
b1	0.20	REF	—
c	0.12	—	0.20
c1	0.13	REF	—
D	21.85	22.00	22.15
D1	19.90	20.00	20.10
E	21.85	22.00	22.15
E1	19.90	20.00	20.10
e	0.50	BSC	—
L	0.45	0.60	0.75
L1	1.00	REF	—
R	0.15	REF	—
R1	0.15	REF	—
S	0.19	REF	—
θ	0°	3.5°	7°
θ1	7°	REF	—
θ2	12°	REF	—
θ3	12°	REF	—


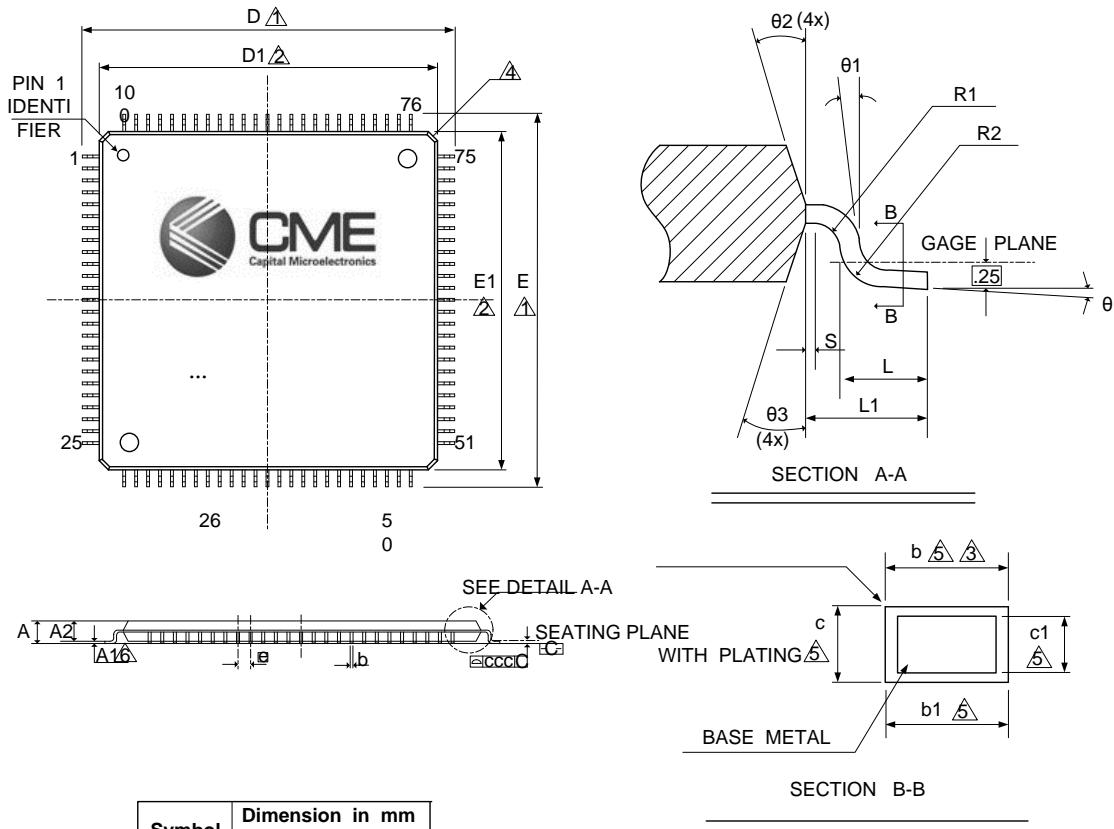
- ① TO BE DETERMINED AT SEATING PLANE 
- ② DIMENSION D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION
D1 AND E1 ARE MAXIMUM PLASTIC BODY SIZE DIMENSION INCLUDING MOLD MISMATCH.
- ③ DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION
DAMBAR CAN NOT BE LOCATED ON THE LOWER RADIUS OR THE FOOT.
- ④ EXACT SHAPE OF EACH CORNER IS OPTIONAL.
- ⑤ THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD
BETWEEN 0.10 mm AND 0.25 mm FROM THE LEAD TIP.
- ⑥ A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE
- ⑦ CONTROLLING DIMENSION : MILLIMETER.
TO THE LOWEST POINT OF THE PACKAGE BODY.
- ⑧ REFERENCE DOCUMENT : JEDEC MS - 026 , BFB

图 39 LQFP144 封装

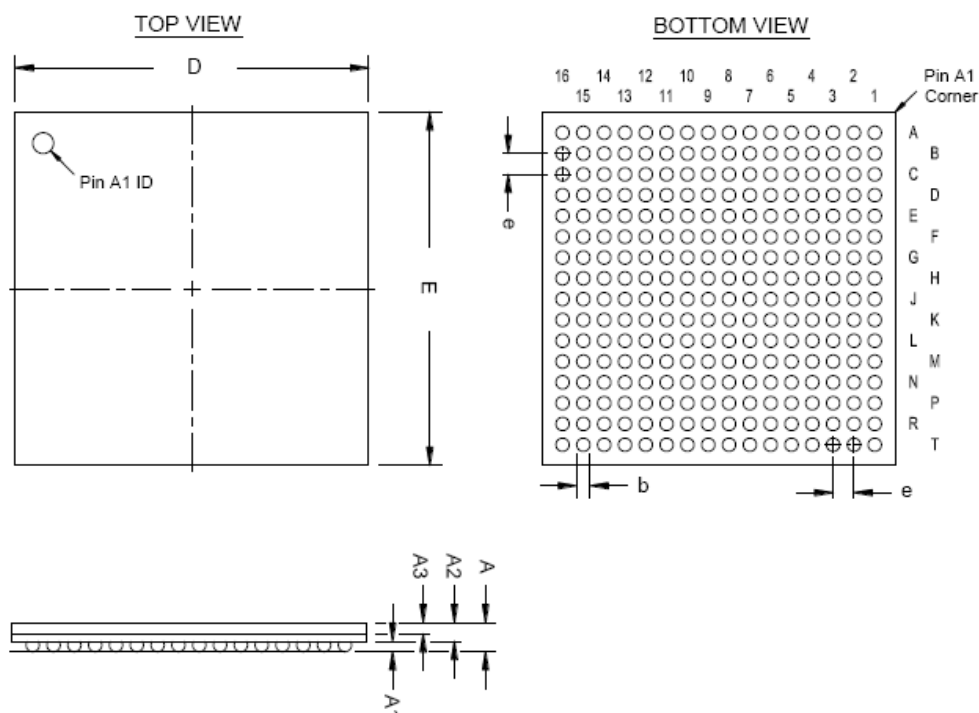
7.3.2 TQFP100 封装规格



- ① TO BE DETERMINED AT SEATING PLANE $\square C$
DIMENSION D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION
D1 AND E1 ARE MAXIMUM PLASTIC BODY SIZE DIMENSION
- ② INCLUDING MOLD MISMATCH.
DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION
- ③ DAMBAR CAN NOT BE LOCATED ON THE LOWER RADIUS OR THE FOOT.
- ④ EXACT SHAPE OF EACH CORNER IS OPTIONAL.
THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD
- ⑤ BETWEEN 0.10 mm AND 0.25 mm FROM THE LEAD TIP.
- ⑥ A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE
- ⑦ CONTROLLING DIMENSION : MILLIMETER.
TO THE LOWEST POINT OF THE PACKAGE BODY.
- ⑧ REFERENCE DOCUMENT : JEDEC MS - 026 , BFB
- ⑨ SPECIAL CHARACTERISTICS C CLASS : ccc

图 40 TQFP100 封装

7.3.3 FBGA256 封装规格



Package Information	
Description	Specification
Ordering Code Reference	F
Package Acronym	FBGA
Substrate Material	BT
Solder ball composition	Regular: 63Sn:37Pb (Typ.) Pb-free: Sn:3Ag:0.5Cu (Typ.)
JEDEC Outline Reference	MO-192 Variation: DAF-1
Lead Coplanarity	0.008 inch (0.20 mm)
Weight	0.93 g (Typ.)
Moisture Sensitivity Level	Printed on moisture barrier bag

Package Outline Dimension Table			
Symbol	Millimeters		
	Min.	Nom.	Max.
A	1.35	1.45	1.55
A1	0.30	0.40	0.50
A2	0.85	1.05	1.25
A3	0.65	0.70	0.75
D	17.00 BSC		
E	17.00 BSC		
b	0.40	0.50	0.60
e	1.00 BSC		

图 41 FBGA256 封装

- 控制单位为毫米。
- 引脚 A1 可能通过一个 ID 点或特殊的符号在封装封面上标识

7.3.4 QFN68 封装规格

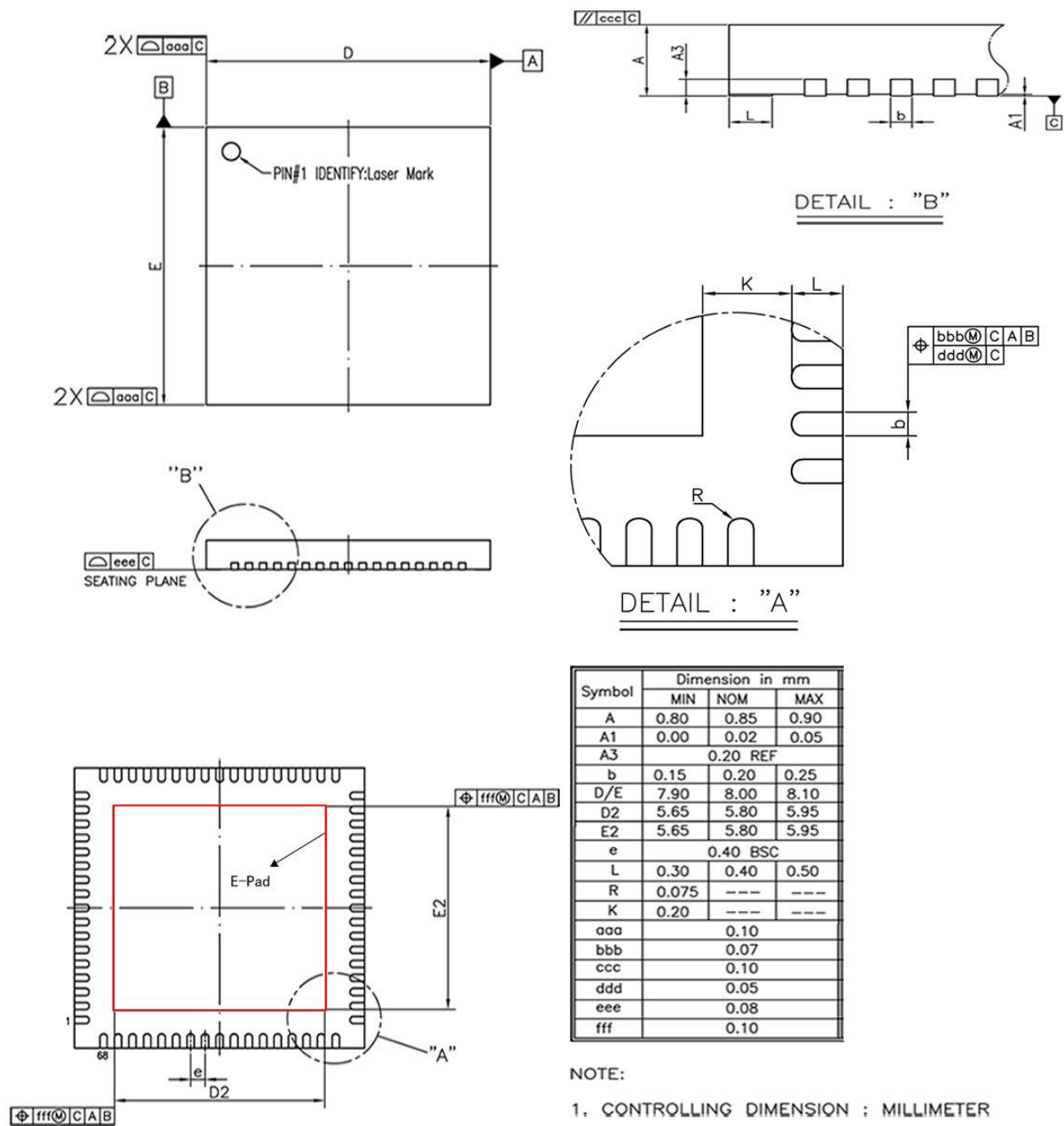


图 42 QFN68 封装

第8章 开发套件

京微雅格开发套件可支持 CME-M5 系列器件的 FPGA 及嵌入式软件设计。

京微雅格 Primace 集成设计环境（IDE）支持所有 CME 芯片，可实现合成，映射，布局，布线，位流生成和在线仿真等。同时，也支持第三方 EDA 工具 Modelsim 仿真。

AGDI 是基于 Keil 开发（Keil 是 ARM 的一部分）的一个通用的 Keil-C IDE 调试接口，设计人员可通过该接口在线编译和调试 8051 固件。CME-M5 系列器件具有片上调试（OCDS）功能，可帮助用户轻松调试 8051 程序。更多信息请参阅“CME_Emulator_User_Guide”。

如需对 8051 进行编程，编译和调试等，请购买 Keil-C 软件工具。更多信息请参考 <http://www.keil.com/c51>。

当前，CME-M5 系列器件不支持第三方开发环境，如有相关建议及需求，请发送至：support@capital-micro.com。

MSS 的 OCDS 调试接口与 FPGA 共用同一个 JTAG 接口。

第9章 订购信息

型号缩写见下表。

表 54 部件号缩写

厂商	产品系列	器件类型	查找表容量	NVM 容量	封装类型	温度等级	速度等级
CME-	M5	C	06	N3	L144	C	7

产品系列

- M5 金山系列

器件类型

- P FPGA
- R FPGA + SRAM
- C FPGA + SRAM + MCU

查找表容量

- 06 6K 查找表
- 03 3K 查找表
- 01 1K 查找表

配置 NVM (SPI-flash) 选项

- N0 无 SPI-flash
- N1 1Mb 内置 SPI-flash
- N2 2Mb 内置 SPI-flash
- N3 4Mb 内置 SPI-flash
- N4 8Mb 内置 SPI-flash

封装类型: <类型><#>

- T TQFP
- L LQFP
- Q QFN
- F FBGA
- # 引脚编号 (208 指 208 号引脚, 100 指 100 号引脚...)

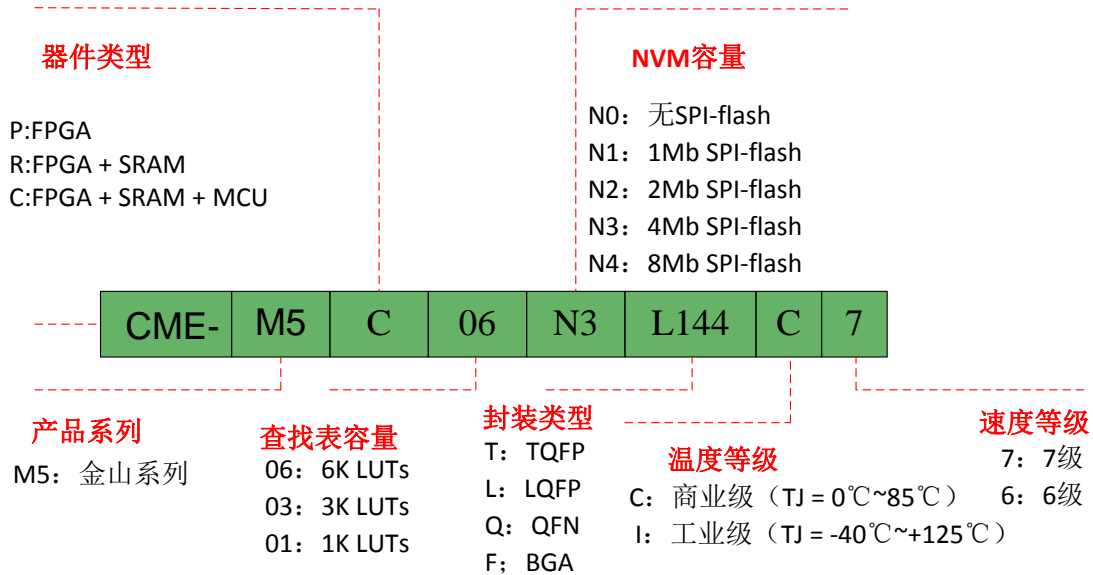
温度等级

- C 商业 (0°C - 85°C)
- I 工业 (-40°C to 125°C)

速度等级

■ # 速度（7 指速度等级为 7，6 指速度等级为 6，...）

示例: **CME-M5C06N3L144C7**



第10章 缩写

缩写	全名
AES	高级加密标准
ALU	算术逻辑单元
AS	主动串行
CAP	片上可配置应用平台
CCU	比较捕获单元
CMS	控制多路开关
CPU	控制处理器单元
DPRAM	双端口RAM
DC	直流
DSP	数字信号处理器
EMB	嵌入式存储器模块
IAP	在线应用编程
I2C	内置IC – 由飞利浦电子设计的一种串行接口
ISC	在系统配置
ISP	在系统编程
ISR	中断服务程序单元
LE	逻辑元件
LP	逻辑包
LSB	最低有效位
MAC	惩罚累加计数器
MDU	乘法-除法器
MOVX	程序搬移
MOVX	外部数据搬移
MSB	最高有效位
MSS	微处理器子系统
OCDS	片上调试支持
OCI	片上器件
PLB	可编程逻辑模块
PMU	电源管理单元
PS	被动串行
RTC	实时时钟
SFR	特殊功能寄存器
SPI	串行外围接口