

文档版本: **CME-HRDSE01**, 2015 年 10 月

有关 HR 系列的更多信息, 请访问 www.capital-micro.com。

第1章 概述

CME-HR 系列 FPGA 简介和架构

CME-HR 系列 FPGA 是一款低功耗器件, 适用于消费电子领域。

该系列器件由四个基本可编程模块组成: PLB, IOB, EMB 和 PLL, 见下图所示。

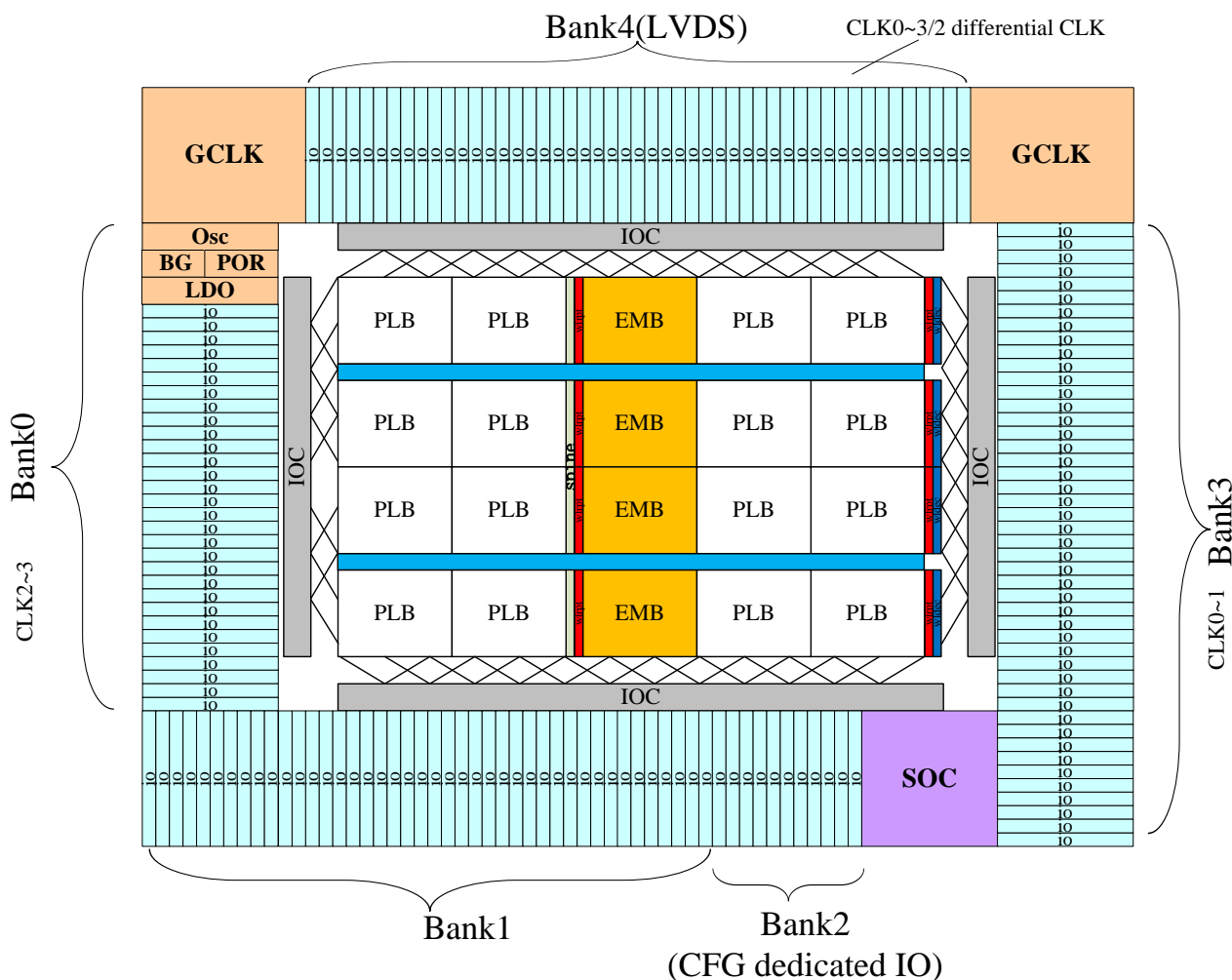


图 1 CME-HR 系列 FPGA 架构

©Copyright 2015 Capital Microelectronics Co., Ltd. 保留所有权利。

本手册中包含的信息已经仔细检查并认为是完全可靠的。但是, 不对手册中可能或潜在的错误负责。京微雅格(北京)科技有限公司保留停止发布或修改手册而不事先通知的权利。为确保获得最新的产品信息, 建议您及时更新手册版本。

上图中:

- ❑ 可编程逻辑模块 (PLB) 包含基于 SRAM 架构的查找表 (LUT-4), 用来实现逻辑和存储功能, 可作触发器使用。可编程 PLB 可实现执行多种逻辑功能以及数据存储。
- ❑ 嵌入式存储器模块提供 4.5Kb 双端口模块的数据存储。
- ❑ PLL 模块提供自校准, 全数字分配解决方案, 延迟, 乘法, 除法和相移时钟信号。
- ❑ 输入/输出模块 (IOB) 控制 IO 引脚和器件内部逻辑之间的数据流。每个 IOB 都支持双向数据流外加三态操作。

功能

- ❑ 基于 SRAM 的 FPGA 架构
 - 高达 15360 个 4 输入查找表, 10240 个 DFF 寄存器
 - 性能高达 200MHz
- ❑ 嵌入式 RAM 存储器
 - 192 个 4.5Kb 双端口 EMB5K Block RAM
- ❑ 时钟网络
 - 8 个 de-skew 全局时钟
 - 4 个支持倍频、分频及 de-skew 的 PLL
 - 8 个外部时钟输入
- ❑ 多电压, 多标准, 多区 I/O
 - 3.3V ~ 1.5V 单端 LVCMOS/ LVTTTL 标准
 - LVDS25/ 子 LVDS IO 标准
 - SDR/DDR 普通模式和 LVDS I/O
 - 高达 800 Mbps 数据传输速率 (每个差分 I/O)
 - 可编程电流驱动能力
 - 施密特触发输入, 最高 200 mV 典型滞后值
- ❑ 低功耗
 - 超低功耗器件
 - 先进的 40 nm 低功耗工艺
 - 备用模式功耗最低 32 μ W
 - 可编程低摆动差分 I/O
 - 系统内可动态时钟切换和门控, 可降低动态功率
- ❑ 配置
 - JTAG 模式
 - AS 模式
 - PS 模式
- ❑ 安全
 - 128 位 ASE 配置数据
 - 256 位 Efuse

功能特性和封装

器件型号		HR01PN0	HR02PN0	HR03PN0	HR07PN0 *1	HR16PN0 *1
可编程逻辑模块 (PLB)	LUT	768	1536	3072	6912	15360
	寄存器	512	1024	2048	4608	10240
嵌入式存储器模块 (EMB)	4.5Kb	16	16	16	96	192
	Max	72Kb	72Kb	72Kb	432Kb	864Kb
PLL		1	2	2	2	4
片上 OSC		1	1	1	1	1
MAC/DSP					24	64
SERDES						4 Lanes
DQS						1
Efuse/128bitAES		256b	256b	256b	384b	384b
最大 I/O		80	96	130	250	420
差分 I/O 对						
泄漏电流		40uA	80uA	200uA	350uA	500uA
封装		最大用户 IO (LVDS 通道)				
W16 (0.35mm)						
W25 (0.35mm)						
Q48 (6x6mm, 0.4mm)						
Q68 (8x8mm, 0.4mm)				55 (7)		
Q84 (7x7mm, 0.5mm)						
U36 (2.5x2.5mm, 0.4mm)			28 (3)			
U49 (3x3mm, 0.4mm)				39 (5)		
U81 (4x4mm, 0.4mm)				67 (8)		
C100 (8x8mm, 0.5mm)						
C144 (7x7mm, 0.5mm)						
C192 (9x9mm, 0.5mm)				128 (16)		
C256 (9x9mm, 0.5mm)						
L144 (22x22mm, 0.5mm)				108 (10)		
T100 (14x14mm, 0.5mm)				74 (9)		
F256 (14x14mm, 0.8mm)						

注意:

*1: HR07PN0, HR16PN0 可根据客户要求生产。

本章介绍了 HR 系列的可编程逻辑模块（PLB），嵌入式存储器模块（EMB），输入/输出（I/O），PLL，振荡器 OSC 和时钟管理模块。

第2章 FPGA

可编程逻辑模块（PLB）

可编程逻辑模块（Programmable Logic Block）是基本的逻辑块，由逻辑单元（LE）和 Xbar 组成。PLB 是 Fabric 的基本架构。排列方式见下图所示。一个 LE 包括四个互联的逻辑包（LP）。LE 的逻辑资源用于实现时序和组合逻辑电路。

Xbar 可路由和传递各基本模块之间的信号。

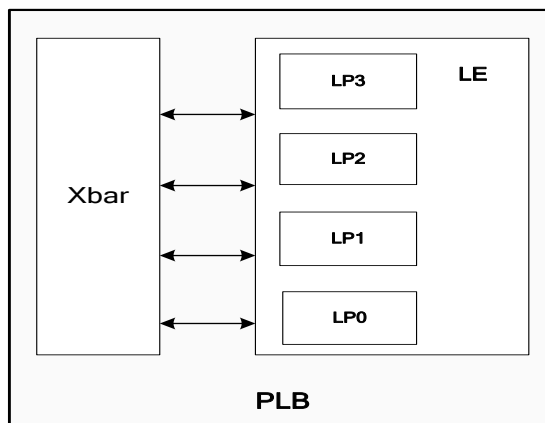


图 2 PLB 原理图

PLB 按照行和列的顺序规则排列，见上图。

CME 开发软件基于 C 和 R 坐标标记 PLB 的位置，从左下角开始，见上图。数字后的字母 C 表示 PLB 的列，从左至右递增。数字后的字母 R 表示 CLB 行中每个 PLB 的位置，从底部开始递增。

LP

LP（Logic Parcel，逻辑包）是基本的可编程逻辑元件。LP 包含以下元件，通过这些元件可提供逻辑和算术功能。

- ☐ 三个 4 输入 LUT 功能发生器
- ☐ 两个寄存器
- ☐ 进位，级联和算术逻辑



查找表（LUT/Look-Up 表）是一种基于RAM的功能发生器，用于实现逻辑功能。每个LUT有4个输入一个输出，还可实现任意4变量的布尔逻辑运算。多输入的功能可以通过级联方式实现。

寄存器是一种可编程的D型触发器，也可以配置成T型锁存器。在D触发器输入端有个开关选择器，开关选择器可以选择是LUT的组合逻辑输出，加法器的输出或者是旁路信号p[x]。

进位链是垂直链路，从下到上以LP为单位依次进位。进位链与专用算术逻辑电路支持快速和有效的数学运算，例如：加法器，计数器，乘法器，宽逻辑运算等相关功能。软件综合工具能够自动利用这些进位链和逻辑电路实现算术运算，同时进位链和逻辑电路的也可实现通用逻辑像简单布尔运算。

www.capital-micro.com

LE

LE（Logic Engine，逻辑引擎）包含 4 个 LP 和跳级进位电路，以及寄存器控制电路，以使 LE 实现众多复杂的功能，例如级联，进位和跳级进位，寄存器移位。

互联

逻辑引擎（LE）或特殊功能模块（EMB 或 DSP）都包含互联的 Xbar，也叫做布线资源。Xbar 可在 HR 系列器件中的多种功能模块 tile 间传递信息。有四种互联方式：八进制线，三重直线，单线和对角线。

八进制行跨过水平和垂直架构，连接至 Xbars 的四个和八个 tile，见下图。

三重直线水平和垂直链接至 Xbars 的一个，两个，三个 tile，见下图。

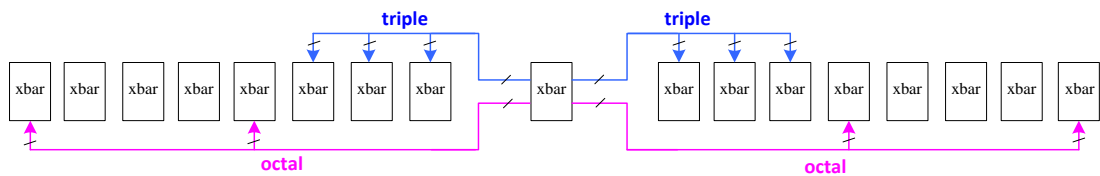


图 4 八进制线和三重直线

单线和对角线直接以垂直、水平或对角线形式将布线信号连接至相邻的tile。

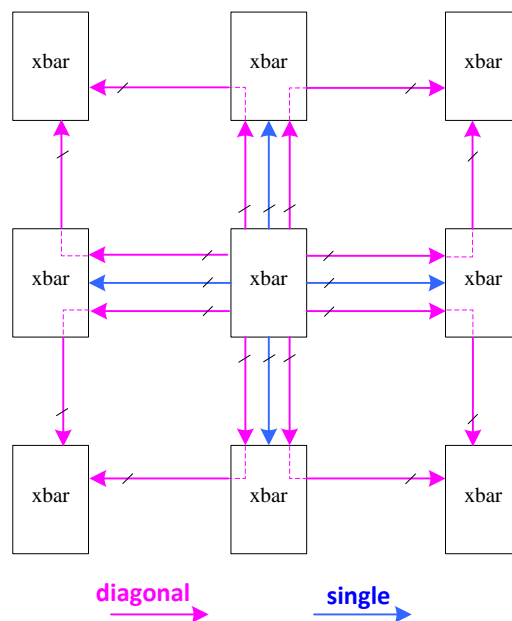


图 5 单线和对角线

嵌入式存储器模块

EMB5K 模块为真双端口存储器，允许独立访问两个端口。每个端口都有其专用的数据线，控制线和时钟线，用于同步读取和写操作。EMB5K 具有以下功能特色：

- 4.5Kb

- ❑ 混合时钟模式
- ❑ 独立配置 A, B 数据宽度
- ❑ 支持 WRITE_FIRST（写通过），读先模式 READ_FIRST 和无变化 NO_CHANGE 模式
- ❑ 旁路或输出寄存可选
- ❑ 奇偶校验位

EMB 模块每个字节都有奇偶校验位。用户可以利用奇偶校验位和用户逻辑以确保数据的完整性。奇偶校验位数据字也可用于存储用户自定义的控制位。

- ❑ **RAM 和 ROM 模式下初始化文件可预加载存储器中的数据**

初始化文件的格式为.hex 或.dat（每行一个十六进制数，行号取决于 EMB 宽度）。初始化文件可在配置时初始化 EMB 存储器。

- ❑ **三种存储器模式**

EMB 可配置位以下三种模式：

- emb_tdp: 真双端口
- emb_sdp: 简单双端口
- emb_sp: 单端口

EMB 操作模式

(1) EMB 真双端口

EMB 支持任意双端口组合：两个读端口，两个写端口或一个读端口一个写端口（不同时钟频率下）。下图为真双端口存储器配置图。

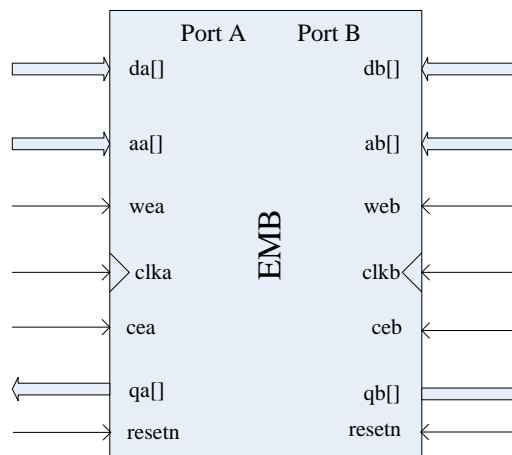


图 6 真双端口存储器模式

表 1 真双端口存储器模式下的端口描述

端口名称	类型	描述
aa,ab	输入	端口 A (B) 地址。
da ,db	输入	端口 A (B) 数据输入。
qa ,qb	输出	端口 A (B) 数据输出。

端口名称	类型	描述
wea ,web	输入	端口 A (B) 写使能。当 wea (b) 和 cea (b) 均为“高”时，数据将在时钟的上升沿被写入到双端口存储器中。
cea,ceb	输入	端口 A (B) 使能。当 cea (b) 为高 wea (a) 为“低”时，读取端口 SRAM 地址 aa (bb) 中的数据。当 cea (b) 为“低”时，qa (b) 的值保持不变。
clka ,clkb	输入	端口时钟。
rstna,rstnb	输入	复位输出寄存器，低有效。

表 2 EMB4.5K 真双端口配置

A 端口	B 端口						
	4K×1	2K×2	1K×4	512×8	512×9	256×16	256×18
4K × 1	√	√	√	√			
2K × 2	√	√	√	√			
1K × 4	√	√	√	√			
512 × 8	√	√	√	√			
512 × 9					√		
256 × 16							
256 × 18							

(2) EMB 简单双端口

EMB 也支持简单双短偶存储器模式。一个读端口，一个写端口。下图为简单双端口存储器配置图。

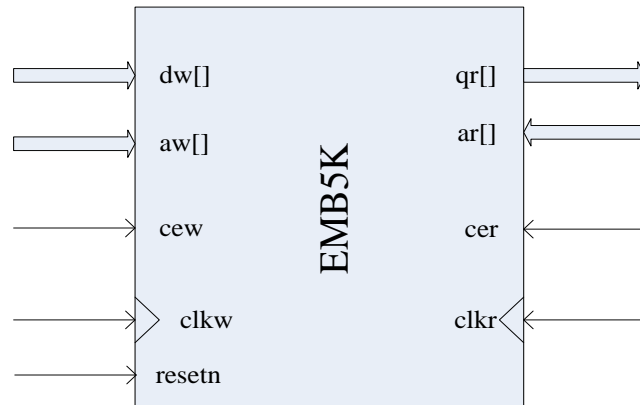


图 7 简单双端口存储器模式

表 3 EMB4.5K 简单双端口配置

写端口	读端口						
	4K×1	2K×2	1K×4	512×8	512×9	256×16	256×18
4K × 1	√	√	√	√		√	
2K × 2	√	√	√	√		√	
1K × 4	√	√	√	√		√	

写端口	读端口						
	4K×1	2K×2	1K×4	512×8	512×9	256×16	256×18
512 × 8	√	√	√	√		√	
512 × 9					√		√
256 × 16	√	√	√	√		√	
256 × 18					√		√

(3) EMB 单端口

EMB 也支持单端口模式，见下图。

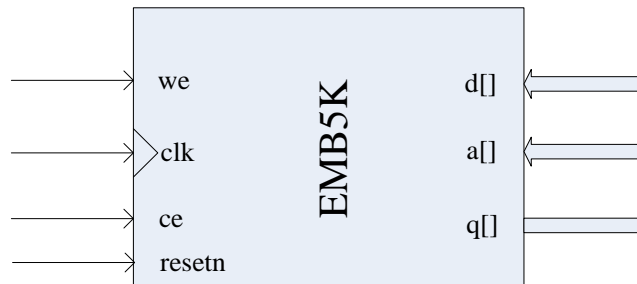


图 8 单端口存储器模式

表 4 单端口存储器模式引脚描述

端口名称	类型	描述
d	输入	写数据
a	输入	写地址
we	输入	写使能，高有效
clk	输入	写时钟
ce	输入	端口使能，高有效
q	输出	读数据
rstn	输入	复位输出寄存器，低有效

表 5 EMB4.5K 单端口配置

端口						
4K×1	2K×2	1K×4	512×8	512×9	256×16	256×18

EMB 时序

对 EMB 的读和写操作可以在输入输出端口上同时进行且互相独立。

当 we 和 ce 信号在有效时钟上升沿到来时为开启状态，d 输入口上的数据会被写入由地址线决定的 EMB 对应的地址位置。

EMB5K 的两个端口的操作时序和方式完全相同的。当“we”和“ce”信号在 clk 的上升沿为高时，“d”输入线的数据将被写入由地址线“a”线定义的 EMB5K 存储单元中。“wr_through”参数控制两种读写操作行为，如果“wr_through”在写操作时为“true”，写数据也会被传送到“q”输出总线；如果“wr_through”在写操作时为“false”，“q”保持前面的值不变。两种操作的波形图分别如下所示。

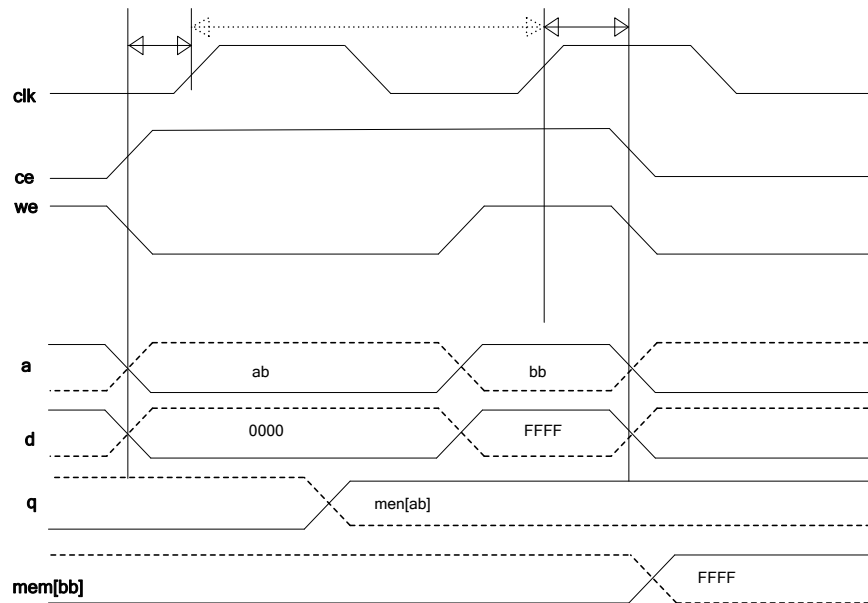


图 9 EMB No_Change 波形

选择“Write_First”后，数据将写入指定存储器的有效CLK沿上并传输至q输出。当WE为“高”时，“Write_First”的时序会在下图中显示。

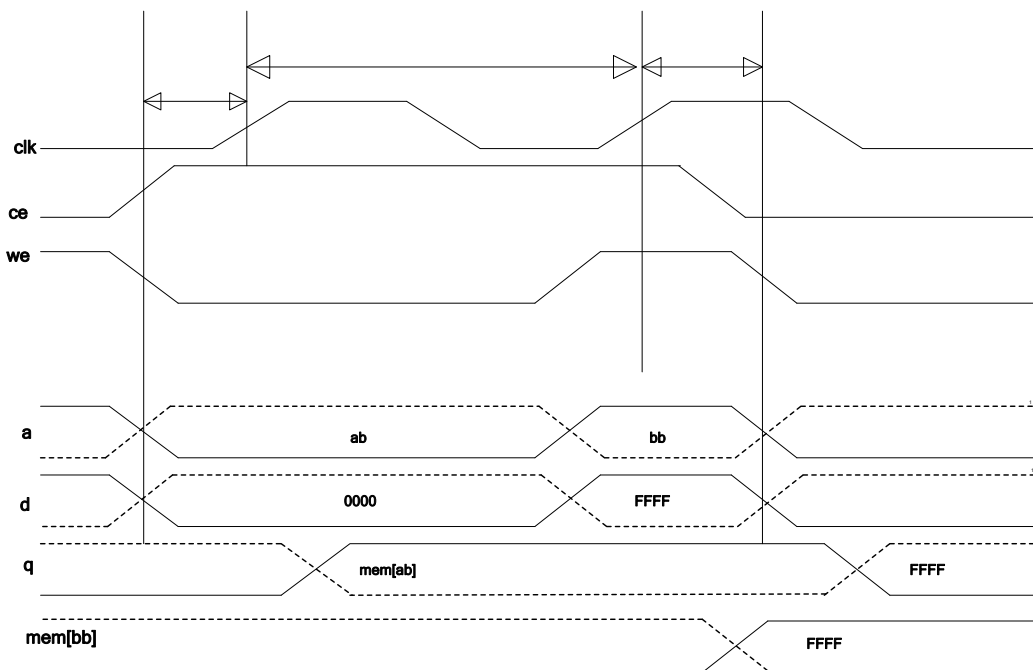


图 10 EMB Write_First 波形

选择“Read_First”后，指定位置存储的数据将先传输至输出中，然后被新的数据（来自有效的CLK沿输出）重写。“Read_First”部分定时见下图所示（当WE为高电平时）。

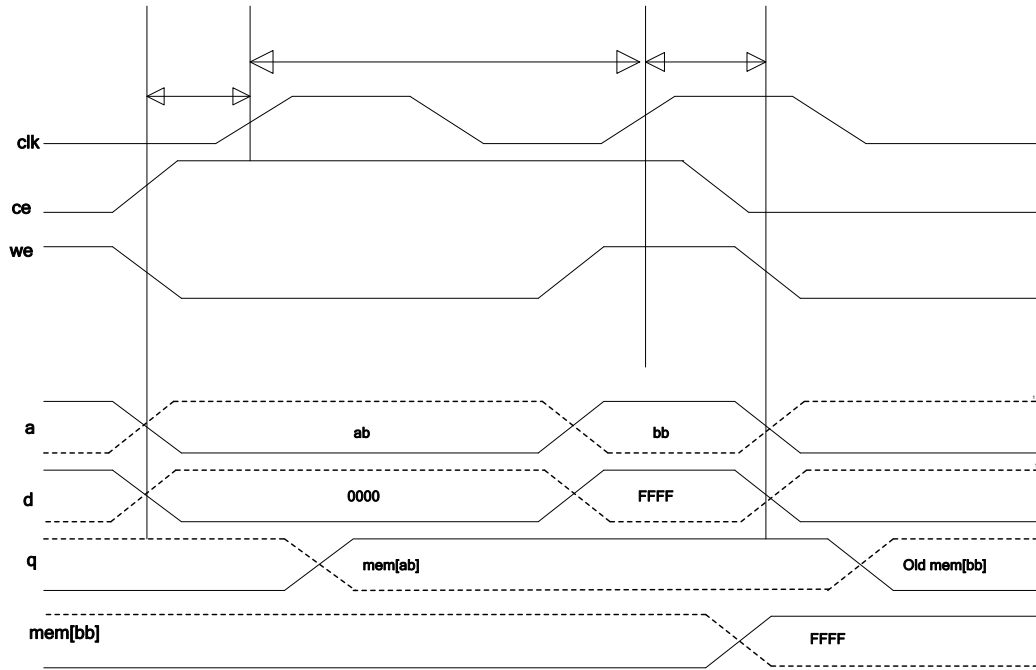


图 11 EMB Read_First 波形

输入/输出 (I/O)

输入/输出模块 (IOB) 提供一个可编程的, 双向接口 (I/O引脚和FPGA内部逻辑之间)。

所有I/O引脚都会分配至5个区, 包括普通I/O区, LVDS I/O区和配置I/O区。每个区都有几个普通VDDIO输出供电电压引脚, 为特定的输入缓冲器供电。

I/O引脚具有以下功能:

- ☐ 3.3V ~ 1.8V 单端口 I/O 标准和协议 (普通 I/O 区)
- ☐ 3.3V ~ 1.5V 单端口 I/O 标准和协议 (LVDS I/O 区)
- ☐ 高达 800Mbps 数据传输速率 (每对差分 I/O)
- ☐ DDR/SDR 模式 (普通和 LVDS IO)
- ☐ 支持上拉, 下拉和总线保持
- ☐ 施密特触发器输入

框图

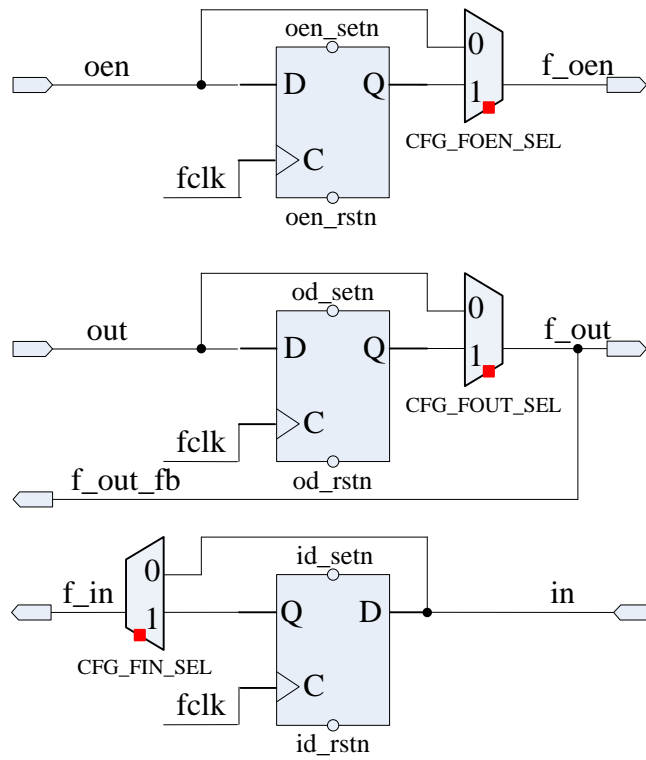
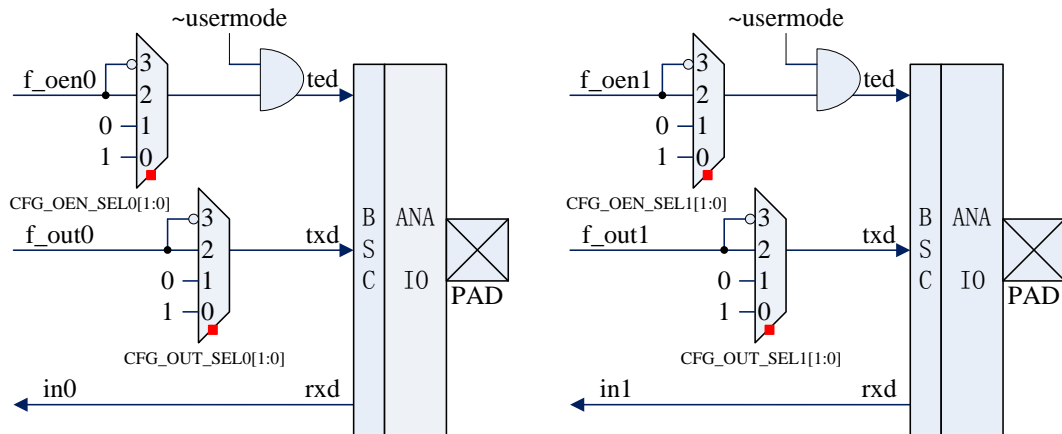


图 12 普通单端口 IO

LVDS IO Data Path



IOC for LVDS IO

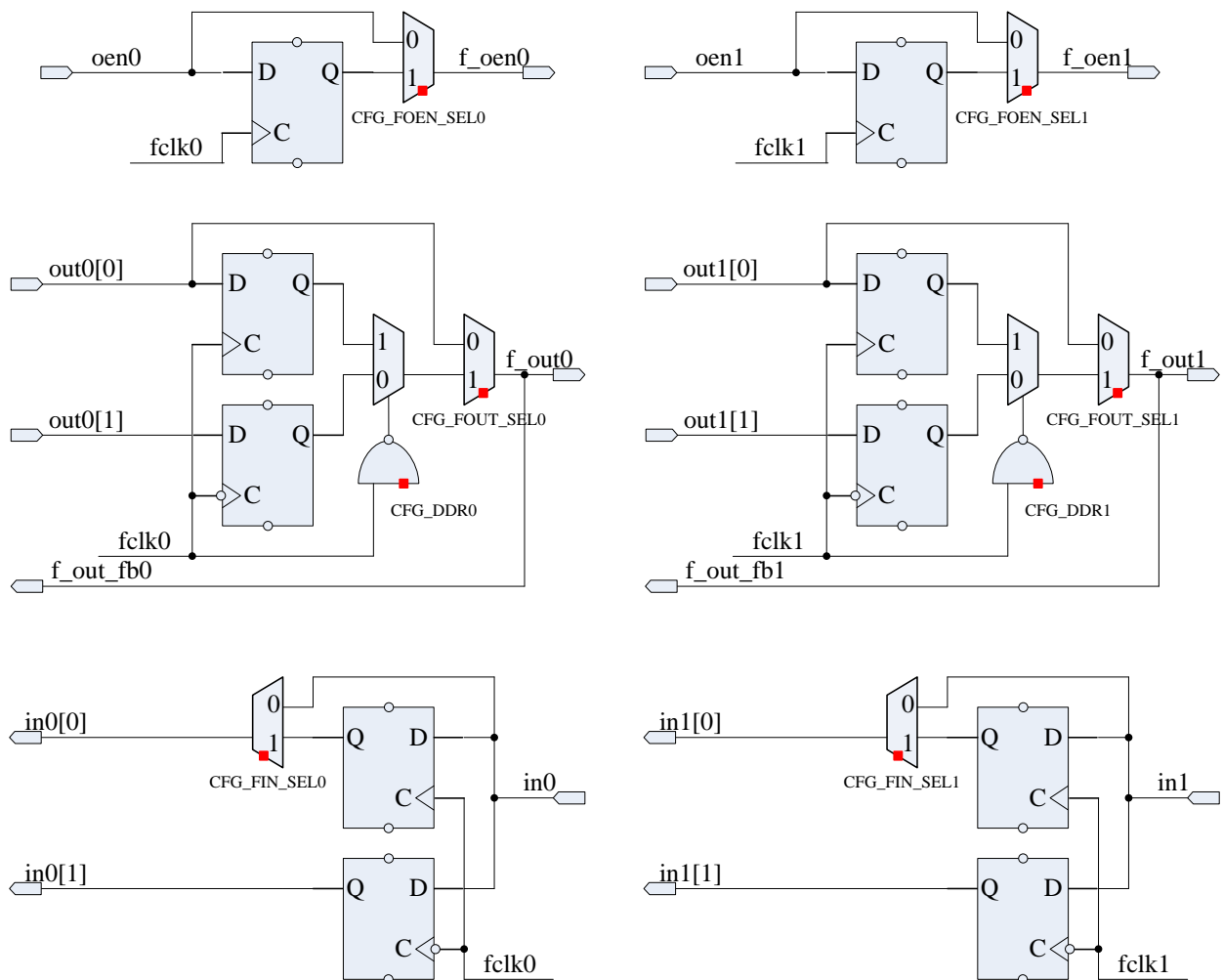


图 13 差分 LVDS IO

上拉/下拉保持电阻

可选的上拉和下拉电阻，可用户设定未使用IO的逻辑高或逻辑低。可选的上拉电阻会将IOB管脚和VDDIO连接，可选的下拉电阻会将IOB管脚和GND连接。电阻值大约在50K~100KΩ之间。每个I/O都有一个可选的保持电路，用于确保驱动关闭后保持线上最后的逻辑状态。该电路可防止总线在所有连接的驱动处于高阻抗时出现漂移。上下拉在Primace aoc文件的可选选项有：“pull up”，“pull down”和“bus keeper”。

驱动力

LVTTL 和 LVCMOS 标准支持多级驱动力。

可编程电流强度可帮助降低同步切换输出影响和系统噪音。支持的设置参数可确保器件驱动满足IOH指标和对应的I/O标准的IOL。

施密特触发输入

每个HR I/O引脚都配有一个施密特触发输入，可以缓慢地将变化着的输入信号传输至边界清楚、无抖动的输出信号。

ESD 保护

静电放电（Electro-Static Discharge）保护电路可保护所有器件引脚不受 ESD 和过压瞬变影响和损坏。

表 18 中 VIN 的最大绝对值额定值为 I/O 可承受的电压范围。

IOB 分区

IOB 分为 5 个区，如图 1 所示（见第 1 页）。对于所有封装，每个区都有独立的 VDDIO 进行供电。例如，VDDIO 1 区的行与连接至其它区的 VDDIO 的行是隔离的。

上电，配置和用户模式下的 I/O

FPGA没有上电之前，所有的I/O都处于高阻抗状态。VDDCORE和VDDIO可按任意顺序供电。在上电完成之前，VDDCORE和VDDIO必须达到推荐的最小运行值。同时，所有I/O驱动也将处于高阻抗模式下。

此时，配置数据会加载至 FPGA 中。I/O 在整个配置期间保持在高阻抗状态下。IO 上的信号将在启动时被释放，标志着配置的完成和用户模式中设计功能的开始。这时，已经分配的 I/O 信号将被激活，未使用的 I/O 将保持在高阻抗状态下。

PLL

HR 系列器件包含四个锁相环电路（phase-locked loops, PLL），提供高级时钟管理，器件时钟控制同步，外部系统时钟和 I/O 接口。

左侧专用引脚 CLK0~CLK3, XIN 和 OSC（内部配置振荡器）和 FPGA 逻辑可作为左侧 PLL 的参考时钟输入。右侧专用引脚 CLK0~CLK3, XIN 和 OSC（内部配置振荡器）FPGA 逻辑可作为右侧 PLL 的参考时钟输入。当 PLL 处于外部反馈模式时，外部反馈 fbclk_{in} 必须来自专用引脚 CLK0~CLK3 或内部 clkout0。

功能

- ☐ 输入频率：5~133MHz
- ☐ PFD 输入频率：5 ~ 133MHz
- ☐ 输出频率：16 ~ 400MHz
- ☐ VCO 工作范围：533 ~ 1066MHz
- ☐ VCO 象限固定相移：0°, 45°, 90°, 135°, 180°, 225°, 270°, 315°
- ☐ 输出时钟占空比：45-55%
- ☐ 电源功耗：Analog< 6mA,digital <1mA
- ☐ 关闭时总电流的典型值：200nA
- ☐ PLL 输出：CO0, CO1, CO2, CO3
- ☐ 锁定状态检测和输出锁定
- ☐ De-skew 模式
- ☐ 动态重新配置

框图

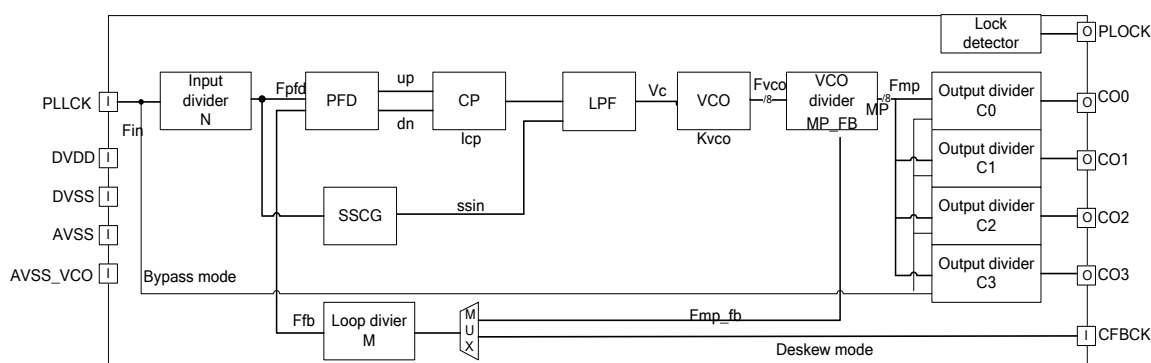


图 14 PLL 图

PLL 基元

表 6 PLL 的端口描述

端口/参数	类型	描述
refck	输入	PLL 参考时钟。
cfbck	输入	反馈时钟，deskew 模式。
fp_pll_pdb	输入	断电模式控制 0: PLL 断电（默认） 1: PLL 正常工作
CO0	输出	PLL 输出时钟通道 0。
CO1	输出	PLL 输出时钟通道 1。
CO2	输出	PLL 输出时钟通道 0。

端口/参数	类型	描述
CO3	输出	PLL 输出时钟通道 0。
fp_pll_lock	输出	PLL 锁定 0: PLL 未锁定 1: PLL 锁定
fp_cf_shiftin	输入	PLL 重新配置数据串行移位。
fp_cf_clk	输入	PLL 重新配置时钟。
fp_cf_enable	输入	PLL 重新配置使能。
fp_cf_update	输入	PLL 重新配置数据更新至 PLL 配置寄存器。
fp_cf_shiftout	输出	PLL 重新配置输出数据串行移位。

描述

HR 的锁相环是一款通用型, 高性能的基于 PLL 的时钟发生器, 设计输出低抖动和在低功耗情况下工作。对于大范围的输出频率, 提供了四个 VCO 范围可选, 设为 2bits。PLL 包含可编程的输出频率, 范围在 10MHz 到 1250MHz 之间, 由一个 8-bit 的输入分频器 (DIVN), 一个 8-bit 的反馈分频器 (DIVM), 一个 3-bit 的后端 VCO 分频器 (DIVMP), 一个 1-bit 的反馈 VCO 分频器 (DIVFB) 和 4 个 8-bit 输出分频器 (DIVCx) 控制。使用输出分频器可以实现 50%左右的占空比。此外, 也通过旁路模式作时钟缓冲器使用。PLL 完全关闭模式也可选用。

PLL 支持两种操作模式: 频率综合和 deskew (抗偏斜) 模式。

频率综合模式

PLL 频率综合模式框图见下所示。

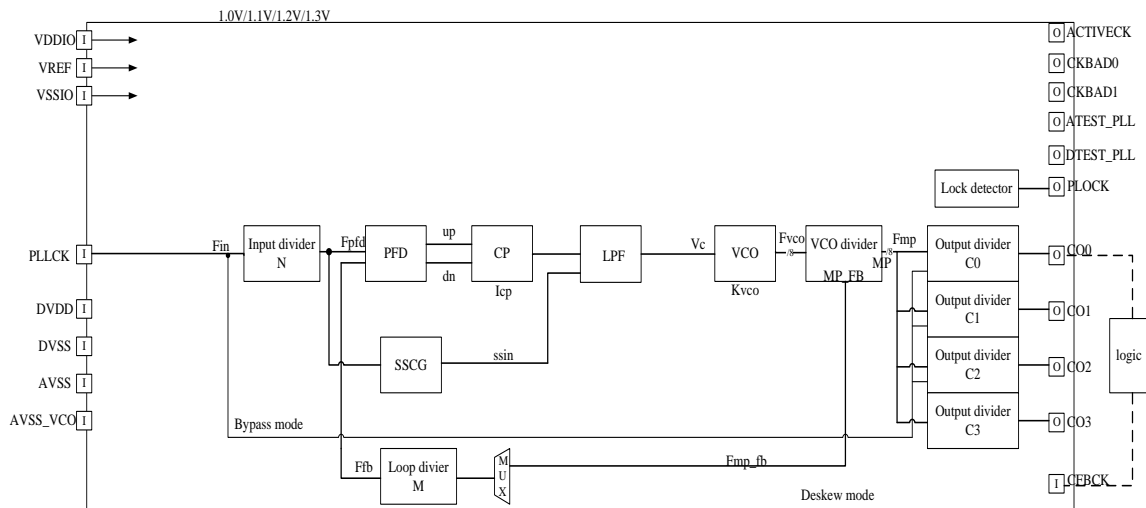


图 15 PLL 频率综合模式

输出时钟频率 F_{con} 可通过设置分频器 $DIVN[7:0]$, $DIVM[7:0]$, $DIVMP[2:0]$, $DIVFB$ 和 $DIVCx[7:0]$ 来控制。

$$F_{cox} = F_{in} \cdot \frac{N_{fb} \cdot N_m}{N_{mp} \cdot N_n \cdot N_{cox}} \quad (x=0,1,2,3)$$

$$F_{vco} = F_{in} \cdot \frac{N_{fb} \cdot N_m}{N_n}$$

输入分频值 $N_n = DIVN[7:0] + 1$

反馈分频值 $N_m = DIVM[7:0] + 1$

反馈 VCO 分频值 $N_{fb} = DIVFB + 1$

输出分频值 $N_{cox} = DIVCx[7:0] + 1$

频率综合模式下抖动性能更好，是由于时钟反馈信号经过更少的电路便能到达 PFD。

Deskew 模式

PLL 频率 deskew 模式框图见下所示。

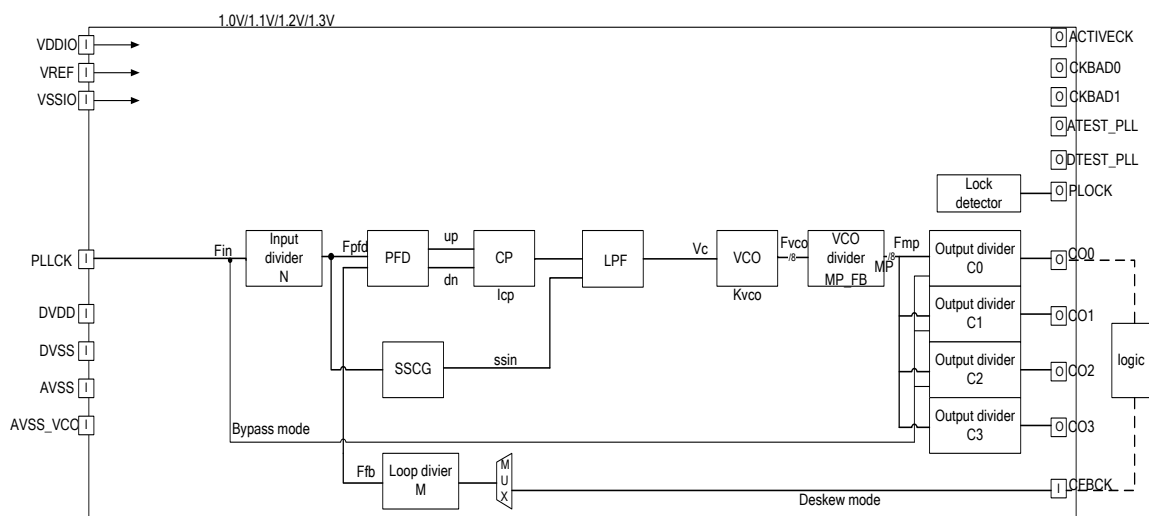


图 16 Deskew 模式

PLL 反馈路径源是全局或局部的时钟网络，可以为这类时钟和 PLL 的输出到达寄存器的时钟延迟减小到最小。

输出时钟频率 F_{cox} 为：

$$F_{cox} = F_{in} \cdot \frac{N_m \cdot N_{co0}}{N_n \cdot N_{cox}} \quad (x=0,1,2,3)$$

$$F_{vco} = F_{in} \cdot \frac{N_m \cdot N_{mp} \cdot N_{co0}}{N_n}$$

PLL 支持三种不同的 deskew 模式。每个模式都允许时钟乘法，除法和相移运算。

源同步模式

如果数据和时钟同一时间到达输入引脚，I/O 输入寄存器的数据和时钟端口的数据和时钟之间的相位关系保持不变。

源同步模式可补偿使用的时钟网络延迟，包括以下两个通路的延迟差。

- 连接至 I/O 寄存器输入端的数据引脚

□ 连接至 PLL 相频输入端的时钟输入引脚

源同步模式下数据和时钟之间的相位关系见下图所示。

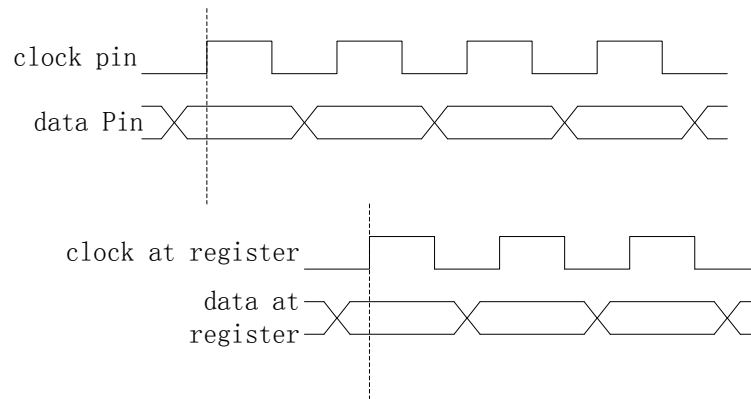


图 17 PLL 源同步模式波形

普通模式

在普通模式下，内部时钟的相位与输入时钟引脚对齐。如果在普通模式连接了时钟输入引脚，外部时钟输出引脚会出现相应的相位延迟。

在普通模式下，PLL 可补偿由时钟网络导致的全部延迟。

下图为普通模式下时钟引脚数据和时钟的相位关系图。

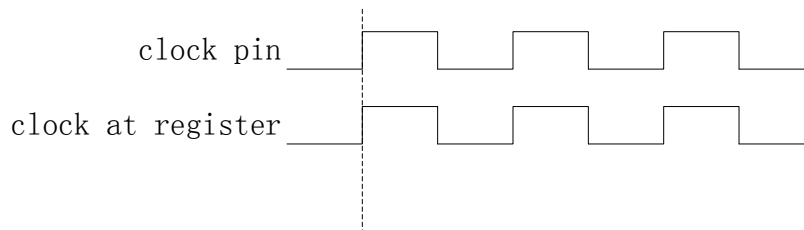


图 18 PLL 谱图模式波形

零延迟缓冲 (ZDB) 模式

在零延迟缓冲 (zero delay buffer) 模式下，内部时钟引脚的相位与时钟输入引脚通过器件的零延迟时的相位相关。如果使用该模式，输入时钟和输出时钟应使用相同的 I/O 标准，以确保输入和输出引脚的时钟对齐。

下图为零延迟缓冲模式下的数据和时钟相位关系图。

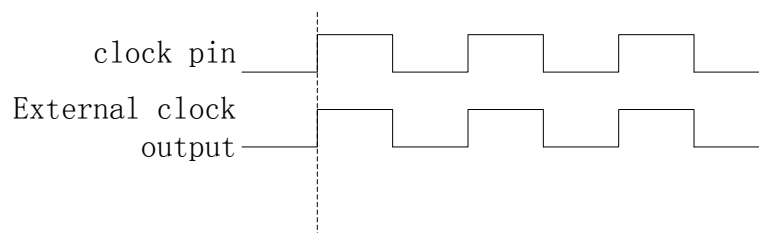


图 19 PLL 零延迟缓冲模式波形

高级模式

HR 器件设有两个相位控制电路，用于调节 PLL out0 CO0 和 LVDS 到 PLL 反馈 CFBCK 路径的延迟。相位控制电路如下图所示。相位控制模块共有 32 个 DLY 单元，一个 DLY 单元可以延迟时钟 1, 2 或 3 MUX 延迟。因此实际的延迟=延迟步骤* fp_co0_phase。延迟范围为最小延迟（1 MUX delay * 1 DLY cell + fixed delay）到最大延迟（3 MUX delay * 32 DLY cell + fixed delay）。

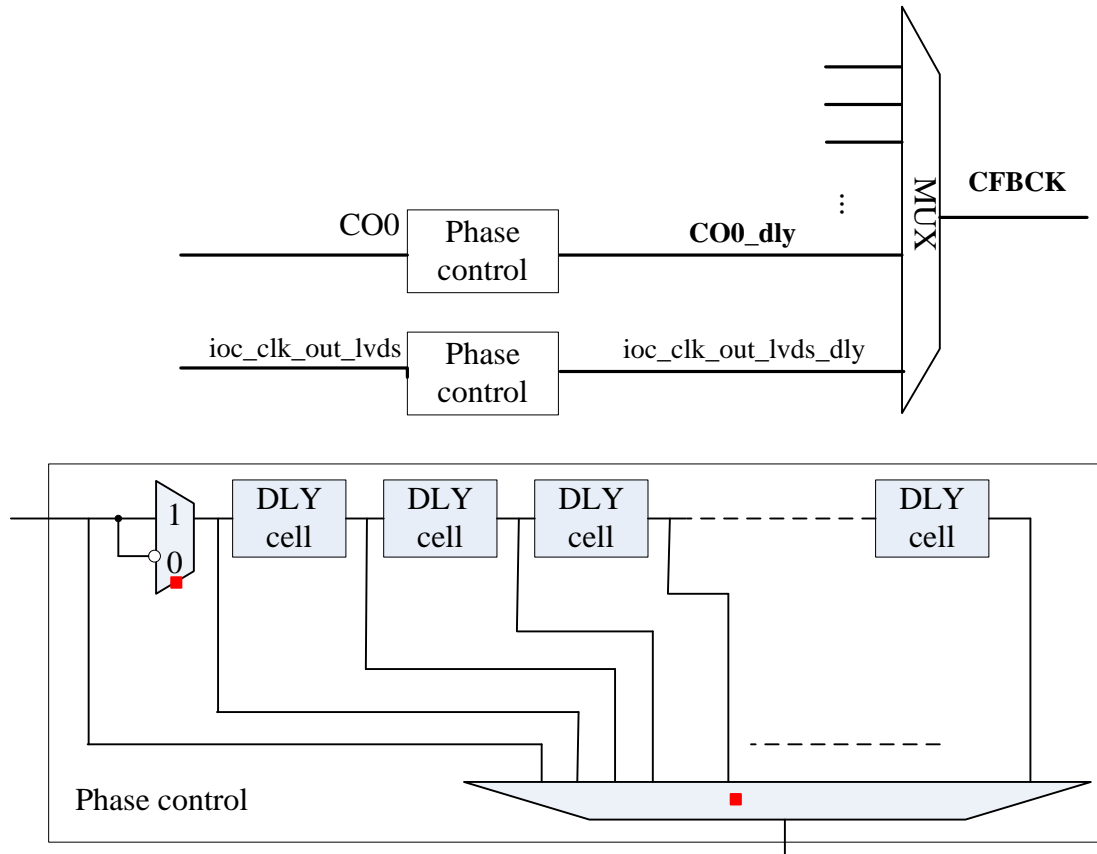


图 20 相位控制电路

在 PLL 高级模式下，用户可以生成精确的时钟，以满足不同需求。

旁路模式

Fin 可直接缓冲至 Cox，无需将 PLL 内部环路断电即可通过 PLL。

掉电模式

整个 PLL 单元可以进行内部断电，将 Cox 设置为 0。当从掉电模式切换到普通模式（频率综合或 Deskew 模式）时，PLL 需要 Tlock 时间（上拉和锁定时间）。

输出时钟延迟

输出时钟延迟为时钟延迟提供了可靠的解决方案，结合 VCO 多相输出和计数器起始时间执行。由于 VCO 多相输出和计数器起始时间仅基于计数器设置，所以是最精确的延迟插入方法，不受程序，电压和温度影响。

输出时钟延迟包含微调 and 粗调。微调基于 VCO 相级，粗调基于计数器起始时间。

由于 VCO 是四级差分结构，因此它包含 8 相输出时钟 (CKvco)，其频率为 Fvco。后端 VCO 通过 DIVMP[2:0]

对CKvco信号进行分频，然后生成一个8位CKmp输出时钟。可插入的最小延迟时间计算方法为：

$$Td_fine = T_{mp}/8 = 1/(8 \cdot F_{mp}) = N_{mp}/(8 \cdot F_{vco})$$

其中，Fvco为VCO频率。

粗调通过延迟计数器的起始时间来进行，计数器时钟的number已经设定。Ncox为设置的通道x计数器延迟时间的计数值。可插入的最小延迟时间计算方法为：

$$Td_coarse = T_{mp} \cdot N_{cox} = N_{cox}/F_{mp} = (N_{cox} \cdot N_{mp})/F_{vco} \quad (N_{cox} \text{ 范围为 } 0 \text{ 到 } 255)$$

因此，每个通道的总延迟为：Tdx=Tdx_fine+Tdx_coarse.

见下图示例：

假设 DIVMP[2:0]=010，可以得到 $F_{mp} = F_{vco}/4$

假设：

MKEN0=1	BPS0=0	SELC0PHASE[2:0]=000	CO0DLY[7:0]=8'd0	DIVC0[7:0]=8'd1
MKEN1=1	BPS1=0	SELC1PHASE[2:0]=001	CO1DLY[7:0]=8'd0	DIVC1[7:0]=8'd1
MKEN2=1	BPS2=0	SELC2PHASE[2:0]=000	CO2DLY[7:0]=8'd1	DIVC2[7:0]=8'd1
MKEN3=1	BPS3=0	SELC3PHASE[2:0]=001	CO3DLY[7:0]=8'd1	DIVC3[7:0]=8'd1

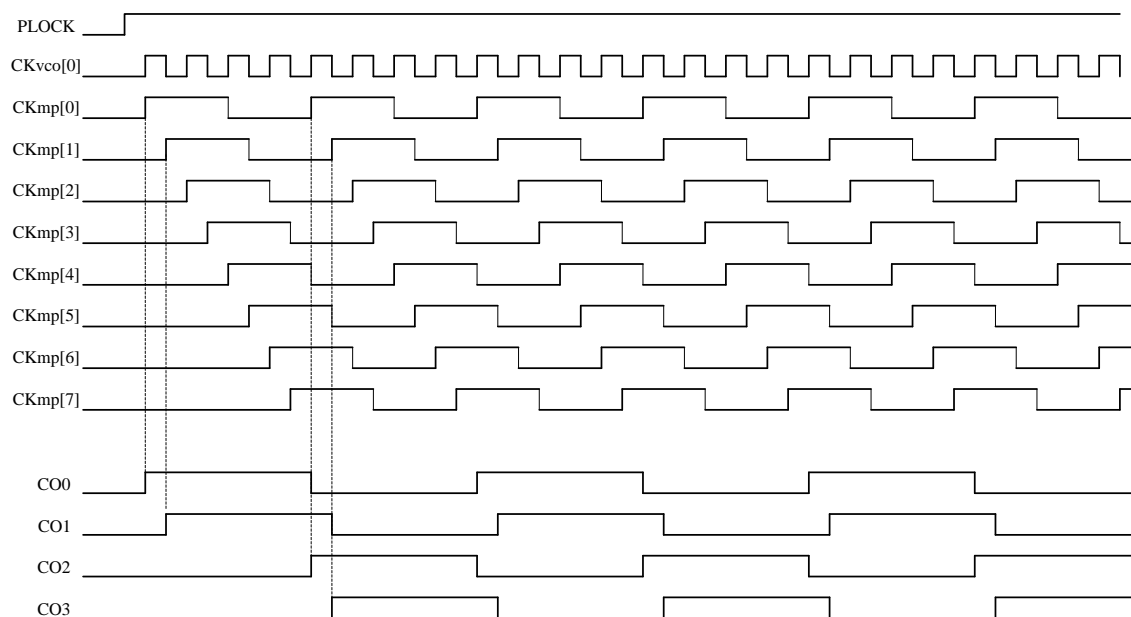


图 21 PLL 输出相位波形

振荡器 OSC

HR 系列器件配有芯片振荡器，可用于配置和用户设计。

功能

- ☐ 运行电压：1.1V 内核电源，2.5V 或 3.3V IO 电源
- ☐ 16 个可选频率，范围：2.39MHz~131.4MHz
- ☐ 频率精度（PVT）：±20%

- ☐ 占空比: 50%±5%
- ☐ 断电模式
- ☐ 待机模式

框图

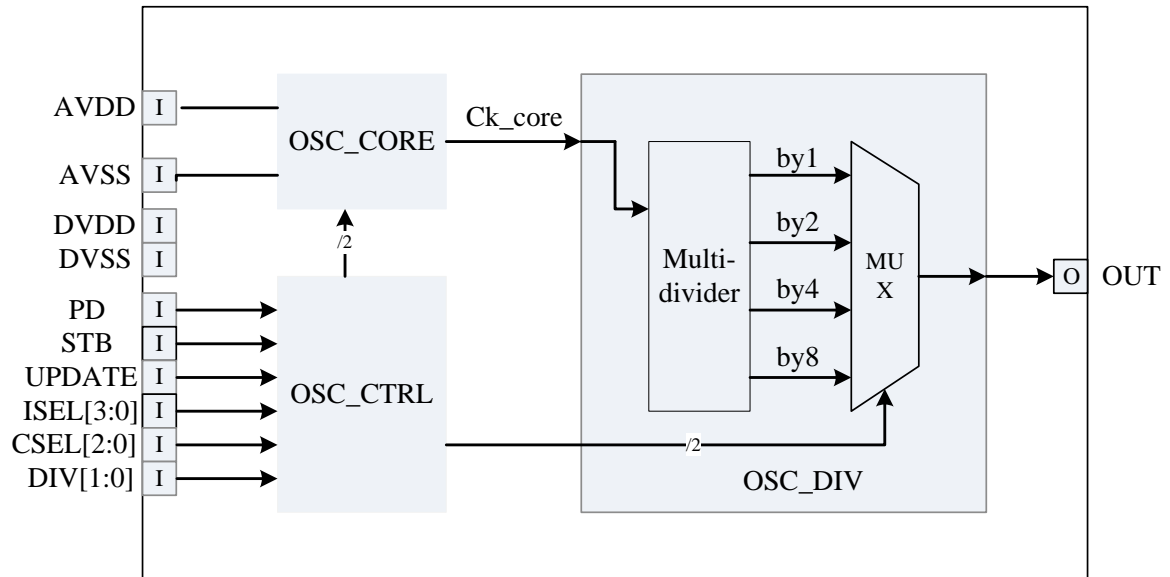


图 22 OSC 框图

简介

芯片配有一个用户可编程内部振荡器。可通过普通布线资源将振荡器的输出连接至时钟树（作为时钟），或连接至系统时钟 PLL（作为参考时钟）。当 IO 电源为 3.3V 时，振荡器频率范围为 2.39 MHz ~ 131.4 MHz。片上振荡器具有两个省电功能。掉电模式下所有器件都会被关闭。待机模式下 IO 器件将被打开，大多数核器件被关闭，这样可以降低稳定时间。

表 7 振荡器频率列表和设置

编号	控制位				振荡器频率 (MHz)	
	ISEL[1]	ISEL[0]	DIV[1]	DIV[0]	3.3V IO 电源	2.5V IO 电源
1	0	0	1	1	2.39	2.30
2	0	0	1	0	4.78	4.60
3	0	1	1	1	6.76	6.52
4	0	0	0	1	9.55	9.20
5	1	0	1	1	10.81	10.43
6	0	1	1	0	13.52	13.03
7	1	1	1	1	16.43	15.88
8	0	0	0	0	19.10 (默认)	18.39 (默认)
9	1	0	1	0	21.62	20.86
10	0	1	0	1	27.04	26.06

编号	控制位				振荡器频率 (MHz)	
	ISEL[1]	ISEL[0]	DIV[1]	DIV[0]	3.3V IO 电源	2.5V IO 电源
11	1	1	1	0	32.85	31.75
12	1	0	0	1	43.24	41.72
13	0	1	0	0	54.08	52.13
14	1	1	0	1	65.70	63.50
15	1	0	0	0	86.49	83.45
16	1	1	0	0	131.40	127.00

时钟管理模块

每个 HR FPGA 都包含四个时钟管理模块 (Clock Management Blocks, CMBs)，每个模块由一个 PLL，一个 DLL 和一个时钟切换开关组成。CMB 时钟输入可生成四个全局时钟，4 个 CMB 可生成 16 个全局时钟 (GCLK[15:0])，低抖动，低 skew 的互联全局时钟。这些时钟线非常适合携带高频率的信号穿过 FPGA，同时最小化时钟 skew 和改善性能，可用于所有时钟信号，也可用于高扇出的信号。

全局时钟框图

PLL 时钟输入源见下所示：

- ☐ 专用时钟引脚 (clk[3:0])：两组 clk[3:0]，连接四个 CMB。
- ☐ XTAL：外部晶体输入
- ☐ FP 信号
- ☐ 其它 CMB 全局时钟输出

DLL 时钟输入源包括：

- ☐ 专用时钟引脚 (clk[3:0])：两组 clk[3:0]，连接四个 CMB。
- ☐ PLL 输出
- ☐ FP 信号
- ☐ 其它 CMB 全局时钟输出

每个 CMB 从 clk[3:0] 分别输出 4 个全局时钟至全局时钟树，4 个 PLL 和 DLL 输出以及 FP 信号。因此总共有 16 个全局时钟。

时钟发生器的时钟分配至 skew-balanced 树中的 GBUF。LBUF 是时钟树的最后一个环节，会直接驱动触发器。LBUF 可提供精确的本地门控时钟。

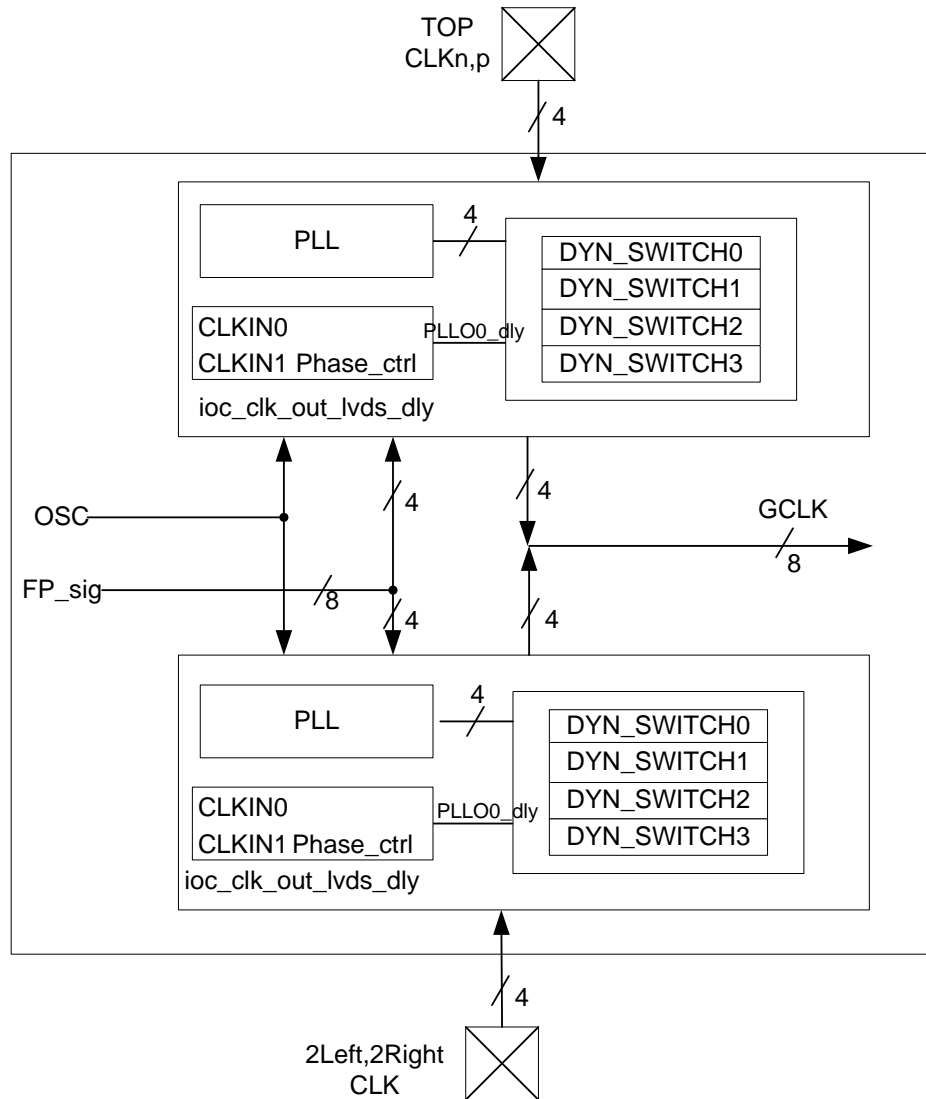


图 23 时钟框图

GBUF

GBUF可通过向导（Wizard）产生，允许时钟或普通信号直接进入全局时钟网络。

表 8 GBUF 端口定义

端口名称	类型	描述
in	输入	GBUF 输入
out	输出	GBUF 时钟输出

HR器件设有两个全局门控时钟，可通过GBUF_GATE轻松控制。

表 9 GBUF_GATE 端口定义

端口名称	类型	描述
clk	输入	时钟输入
en	输入	时钟使能，高有效
clk_out	输出	GBUF 时钟输出

LBUF

LBUF可通过向导（Wizard）产生，允许时钟或普通信号直接进入本地时钟网络。

表 10 LBUF 端口定义

端口名称	类型	描述
in	输入	LBUF 输入
out	输出	LBUF 时钟输出

时钟切换

一个 CMB 包含四个抗尖峰脉冲 CFG_DYN_SWITCH 复用器。每个 CFG_DYN_SWITCH 复用器都可产生一个 gclk 时钟。CFG_DYN_SWITCH 复用器不仅可以被用作静态时钟路径，也可提供系统两个时钟源之间无缝的时钟动态转换，同时启动序列，进入和退出低功耗操作模式。

原始 CFG_DYN_SWITCH h 用于执行在系统时钟动态切换。

表 11 CFG_DYN_SWITCH 端口定义

端口名称	类型	描述
in0	输入	GCLK 时钟源 0 输入。
in1	输入	GCLK 时钟源 1 输入。
out	输出	GBUF 全局时钟。
fp_sel	输入	时钟源选择：0：in0；1：输入 1。

表 12 Parameter 描述

端口名称	类型	描述
gclk_mux	数字	定义 CFG_DYN_SWITCH 的位置。
SEL	位	如果为原始，必须为 111。

表 13 全局对应时钟输入映射表

GCLK	IN0				IN1			
GCLK[0]/ gclk_mux 0	PLLO0	PLLO1	osc	CLK0	PLLO2	PLLO3	CLK1	FP
GCLK[1]/ gclk_mux 1	PLLO1	PLLO3	osc	CLK1	PLLO3	PLLO0	CLK2	FP
GCLK[2]/ gclk_mux 2	PLLO2	PLLO3	osc	CLK2	PLLO0	PLLO1	CLK3	FP
GCLK[3]/ gclk_mux 3	PLLO3	PLLO0_ DLY	osc	CLK3	PLLO1	PLLO2	DLL0	FP

对于每个 GCLK，CFG_DYN_SWITCH 输入 in0 和 in1 只能按照上表输入。in0 和 in1 的 PLL 和 LVDS 时钟相位延迟必须来自同一个时钟发生器。

本章列出了配置和调试数据，方便用户快速搜索。

第3章 配置和调试

HR 系列器件可在内部存储器中加载指定的应用配置数据（比特流）来进行配置。由于 CME 器件的配置存储器为非易失性存储器，所以必须在每次上电后进行配置。

配置模式和引脚

比特流可通过特定的配置引脚加载至器件。这些配置引脚在一些不同的配置模式下可作为接口使用。

配置模式共三种：JTAG，AS 和 PS 模式，可通过专用的 JM_B 和 SS 引脚定义。当器件上电或复位时，选择模式时两个引脚值会被锁定。配置模式见下表所示。

表 14 配置模式

模式引脚		模式	描述
JM_B	SS		
X	1	AS	主动串行模式。芯片会自动配置。配置数据存储在 SPI Flash 中。
X	0	PS	芯片为从设备。 外部微控制器将配置数据传输至芯片中。
0	X	JTAG	基于 JTAG 配置。该模式高于 AS 和 PS 模式。
1	X	AS/PS	JTAG 无法配置 HR 器件。

表 15 配置引脚

SPI 串行配置引脚		
SCLK	输入/输出	在被动串行模式下，SCLK 为时钟输入。主动串行配置模式下，SCLK 为器件的时钟输出。 配置完后该引脚可以作为普通用户 I/O 使用。
SDI	输出	AS 模式专用配置数据输出引脚。 JTAG 模式下配置完后该引脚可以作为普通用户 I/O 使用。
SDO	输入	器件串行数据输入 AS 模式下配置完后该引脚可以作为普通用户 I/O 使用。 JTAG 模式下配置完后该引脚可以作为普通用户 I/O 使用。
SS	双向	片选。AS 模式下输出片选 SPI Flash；PS 模式下，外部主机片选 HR 器件。
专用配置引脚		
CFGDONE	输出	当器件上电或复位时，引脚值会被锁定，以选择模式。 1：主动串行模式，0：被动串行模式

©Copyright 2015 Capital Microelectronics Co., Ltd. 保留所有权利。

本手册中包含的信息已经仔细检查并认为是完全可靠的。但是，不对手册中可能或潜在的错误负责。京微雅格（北京）科技有限公司保留停止发布或修改手册而不事先通知的权利。为确保获得最新的产品信息，建议您及时更新手册版本。

SPI 串行配置引脚		
		该输出用于 AS 模式下。AS 模式下配置完后该引脚可用作普通的用户 I/O。 也可以在 PS 模式下用作芯片选择控制（输入）。PS 模式下配置完成后该引脚可用作普通的用户 I/O。
nCONFIG	输入	芯片全局复位输入。低有效。
专用引脚：JTAG		
JM_B	输入	当器件上电或复位时，引脚值会被锁定，以选择模式。 1: TCK/TDI/TDO/TMS 引脚无 JTAG 功能，只作用用户 I/Os 0: TCK/TDI/TDO/TMS 引脚只有 JTAG 功能。
TCK	输入	TCK 输入扫描时钟。
TDI	输入	TDI 输入扫描数据输入。
TDO	输出	TDO 输出扫描数据输出。
TMS	输入	TMS 输入扫描模式选择。

配置流程

整个配置过程包括以下几个步骤：

- ☐ 上电
- ☐ 复位
- ☐ 初始化
- ☐ 配置
- ☐ 用户模式

当器件从断电模式切换到上电模式时，VDDCORE 和 VDD33（配置引脚和 JTAG 引脚区的 I/O bank）必须达到相应的水平，以使器件从 POR 模式退出。

上电后，HR 器件会通过 POR。POR 时器件会复位，保留 CONF_DONE 低，所有三态用户 I/O 引脚。当器件从 POR 退出时，所有用户 I/O 引脚继续切换至三态模式。当 nCONFIGis 处于低电平时，初始化时钟源为内部振荡器。器件可提供足够的时钟循环，以确保初始化正确，从而清除配置存储器。

初始化完成后，器件可以接收配置数据，同时配置程序启动。配置时钟总数大约为 693146。当配置数据接收后，CONF_DONE 处于高电平，器件进入用户模式。

POR 电路具有以下功能：

- ☐ 上电/断电检测，触发点：
 - VDDCORE: 0.8V
 - VDD33: 1.86V
- ☐ VDDCORE 和 VDDIO 的上升时间范围为 200ns 到 1s

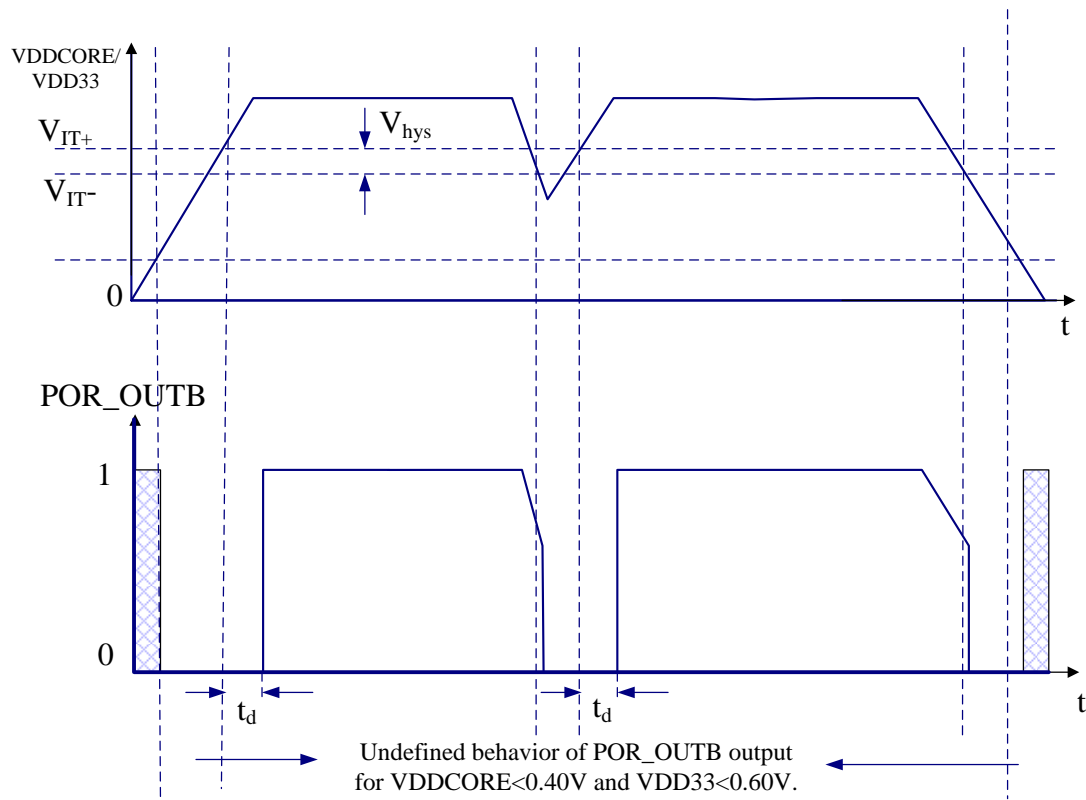


图 24 POR 波形



警告：VDDCORE 必须在 VDD33 前达到触发点电压。

配置模式

AS 模式

可使用 CME 下载线连接 JTAG 从而操作 SPI Flash，或者也可直接操作 SPI Flash。

下图为使用 JTAG 间接配置 AS 模式。

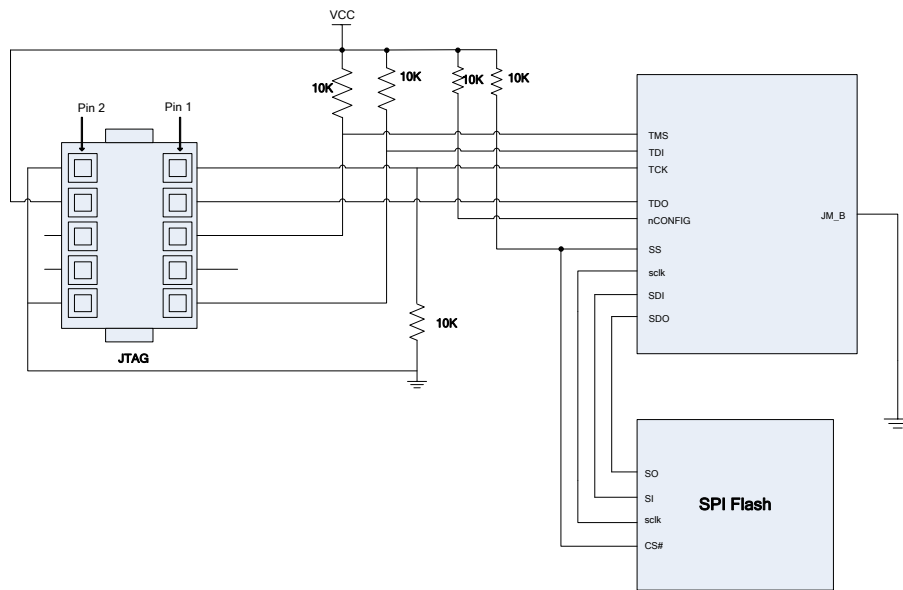


图 25 配置 AS (基于 JTAG)

PS 模式

在 PS 模式下，HR 系列器件可以作为从设备被动接受来自外部主控器的配置数据。SPI 主控器不能读取 HR 系列器件的配置数据，因为 PS 主控器或 CME 数据线不能操作 HR 嵌入式 Efuse，Efuse 只能通过 JTAG 编程。

下图为 HR 器件处于 PS 配置模式。

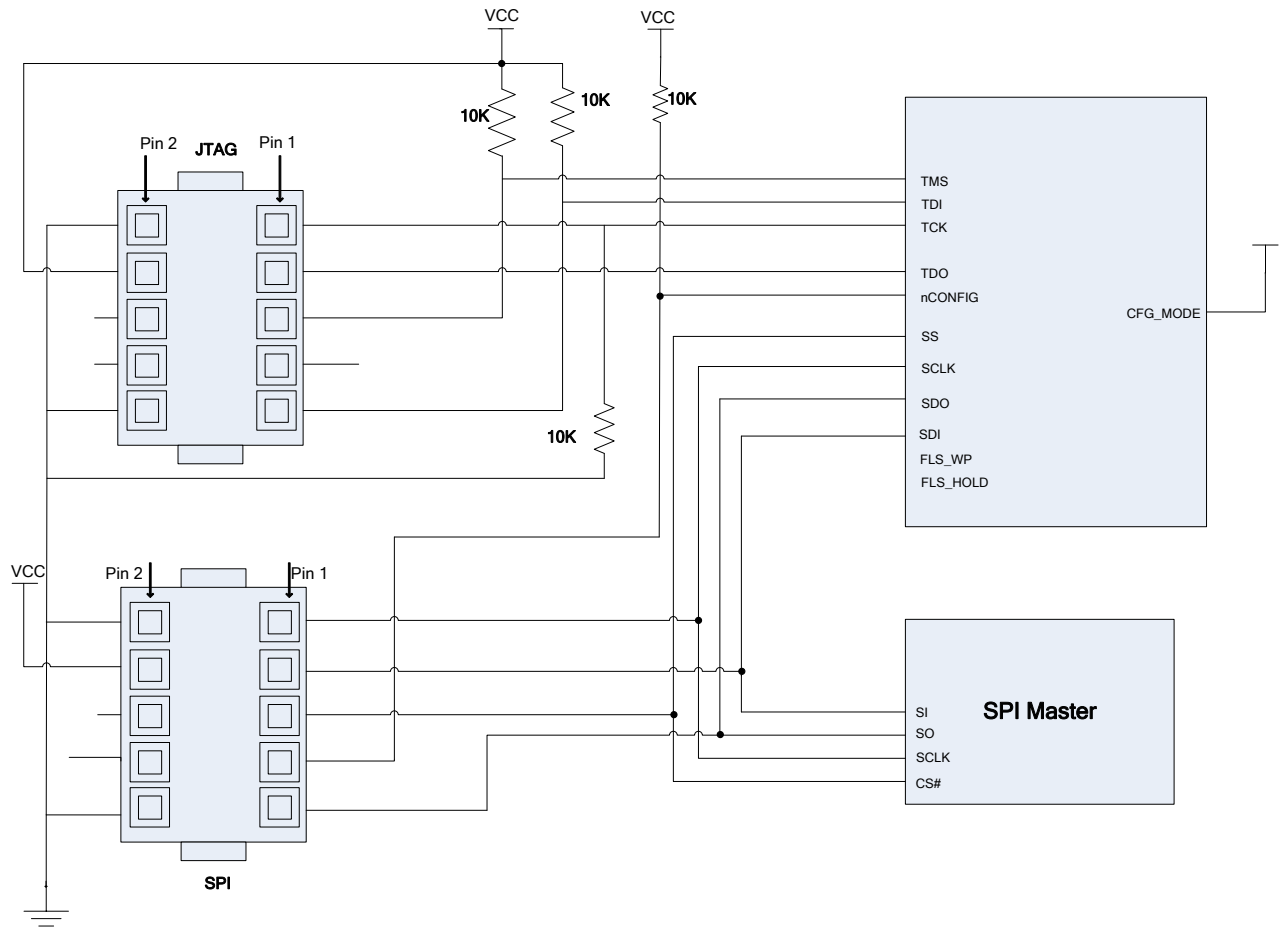


图 26 PS 模式

JTAG 模式

HR 系列器件内部设有两套 JTAG 电路，分别用于 FPGA 调试和配置。

JTAG 界面可访问和调试配置，同时编程 HR 嵌入式 Efuse。下图为 JTAG 配置模式下的 HR 系列器件。

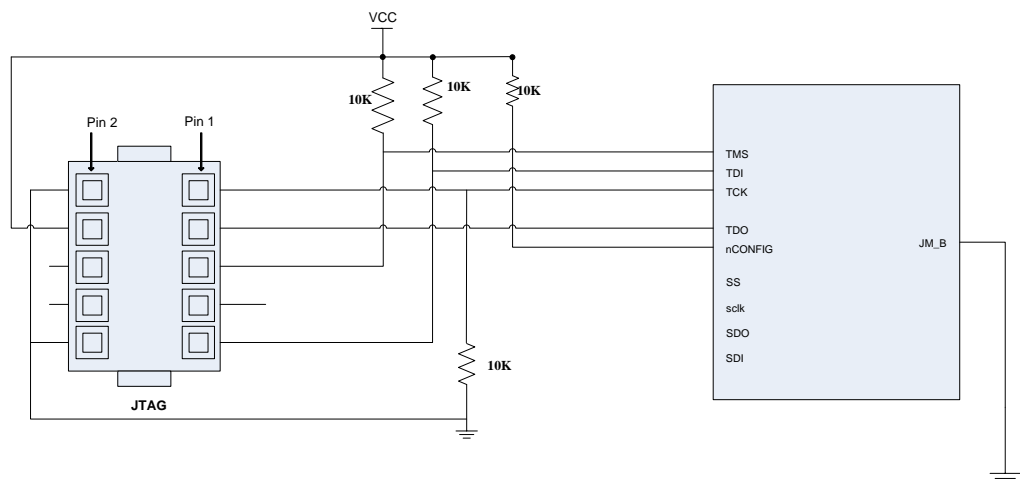


图 27 JTAG 配置

eFUSE

CME-HR 器件包含一个 256 位的 eFUSE, 为一次性电子可编程 fuse 存储器。eFUSE 可存储 128 位 AES 密钥, 用于比特流解密和其它用户数据设置。

连接 CME 下载线后, 可使用配套的 Primace 软件的 E-FUSE Burner 编程 eFUSE。

eFUSE 支持编程和对比操作, 详见 HR 配置用户手册。

eFUSE field 描述

表 16 eFUSE 区

位	描述
保留区	
255:248	Crc 检验, 用户保留区
247:182	保留
181:166	用户可以通过 JTAG 编程, 通过 efuse_idx16 原语 IP 获取其内容。
165	efuse_lock_bit, efuse 锁定位。 0: efuse 可以编程 1: efuse 被锁定, 不能编程
164	Secure_efuse_aes, AES 安全位。 0: 禁用 AES 1: 使能 AES
163	保留
162	Secure_efuse_jtag, JTAG 禁用位。 0: JTAG 不能访问 HR 器件 1: JTAG 不能访问 HR 器件
161:160	保留
159:152	用户低区 Crc 用校验
151:129	保留
128	User_efuse_lock_bit_low
127:0	AES 密钥[127:0]

表 17 Efuse 原始 efuse_idx16 描述

端口名称	类型	描述
out[15:0]	输出	16 位用户输出 out[15:0] = 上表 efuse 值[181:166]

AES

高级加密标准 (Advanced Encryption Standard, AES) 是对电子数据进行加密的一种技术。AES 算法采用 128 位密钥对配置流进行加密。CME-HR 系列器件使用 128 位密钥对存储在 Efuse 中加密的比特

流进行解密。如果 2 个 128 位密钥能够匹配，那么配置将成功，否则配置失败，器件不能工作。

加密和解密流程请见下图所示。

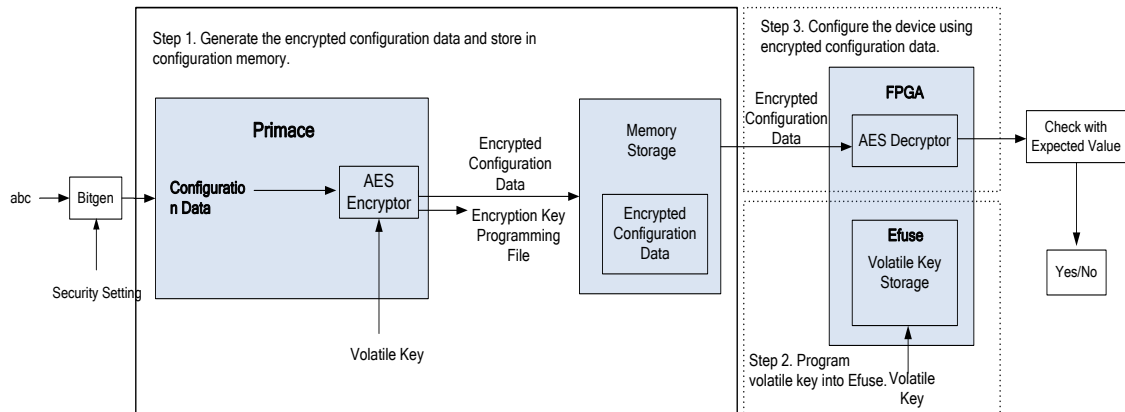


图 28 加密和解密流程图

本章列出了直流和交流特性数据，方便用户快速搜索。

第4章 直流和交流特性

所有参数指最差的供电电压和结点温度。如无特殊说明，以下信息适用于：同一商业和工业级别规定的交流和直流特性。所有参数均为电压对地时的值。

直流电气特性

最大绝对额定值

超过下表最大绝对额定值可能会导致器件永久性损坏。这些值仅表示在该额定值下操作不会损坏器件，但不表示器件在此极限值下功能正常。器件的功能性操作或基于此的任何条件最大绝对额定值可能会造成器件永久损坏。器件长期在极值条件下运行，会严重的影响器件的可靠性。

表 18 最大绝对额定值

标识	描述	条件	最小	最大	单位
VDD_CORE	内核供电电压		-0.5	1.3	V
VDDIO	I/O 驱动供电电压		-0.5	3.63	V
VIN	所有用户 I/O 引脚 和 双功能引脚电压	高阻抗状态下驱动	-0.95		V
	所有专用引脚电压		-0.8		V
VESD	静电放电电压	人体模型	0	±2000	V
		带电装置模型	-	±500	V
		机器模型	-	±200	V
TJ	结点温度		-40	100	°C
TSTG	存储温度		-65	150	°C

电源指标

表 19 上电复位电压阈值

标识	描述	最小	最大	单位
VDD_CORET	VDD_CORE 阈值	0.81		V

©Copyright 2015 Capital Microelectronics Co., Ltd. 保留所有权利。

本手册中包含的信息已经仔细检查并认为是完全可靠的。但是，不对手册中可能或潜在的错误负责。京微雅格（北京）科技有限公司保留停止发布或修改手册而不事先通知的权利。为确保获得最新的产品信息，建议您及时更新手册版本。

标识	描述	最小	最大	单位
VDD33T	VDDIO 阈值	1.91		V

表 20 供电电压爬升时间

标识	描述	最小	最大	单位
TVDD_CORET	从 GND 到有效的 VDD_CORE 供电的爬升时间	1		us
TVDDIOR	从 GND 到有效的 VDDIO 供电的爬升时间	1		us



注意：VDD_CORE 必须在 VCCIO 之前达到阈值。

操作条件建议

表 21 基本操作条件建议

标识	参数	最小	典型	最大
TJ	结点温度	-40°C	25°C	125°C
VDD_CORE	核电压	1.045V	1.1V	1.155V
		1.14V	1.2V	1.26V
VDD2V5	JTAG/FLASH 电源	2.25V	2.5V	2.75V
VDDIO	I/O 供电电压 @ 3.3V	3.135V	3.3V	3.465V
	@2.5V	2.375V	2.5V	2.625V
	@1.8V	1.71V	1.8V	1.89V
	@1.5V	1.425V	1.5V	1.575V
V _I	输入电压	-0.5	-	VDDIO +0.3
V _O	输出电压	-0.3	-	VDDIO
I _L	输入漏电电流	±1μA		

通用 IO 引脚直流特性

表 22 I/O 引脚泄漏电流

标识	参数	最小	典型	最大
I _{oz}	三态 I/O 引脚泄漏电流	-10uA	-	10uA
I _L	输入泄漏电流	-10uA	-	10uA
I _{CL}	VCC 内核泄漏电流		37uA	

表 23 单 I/O 引脚驱动力

支持的电压和电流能力	属性	值
驱动能力	I/O 供电电压 @ 3.3V	4mA
		8mA
		12mA
		16mA
	I/O 供电电压 @ 2.5V	4mA

支持的电压和电流能力	属性	值
		8mA
		12mA
		16mA
	I/O 供电电压 @ 1.8V	2mA
		4mA
		8mA
		12mA
	I/O 供电电压 @ 1.5V	2mA
		4mA
		8mA

 注意：所有 IO 支持单端 I/O 标准，例如 LVCMOS。在 10% 到 90% VDDIO 之间测量。

表 24 单端 I/O 上拉下拉电阻器

标识	参数	最小	典型	最大	单位
R _{PU}	I/O 引脚上拉电阻器值		70		kΩ
R _{PD}	I/O 引脚下拉电阻器值		50		kΩ

I/O 标准规格

表 25 单端 I/O 标准输入直流规格

I/O 标准	VDDIO (V)			Vref (V)			Vil (V)	Vih (V)
	最小	典型	最大	最小	典型	最大	最大	最小
3.3V LVTTTL 和 LVCMOS	3.135V	3.3	3.465V	-	-	-	0.8	2
2.5V LVTTTL 和 LVCMOS	2.375V	2.5	2.625V	-	-	-	0.7	1.7
1.8V LVTTTL 和 LVCMOS	1.71V	1.8	1.89V	-	-	-	0.35 x VDDIO	0.65 x VDDIO
1.5V LVCMOS	1.425V	1.5	1.575V	-	-	-	0.35 x VDDIO	0.65 x VDDIO

表 26 单端 I/O 标准输出直流规格

I/O 标准	测试条件		电压阈值	
	I _{ol} (mA)	I _{oh} (mA)	最大 Vol (V)	最小 Voh (V)
3.3V LVTTTL			0.4	2.4
3.3V LVCMOS			0.4	VDDIO – 0.5
2.5V LVTTTL 和 LVCMOS			0.4	2.1
1.8V LVTTTL 和 LVCMOS			0.45	VDDIO – 0.5
1.5V LVTTTL 和 LVCMOS			0.375	VDDIO – 0.4

表 27 差分 I/O 标准输入直流规格

I/O 标准	Vccio (V)			Vid (V)			Vicm (V)			Vinp (输入电压)	
	最小	典型	最大	最小	典型	最大	最小	典型	最大	最小	最大
LVDS	2.375	2.5	2.625	0.25	0.35	0.45	Vccio/2-0.3	Vccio/2	Vccio/2+0.3	0	2.5
subLVDS	1.71	1.8	1.89	0.1	0.15	0.2	Vccio/2-0.25	Vccio/2	Vccio/2+0.25	0	1.8

表 28 差分 I/O 标准输出直流规格

I/O 标准	Vod (mV)			Delta (Vod) (mV)		Vocm (V)			Voh (V)		Vol (V)	
	最小	典型	最大	最小	最大	最小	典型	最大	最小	最大	最小	最大
LVDS		300					1.25					
subLVDS		350					0.9					

交流特性

由于时序参数及其典型值是常规的设计重要参数,也是器件的基本性能参数,因此专门列出供用户参考,见以下各表。

时钟性能

表 29 推荐的全局时钟操作频率

标识	最大频率	单位
GCLK	400	MHz

PLL 指标

表 30 PLL 指标

标识	描述	最小	典型	最大	单位
REFCK	输入时钟频率	5		133	MHz
Fpfd	PFD 输入频率	5		133	MHz
Fout	输出频率	16		400	MHz
Fvco	VCO 操作频率	533		1066	MHz
Tlock	锁定时间			100	us
Duty	输出时钟占空比	45	50	55	%
N	输入分频器	1		256	--
M	环路分频器	1		256	--
MP *1	VCO 后端分频器	1		16 *1	--
C0~C3	输出分频器	1		256	--
Ntmp	输出时钟延迟	1		256	--
Terr	静态相位误差	-10		10	Degree
Ivddpll	功耗		14*2		mA
Trst	复位信号脉宽	20			us

标识	描述	最小	典型	最大	单位
Ipd	总断电电流		150		nA
Ibp *2	总旁路电流		300		nA
Tmux	相位控制延迟单元 1 MUX 延迟	0.15	0.2	0.25	ns
Tfixed	CFBCK 延迟相位控制输入, 除 MUXs 外。	2.4	2.45	2.5	ns

注意:

*1: VCO 后端分频器 MP 值为 1, 2, 4, 8 和 16

*2: VCO 测试值 = 1066MHz, 4 通道输出 = 66MHz

OSC 规格

表 31 OSC 规格

标识	描述	最小	典型	最大	单位
Fout	输出时钟频率	2.39		131.4	MHz
T _{dt}	输出时钟占空比	45	50	55	%
Ivddc	内核电源功耗			108	uA
Ivddosc	高电压功耗		40.2		uA
Ipd	总断电电流			1	uA
Tjit	抖动性能		0.1		UIPP
Tstalbe_pup	PD 低电平至 OSC 稳定			0.5	us
Tstalbe_stb	STB 低电平至 OSC 稳定			0.2	us

I/O 定时

表 32 单 I/O 性能

IO 标准	主要用途	驱动强度	最大频率
	3.3v 通用	16mA	250MHz
	2.5v 通用	16mA	250MHz
	1.8v 通用	12mA	155MHz
	1.5v 通用	8mA	155MHz

表 33 差分 IO 目标工作频率

IO 标准	主要用途	驱动强度
LVDS TX	2.5v	400 MHz
	1.8v	300 MHz
LVDS RX	2.5v	400 MHz
	1.8v	300 MHz

LP 定时

表 34 LP 定时

标识	描述	最小	最大	单位
tco	读取触发器时，CLK 输入的有效过渡到 QS (QX) 输出数据出现的时间	446	497	ps
tsu	LUT 输入设置数据到 Reg CLK 输入有效过渡的时间	7	989	ps
th	数据对时钟的保持时间	-878	177	ps
tp	LP 触发器的数据输入到输出传输时间	68	1062	ps

PLB 性能

表 35 PLB 性能

标识	描述	最小	最大	单位
ADD16	16 位计数器性能@推荐操作条件		225	MHz
ADD32	32 位计数器性能@推荐操作条件		210	MHz
ADD64	64 位计数器性能@推荐操作条件		200	MHz
CNT8	8 位计数器性能@推荐操作条件		382	MHz
CNT16	16 位计数器性能@推荐操作条件		290	MHz
CNT32	32 位计数器性能@推荐操作条件		240	MHz

EMB 性能

表 36 EMB 性能

标识	描述	最小	最大	单位
EMB5K	使用寄存器带宽		300M	MHz
	不使用寄存器带宽		250M	MHz
EMB18K	使用寄存器带宽		300M	MHz
	不使用寄存器带宽		250M	MHz

配置规格

表 37 配置规格

标识	描述	最小	最大	单位
TCK	JTAG TCK 配置频率		50M	MHz

标识	描述	最小	最大	单位
SCLK	PS 配置时钟 SCLK 频率		20M	MHz
OSC	AS 配置时钟频率			

本章列出了引脚和封装数据，方便用户快速搜索。

第5章 引脚和封装

引脚定义和规则

表 38 引脚定义和规则

引脚名称	方向	描述
用户 I/O 引脚		
IOXX_# IO_XXY_#	输入/输出	通用型用户 I/O 引脚。XX 表示一个 bank 里的 I/O 数；Y 表示差分 I/O 对的 p 或 n。
多功能引脚		
IOXXX/ZZZ_#		多功能引脚标识为 IOXXX/YYY_#，其中 YYY 表示除通用的用户 I/O 外下述功能中的一个或多个功能。 如未用于特定功能，则可作用户 I/O 使用。
多功能引脚：SPI 串行配置引脚		
SCLK	输入/输出	在被动串行模式下，SCLK 为时钟输入。主动串行配置模式下，SCLK 为器件的时钟输出。 配置完后该引脚可以作为普通用户 I/O 使用。
SDI	输出	AS 模式专用配置数据输出引脚。 JTAG 模式下配置完后该引脚可以作为普通用户 I/O 使用。
SDO	输入	器件串行数据输入 AS 模式下配置完后该引脚可以作为普通用户 I/O 使用。 JTAG 模式下配置完后该引脚可以作为普通用户 I/O 使用。
SS	双向	片选。AS 模式下输出片选 SPI Flash；PS 模式下，外部主机片选 HR 器件。
多功能引脚：配置引脚		
CFGDONE	输出	专用配置状态引脚，配置器件会输出高电平。配置完后可以用作普通的用户 I/O。
nCONFIG	输入	芯片全局复位输入。低有效。
多功能引脚：时钟引脚		
CLKX	输入	这些时钟引脚连接至全局时钟缓冲器。 当不需要时钟时会作为普通用户 I/O 使用。

©Copyright 2015 Capital Microelectronics Co., Ltd. 保留所有权利。

本手册中包含的信息已经仔细检查并认为是完全可靠的。但是，不对手册中可能或潜在的错误负责。京微雅格（北京）科技有限公司保留停止发布或修改手册而不事先通知的权利。为确保获得最新的产品信息，建议您及时更新手册版本。

引脚名称	方向	描述
专用引脚: JTAG		
TCK	输入	TCK 输入边界扫描时钟
TDI	输入	TDI 输入边界扫描数据输入
TDO	输出	TDO 输出边界扫描数据输出
TMS	输入	TMS 输入边界扫描模式选择
JM_B	输入	当器件上电或复位时, 引脚值会被锁定, 以选择模式。 1: TCK/TDI/TDO/TMS 引脚无 JTAG 功能, 只用作用户 I/O 0: TCK/TDI/TDO/TMS 引脚只用作 JTAG 功能
专用引脚: 电源		
VDDIO	N/A	IO 数字电源 与同一区内其它所有 VCCO 引脚一起, 可选 1.5V, 1.8V, 2.5V 和 3.3V
VDD_CORE	N/A	内核数字电源, 1.1V
VDD2V5	N/A	配置区数字电源, 2.5V
GND	N/A	数字接地

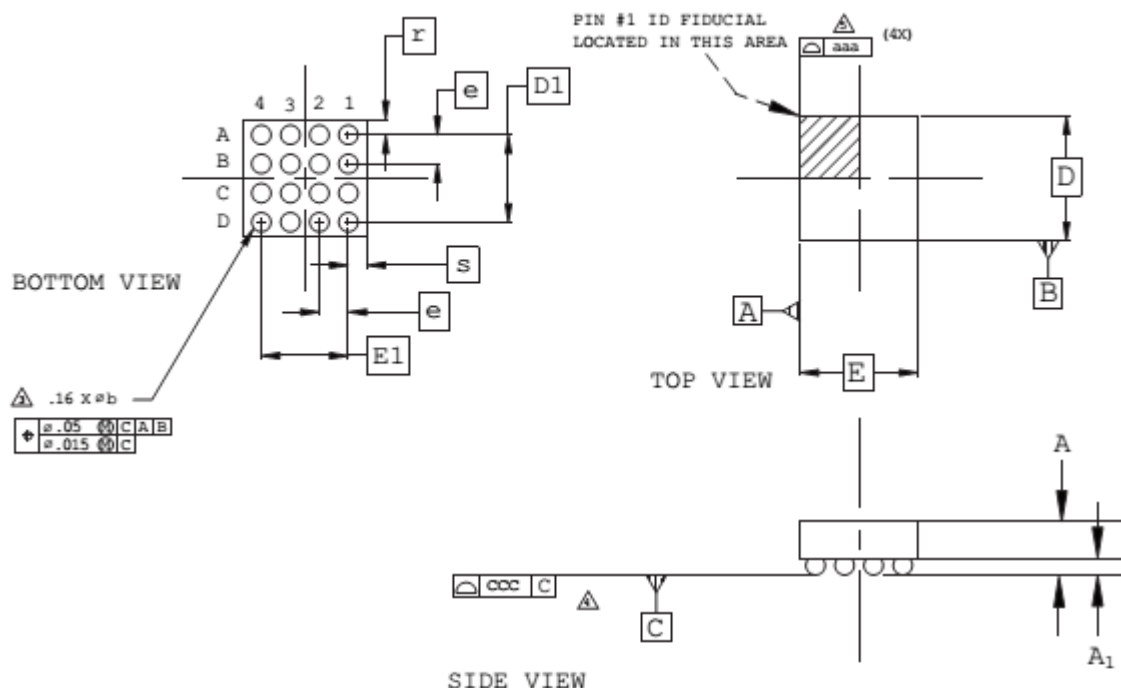


警告:

- 1) VDD2V5 供电必须为 2.5V。
- 2) 必须符合电源时序要求。VDD_CORE 必须在 VDD2V5 之前上电。

封装信息

16-Ball WLCS 封装规格



NOTES:

1. ALL DIMENSIONS AND TOLERANCE PER ASME Y 14.5M - 1994.
2. ALL DIMENSIONS ARE IN MILLIMETERS.

△ DIMENSION "b" IS MEASURES AT THE MAXIMUM BUMP DIAMETER PARALLEL TO PRIMARY DATUM C.

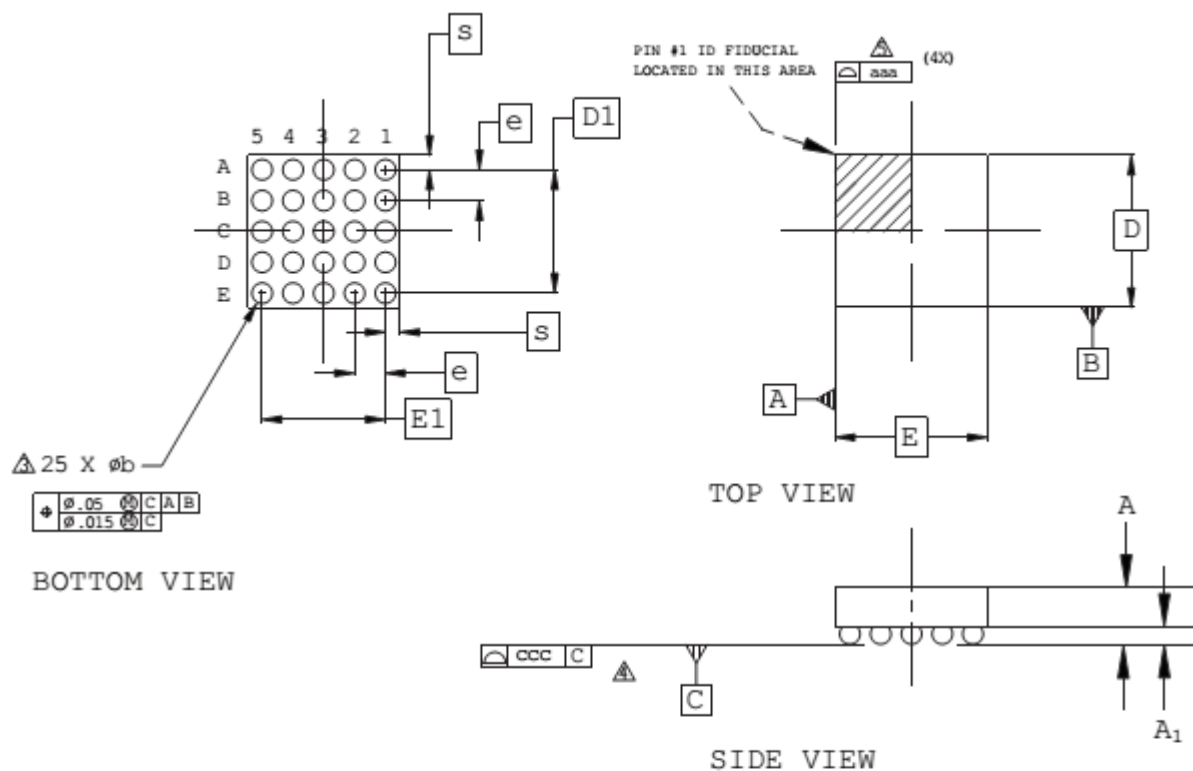
△ PRIMARY DATUM C AND SEATING PLANE ARE DEFINED BY THE SPHERICAL CROWNS OF THE SOLDER BUMPS.

△ BILATERAL TOLERANCE ZONE IS APPLIED TO EACH SIDE OF THE PACKAGE BODY.

REF.	Min.	Nom.	Max.
A	0.413	0.452	0.491
A1	0.122	0.152	0.182
b	0.188	0.218	0.248
D	1.40 BSC		
E	1.48 BSC		
D1	1.05 BSC		
E1	1.05 BSC		
e	0.35 BSC		
aaa	0.03		
ccc	0.03		
r	-	0.175	-
s	-	0.215	-

单位：毫米

25-Ball WLCS 封装规格



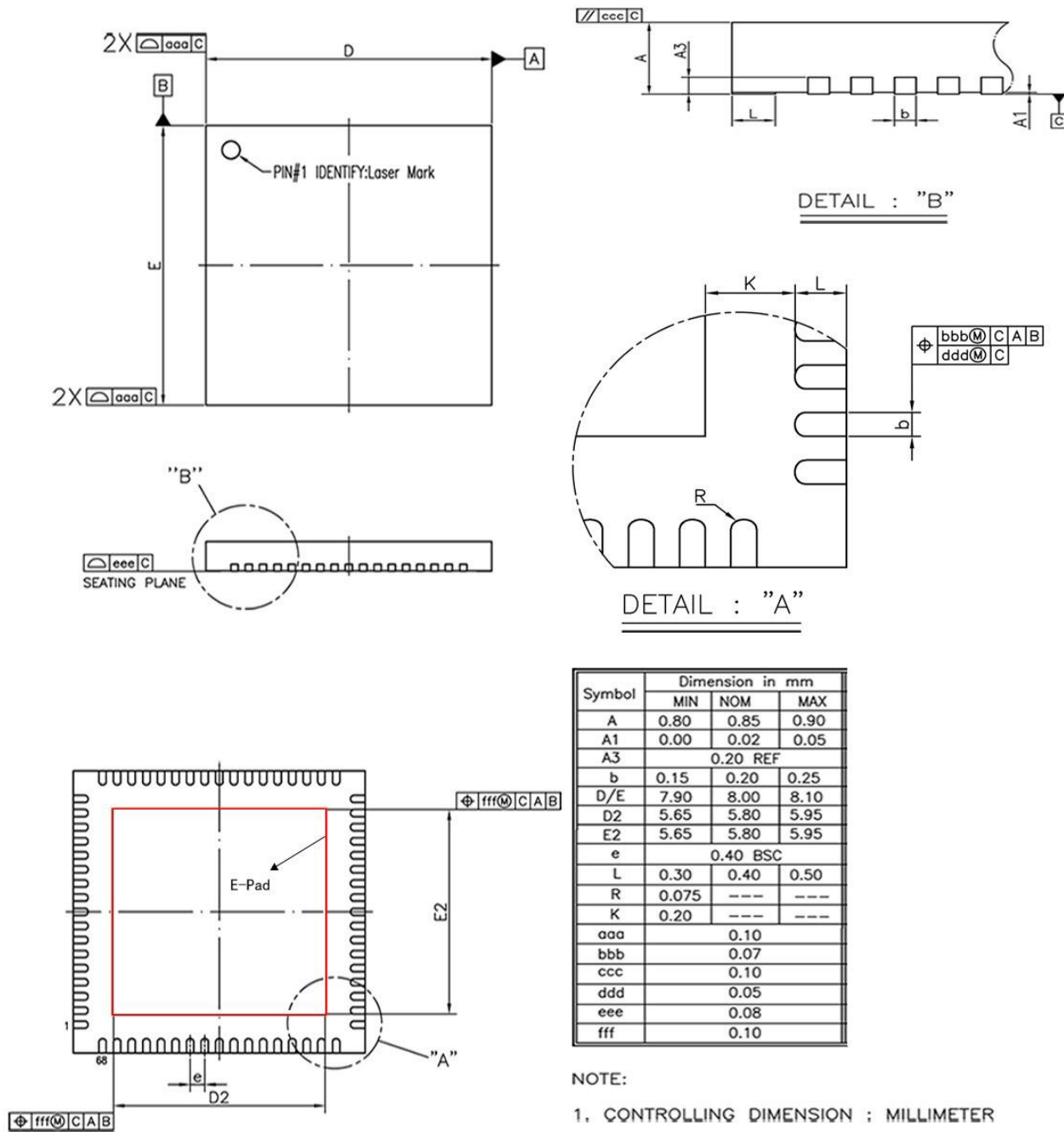
Notes:

- 1 ALL DIMENSIONS AND TOLERANCE PER ASME Y 14.5M - 1994.
- 2 ALL DIMENSIONS ARE IN MILLIMETERS.
- 3 DIMENSION "b" IS MEASURED AT THE MAXIMUM BUMP DIAMETER PARALLEL TO PRIMARY DATUM C.
- 4 PRIMARY DATUM C AND SEATING PLANE ARE DEFINED BY THE SPHERICAL CROWNS OF THE SOLDER BUMPS.
- 5 BILATERAL TOLERANCE ZONE IS APPLIED TO EACH SIDE OF THE PACKAGE BODY.

REF.	Min.	Nom.	Max.
A	0.413	0.452	0.491
A1	0.122	0.152	0.182
b	0.188	0.218	0.248
D		1.71 BSC	
E		1.71 BSC	
D1		1.40 BSC	
E1		1.40 BSC	
e		0.35 BSC	
aaa		0.03	
ccc		0.03	
s	-	0.015	-

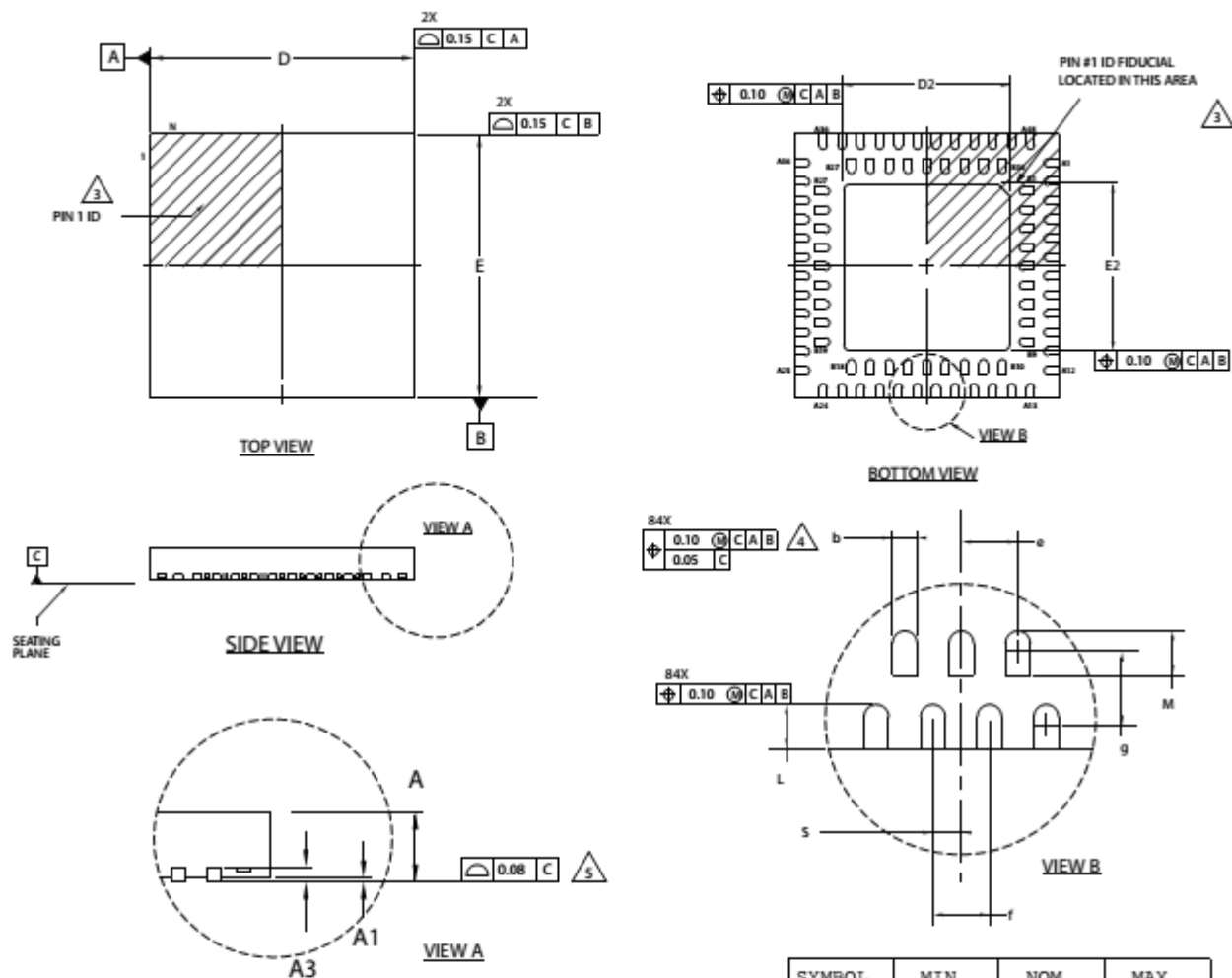
单位：毫米

QFN68 封装规格



单位：毫米

84-Pin QFN 封装规格



NOTES: UNLESS OTHERWISE SPECIFIED

- DIMENSIONS AND TOLERANCES PER ANSI Y14.5M.
- ALL DIMENSIONS ARE IN MILLIMETERS.
- EXACT SHAPE AND SIZE OF THIS FEATURE IS OPTIONAL.
- DIMENSION b APPLIES TO PLATED TERMINAL AND IS MEASURED BETWEEN 0.15 AND 0.30 mm FROM TERMINAL TIP.
- APPLIES TO EXPOSED PORTION OF TERMINALS.

SYMBOL	MIN.	NOM.	MAX.
A	0.75	0.85	0.95
A1	0.00	0.02	0.05
A3	0.15 REF		
D	7.0 BSC		
D2	4.30	-	4.50
E	7.0 BSC		
E2	4.30	-	4.50
b	0.17	0.22	0.27
e	0.50 BSC		
f	0.50 BSC		
g	0.65 BSC		
S	0.25 BSC		
L	0.30	0.40	0.50
M	0.30	0.40	0.50

单位：毫米

BOTTOM VIEW

Dimensions: M , N , e , S , $b \varnothing$.

Grid labels: 6, 5, 4, 3, 2, 1 (horizontal); A, B, C, D, E, F (vertical).

Feature 3:

$\varnothing .15$	$\varnothing .05$	C	A	B
$\varnothing .05$		C		

TOP VIEW

Dimensions: D , A , B , E .

Feature 5: $aaa (4X)$.

Feature 6: $4X$.

SIDE VIEW

Dimensions: A , A_1 , A_2 .

Feature 4: ddd , C .

Feature 6: bbb , C .

Feature 3: $PIN \#1 ID FIDUCIAL LOCATED IN THIS AREA$.

3 DIMENSION "b" IS MEASURED AT THE MAXIMUM SOLDER BALL DIAMETER, PARALLEL TO PRIMARY DATUM [C]

4 PRIMARY DATUM [C] AND SEATING PLANE ARE DEFINED BY THE SPHERICAL CROWNS OF THE SOLDER BALLS.

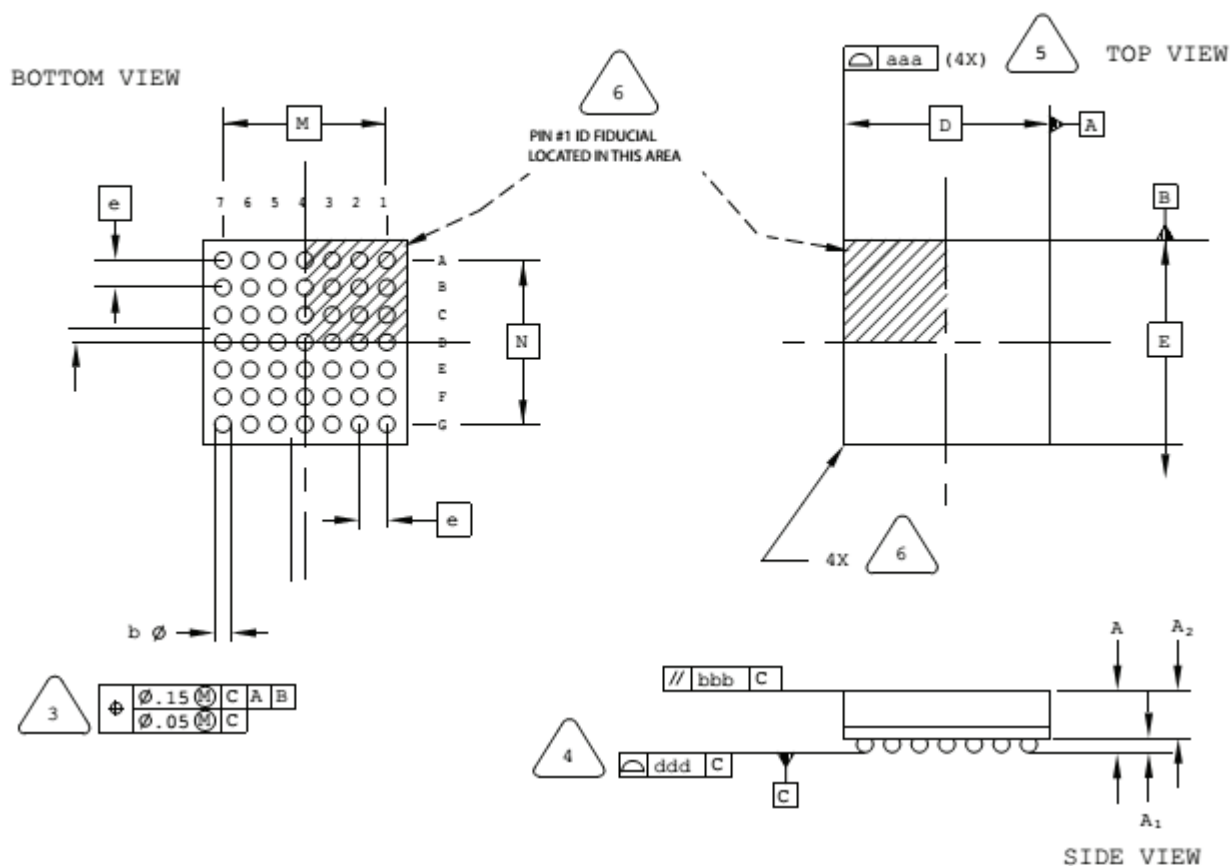
5 BILATERAL TOLERANCE ZONE IS APPLIED TO EACH SIDE OF THE PACKAGE BODY.

6 EXACT SHAPE AND SIZE OF THIS FEATURE IS OPTIONAL.

SYMBOL	MIN.	NOM.	MAX.
A	-	-	1.00
A1	0.10	-	-
A2	-	-	0.90
D/E	2.50 BSC		
M/N	2.00 BSC		
S	0.20 BSC		
b	0.20	0.25	0.30
e	0.40 BSC		
aaa	-	-	0.10
bbb	-	-	0.10
ddd	-	-	0.10

www.capital-micro.com

49-Ball ucBGA 封装规格



NOTES: UNLESS OTHERWISE SPECIFIED

- DIMENSIONS AND TOLERANCES PER ANSI Y14.5M.
- ALL DIMENSIONS ARE IN MILLIMETERS.



DIMENSION "b" IS MEASURED AT THE MAXIMUM SOLDER BALL DIAMETER, PARALLEL TO PRIMARY DATUM C



PRIMARY DATUM C AND SEATING PLANE ARE DEFINED BY THE SPHERICAL CROWNS OF THE SOLDER BALLS.



BILATERAL TOLERANCE ZONE IS APPLIED TO EACH SIDE OF THE PACKAGE BODY.

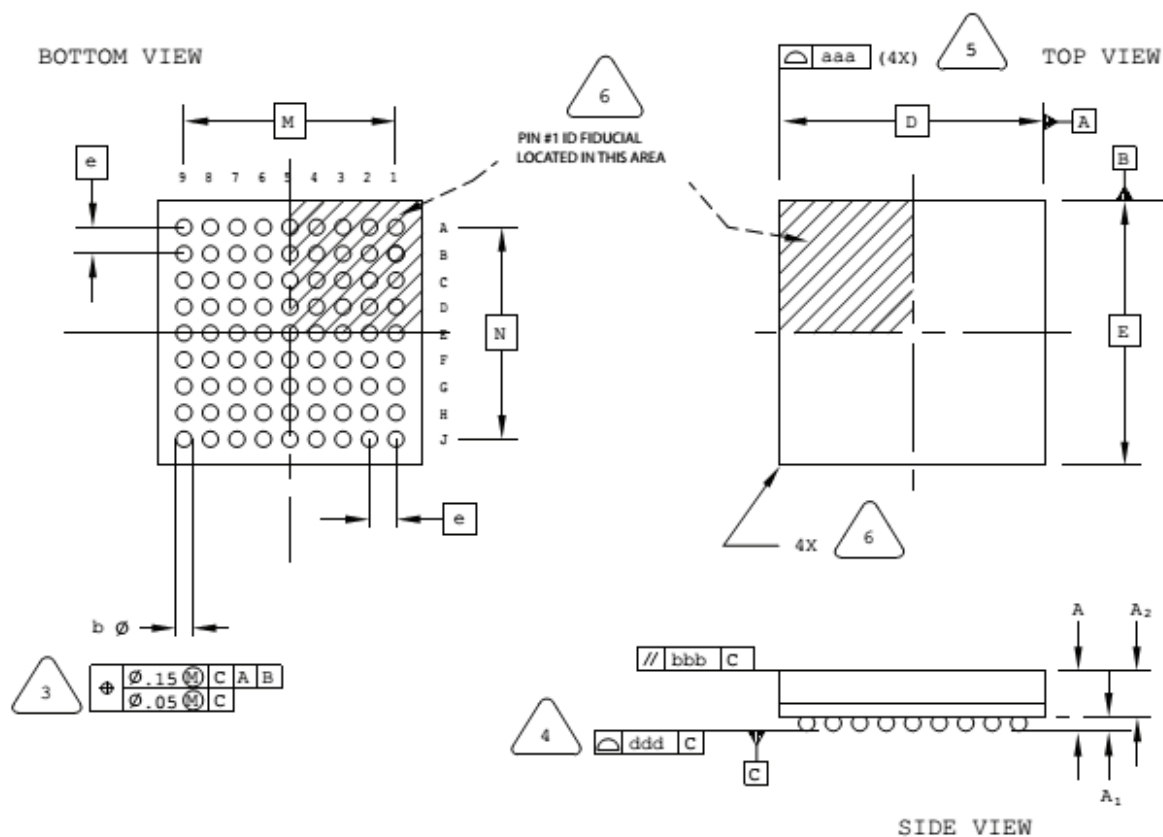


EXACT SHAPE AND SIZE OF THIS FEATURE IS OPTIONAL.

SYMBOL	MIN.	NOM.	MAX.
A	-	-	1.00
A1	0.10	-	-
A2	-	-	0.90
D/E	3.00 BSC		
M/N	2.40 BSC		
b	0.20	0.25	0.30
e	0.40 BSC		
aaa	-	-	0.10
bbb	-	-	0.10
ddd	-	-	0.10

单位: 毫米

81-Ball ucBGA 封装规格



NOTES: UNLESS OTHERWISE SPECIFIED

- DIMENSIONS AND TOLERANCES PER ANSI Y14.5M.
- ALL DIMENSIONS ARE IN MILLIMETERS.



DIMENSION "b" IS MEASURED AT THE MAXIMUM SOLDER BALL DIAMETER PARALLEL TO PRIMARY DATUM **C**



PRIMARY DATUM **C** AND SEATING PLANE ARE DEFINED BY THE SPHERICAL CROWNS OF THE SOLDER BALLS.



BILATERAL TOLERANCE ZONE IS APPLIED TO EACH SIDE OF THE PACKAGE BODY.

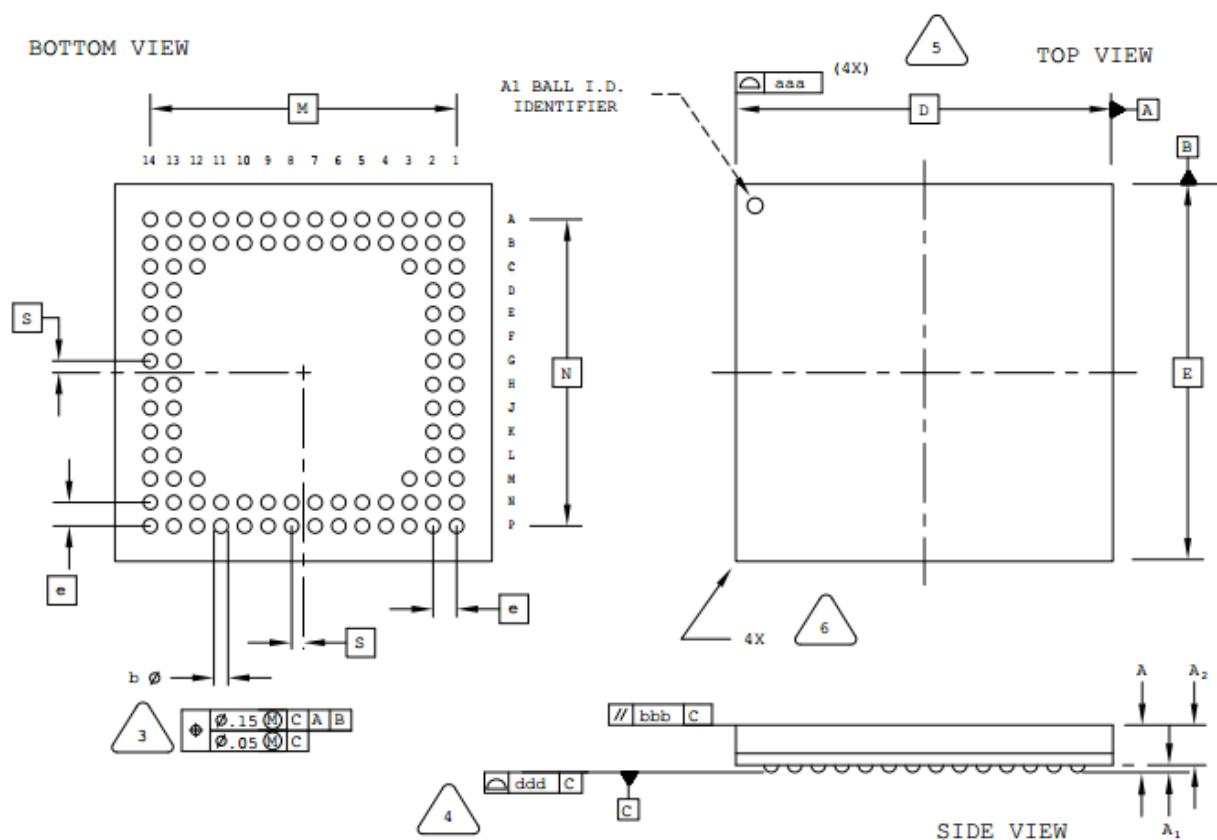


EXACT SHAPE AND SIZE OF THIS FEATURE IS OPTIONAL.

SYMBOL	MIN.	NOM.	MAX.
A	-	-	1.00
A1	0.10	-	-
A2	-	-	0.90
D/E	4.00 BSC		
M/N	3.20 BSC		
b	0.20	0.25	0.30
e	0.40 BSC		
aaa	-	-	0.10
bbb	-	-	0.10
ddd	-	-	0.10

单位: 毫米

BOTTOM VIEW



1. DIMENSIONS AND TOLERANCES
PER ANSI Y14.5M.

2. ALL DIMENSIONS ARE IN MILLIMETERS.

3 DIMENSION "b" IS MEASURED AT THE MAXIMUM SOLDER BALL DIAMETER, PARALLEL TO PRIMARY DATUM [C]

4 PRIMARY DATUM [C] AND SEATING PLANE ARE DEFINED BY THE SPHERICAL CROWNS OF THE SOLDER BALLS.

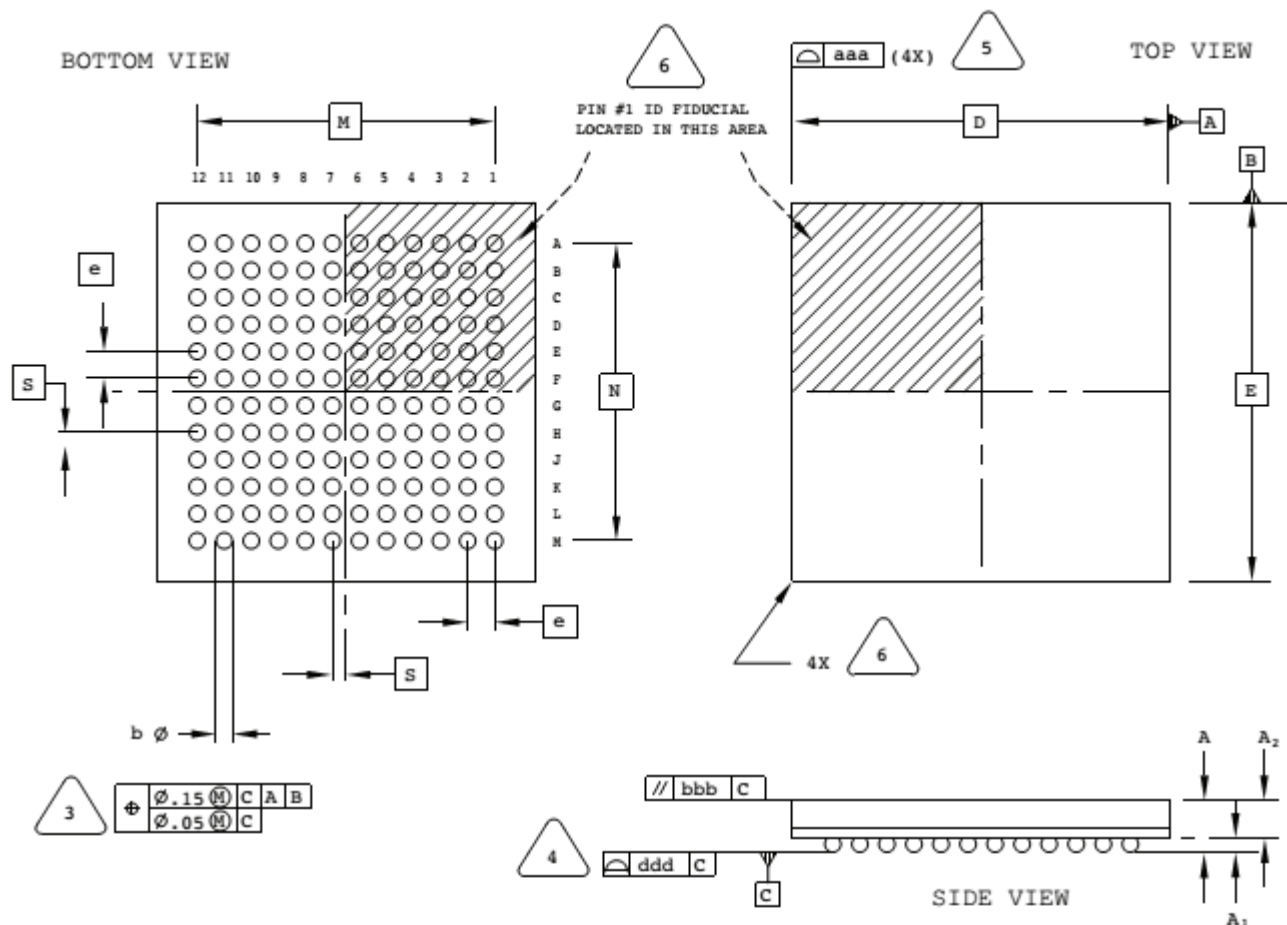
5 BILATERAL TOLERANCE ZONE IS APPLIED TO EACH SIDE OF THE PACKAGE BODY.

6 EXACT SHAPE AND SIZE OF THIS FEATURE IS OPTIONAL.

SYMBOL	MIN.	NOM.	MAX.
A	0.90	1.23	1.35
A1	0.15	-	-
A2	-	-	1.10
D/E	8.00 BSC		
M/N	6.50 BSC		
S	0.25 BSC		
b	0.25	0.30	0.35
e	0.50 BSC		
aaa	-	-	0.10
bbb	-	-	0.10
ddd	-	-	0.08

单位：毫米

144-Ball csBGA 封装规格



NOTES: UNLESS OTHERWISE SPECIFIED

1. DIMENSIONS AND TOLERANCES PER ANSI Y14.5M.
2. ALL DIMENSIONS ARE IN MILLIMETERS.



DIMENSION "b" IS MEASURED AT THE MAXIMUM SOLDER BALL DIAMETER, PARALLEL TO PRIMARY DATUM [C]



PRIMARY DATUM [C] AND SEATING PLANE ARE DEFINED BY THE SPHERICAL CROWNS OF THE SOLDER BALLS.



BILATERAL TOLERANCE ZONE IS APPLIED TO EACH SIDE OF THE PACKAGE BODY.

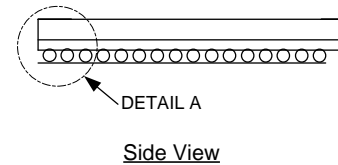
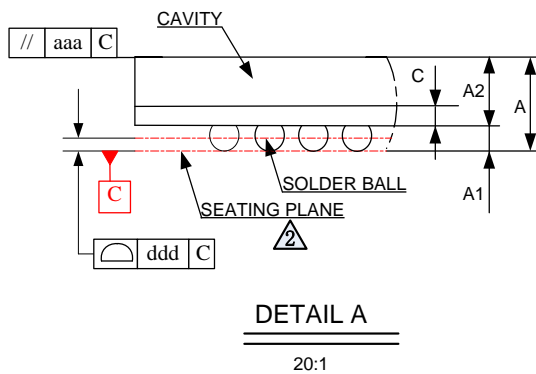
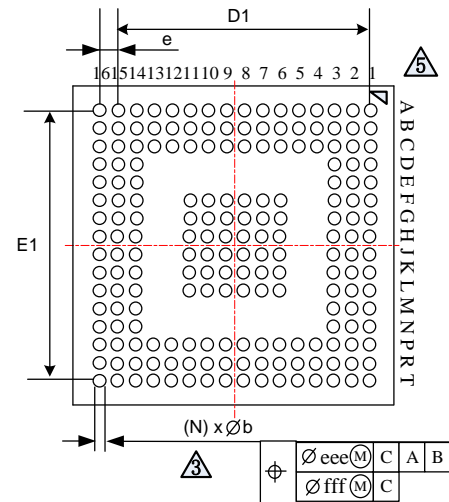
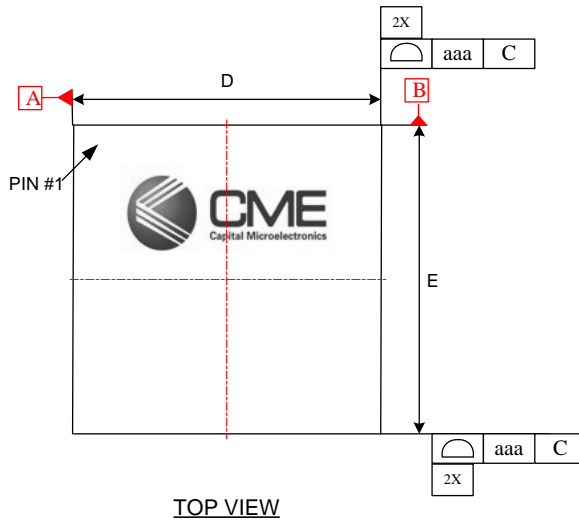


EXACT SHAPE AND SIZE OF THIS FEATURE IS OPTIONAL.


SYMBOL	MIN.	NOM.	MAX.
A	0.90	1.00	1.10
A1	0.15	-	-
A2	-	-	0.85
D/E	7.00 BSC		
M/N	5.50 BSC		
S	0.25 BSC		
b	0.25	0.30	0.35
e	0.50 BSC		
aaa	-	-	0.10
bbb	-	-	0.10
ddd	-	-	0.08

单位: 毫米

csBGA192 封装规格



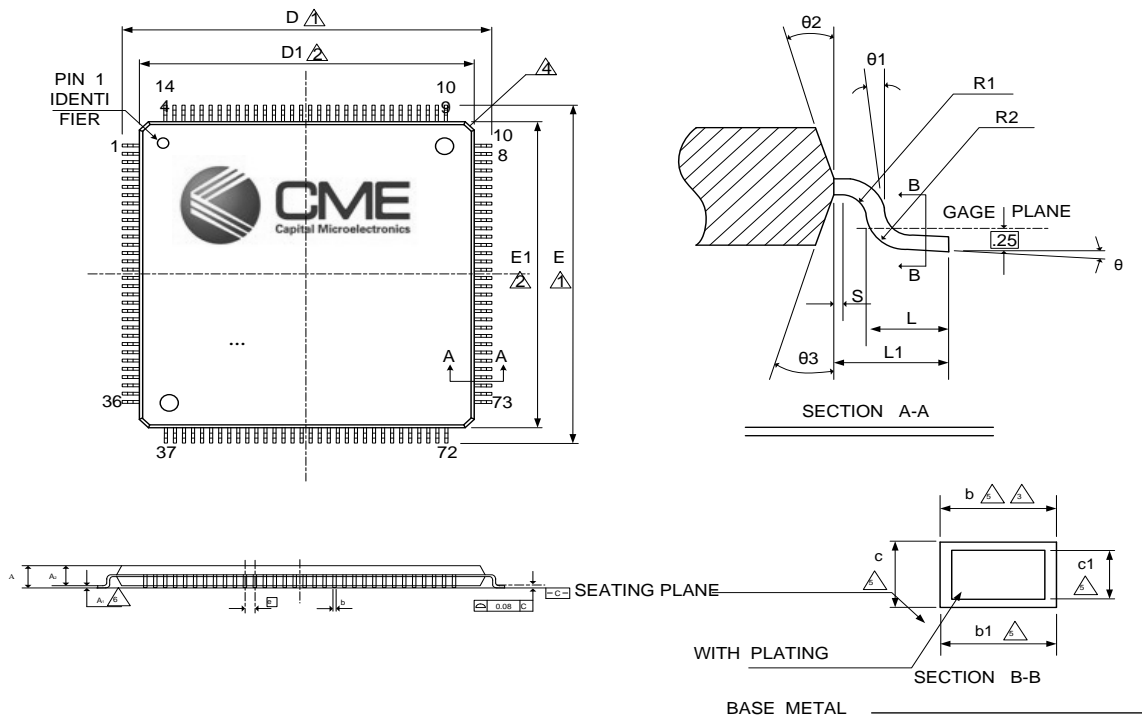
TECHNOLOGY SPECIFICATION

1. BALL PAD OPENING: 0.270mm;
2. PRIMARY DATUM C AND SEATING PLANE ARE THE SOLDER BALLS;
3. DIMENSION b IS MEASURED AT THE MAXIMUM SOLDER BALL DIAMETER, PARALLEL TO PRIMARY DATUM C;
4. SPECIAL CHARACTERISTICS C CLASS: bbb, ddd;
5. THE PATTERN OF PIN 1 FIDUCIAL IS FOR REFERENCE ONLY;
6. BAN TO USE THE LEVEL 1 ENVIRONMENT-RELATED SUBSTANCES OF JCET PRESCRIBING;
7. ALL UNITS ARE IN MILLIMETER;
8. THE DIRECTION OF VIEW .


Symbol	Dimension in mm		
	Min	Nom	Max
A	—	—	1.000
A1	0.160	0.210	0.260
A2	0.640	0.690	0.740
c	0.160	0.190	0.220
D	8.900	9.000	9.100
E	8.900	9.000	9.100
D1	—	7.500	—
E1	—	7.500	—
e	—	0.500	—
b	0.250	0.300	0.350
aaa	0.150		
bbb	0.200		
ddd	0.080		
eee	0.150		
fff	0.050		
N	192		
MD/ME	16/16		

单位：毫米

LQFP144 封装规格

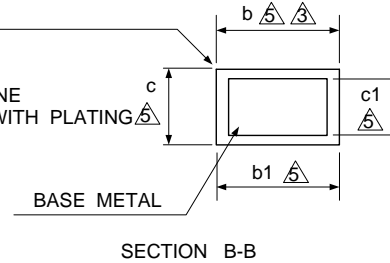
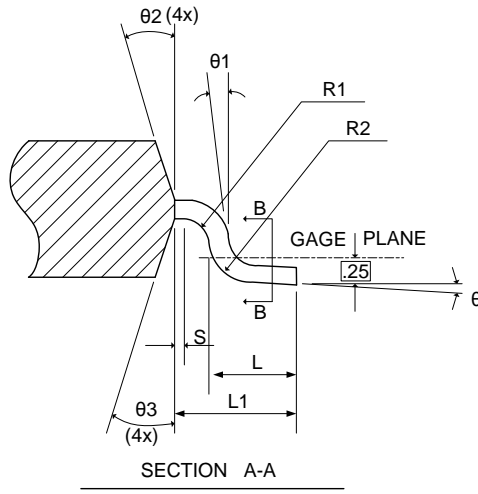
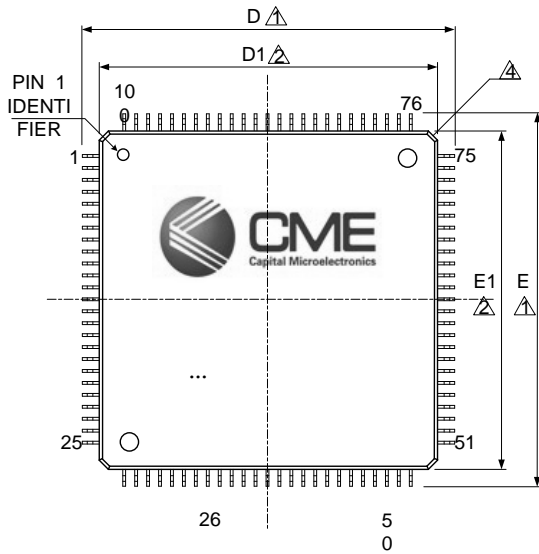


Symbol	Dimension in mm		
	Min	Nom	Max
A	—	—	1.60
A1	0.05	—	—
A2	1.35	1.40	1.45
b	0.17	0.22	0.27
b1	0.20	REF	—
c	0.12	—	0.20
c1	0.13	REF	—
D	21.85	22.00	22.15
D1	19.90	20.00	20.10
E	21.85	22.00	22.15
E1	19.90	20.00	20.10
e	0.50	BSC	—
L	0.45	0.60	0.75
L1	1.00	REF	—
R	0.15	REF	—
R1	0.15	REF	—
S	0.19	REF	—
θ	0°	3.5°	7°
θ1	7°	REF	—
θ2	12°	REF	—
θ3	12°	REF	—

- 1 TO BE DETERMINED AT SEATING PLANE 
- 2 DIMENSION D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION
D1 AND E1 ARE MAXIMUM PLASTIC BODY SIZE DIMENSION
INCLUDING MOLD MISMATCH.
- 3 DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION
DAMBAR CAN NOT BE LOCATED ON THE LOWER RADIUS
OR THE FOOT.
- 4 EXACT SHAPE OF EACH CORNER IS OPTIONAL.
- 5 THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD
BETWEEN 0.10 mm AND 0.25 mm FROM THE LEAD TIP.
- 6 A1 IS DEFINED AS THE DISTANCE FROM THE SEATING
PLANE
- 7 CONTROLLING DIMENSION : MILLIMETER.
TO THE LOWEST POINT OF THE PACKAGE BODY.
- 8 REFERENCE DOCUMENT : JEDEC MS - 026 , BFB

单位：毫米

TQFP100 Thin Quad Flat-Pack 封装规格

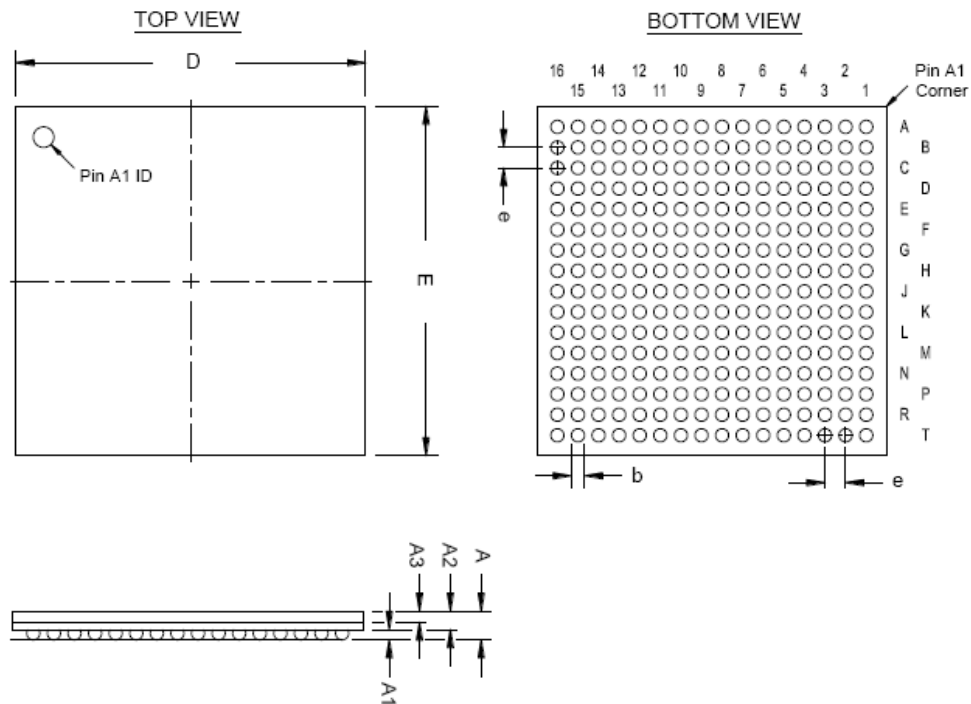


Symbol	Dimension in mm		
	Min	Nom	Max
A	—	—	1.20
A1	0.05	—	0.15
A2	0.95	1.00	1.05
b	0.17	0.22	0.27
b1	0.17	0.20	0.23
c	0.09	—	0.20
c1	0.09	—	0.16
D	16.00	BSC	
D1	14.00	BSC	
E	16.00	BSC	
E1	14.00	BSC	
e	0.50	BSC	
L	0.45	0.60	0.75
L1	0.15	REF	
R	0.08	—	—
R1	0.08	—	0.20
S	0.20	—	—
θ	0°	3.5°	7°
θ1	0°	—	—
θ2	11°	12°	13°
θ3	11°	12°	13°
ccc	0.08		

- ① TO BE DETERMINED AT SEATING PLANE $\square C$
DIMENSION D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION
D1 AND E1 ARE MAXIMUM PLASTIC BODY SIZE DIMENSION
- ② INCLUDING MOLD MISMATCH.
DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION
- ③ DAMBAR CAN NOT BE LOCATED ON THE LOWER RADIUS OR THE FOOT.
- ④ EXACT SHAPE OF EACH CORNER IS OPTIONAL.
THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD
- ⑤ BETWEEN 0.10 mm AND 0.25 mm FROM THE LEAD TIP.
- ⑥ A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE
- ⑦ CONTROLLING DIMENSION : MILLIMETER.
TO THE LOWEST POINT OF THE PACKAGE BODY.
- ⑧ REFERENCE DOCUMENT : JEDEC MS - 026 , BFB
- ⑨ SPECIAL CHARACTERISTICS C CLASS : ccc

单位：毫米

FBGA256-Pin FineLine Ball-Grid Array (FBGA) 封装规格



Package Information	
Description	Specification
Ordering Code Reference	F
Package Acronym	FBGA
Substrate Material	BT
Solder ball composition	Regular: 63Sn:37Pb (Typ.) Pb-free: Sn:3Ag:0.5Cu (Typ.)
JEDEC Outline Reference	MO-192 Variation: DAF-1
Lead Coplanarity	0.008 inch (0.20 mm)
Weight	0.93 g (Typ.)
Moisture Sensitivity Level	Printed on moisture barrier bag

Package Outline Dimension Table			
Symbol	Millimeters		
	Min.	Nom.	Max.
A	1.35	1.45	1.55
A1	0.30	0.40	0.50
A2	0.85	1.05	1.25
A3	0.65	0.70	0.75
D	17.00 BSC		
E	17.00 BSC		
b	0.40	0.50	0.60
e	1.00 BSC		

- 单位：毫米
- Pin A1 可能在封装的表面上通过一个 ID., 或一个特殊符号来表示。

本附录列出了 HR 系列的订购信息。有关详情，可以参阅[选购指南](#)。

订购信息

型号缩写见下表。

表 39 部件号缩写

厂商	产品系列	查找表容量	器件类型	Flash	封装类型	温度等级	速度等级
CME-	HR	03	P	N0	U192	C	7

产品系列

- HR

器件类型

- P FPGA

查找表容量

- 01: 768 LUTs
- 02: 1536 LUTs
- 03: 3072 LUTs
- 07: 6912 LUTs
- 16: 15360K LUTs

FLASH:

- N0: 无 FLASH

封装类型: <类型><#>

- T Thin Quad Flat Pack (TQFP)
- L Low profile quad flat package (LQFP)
- Q Plastic Quad Flat No-Lead Package (PQFP)
- F Fineline BGA 1mm
- C Chip Scale BGA (csBGA) 0.5mm
- U Ultra Chip Scale BGA (ucBGA) 0.4mm
- W Wafer Level Chip Scale (WLCSP) 0.35mm

温度范围

- C 商业 (0°C ~ 85°C)

©Copyright 2015 Capital Microelectronics Co., Ltd. 保留所有权利。

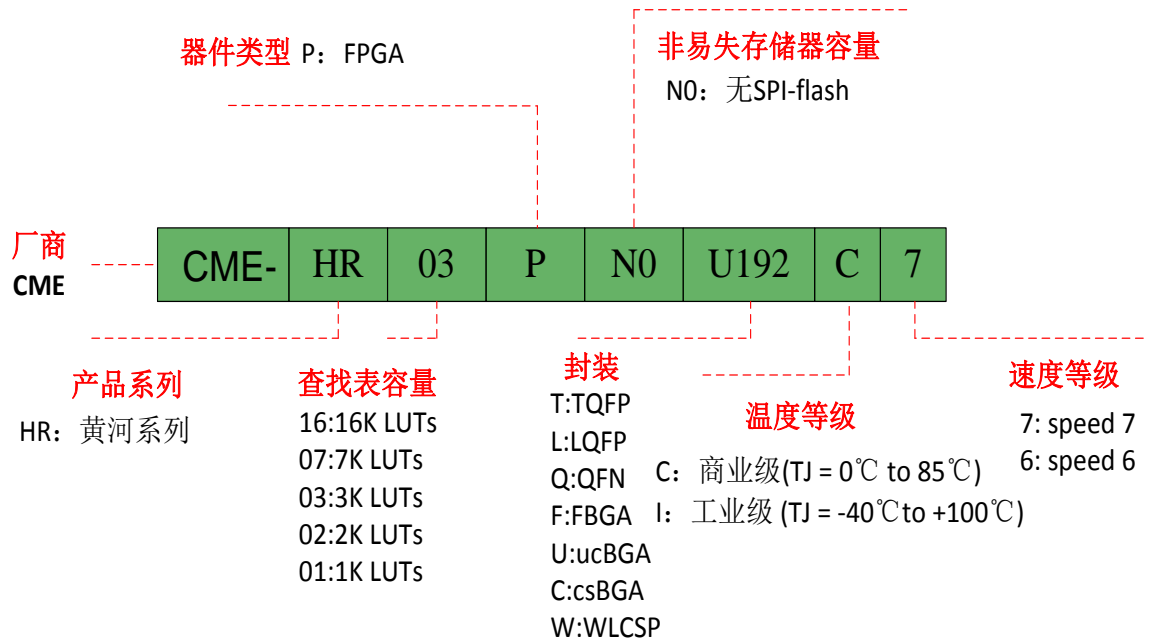
本手册中包含的信息已经仔细检查并认为是完全可靠的。但是，不对手册中可能或潜在的错误负责。京微雅格（北京）科技有限公司保留停止发布或修改手册而不事先通知的权利。为确保获得最新的产品信息，建议您及时更新手册版本。

- I 工业 (-40°C ~ 100°C)

速度等级

- # 速度 (7 指速度等级为 7, 6 指速度等级为 6, ...)

示例: **CME-HR03PN0U192C7**



本附录列出了本产品手册的历史版本信息。

版本信息

下表列出了本产品手册的历史版本信息。

日期	版本号	修订记录
2015 年 10 月	CME-HRDSE01	首次发布