PVS332V0 SoC编程手册

V0.02

塘浦电科

2019/10/24

一、简介

特点：

\*PVS332V0处理器采用PRV332SV0内核，具备最大16GB的寻址空间，兼容RISC-V32IA指令集，同时具备MSU三层权限和MMU，详情请见《PRV332SV0处理器编程手册》和《RISC V 指令集文档》。

\*PVS332V0处理器具备一个完整的SPI收发器，

\*PVS332V0处理器目前根据配置可以得到最多128个GPIO。

\*PVS332V0处理器具备一个内置FIFO的完整的UART收发器

\*PVS332V0处理器具备外置的异步SRAM总线，支持等待状态，可以根据需要连接最多8MB的RAM，另外还有8MB的拓展卡插槽，与内存插槽总线大部分信号兼容。

二、PVS332SV0 SoC的地址分配。

2.1.地址分配总表

|  |  |  |
| --- | --- | --- |
| 外设 | 内存空间 | 备注 |
| Boot ROM | 0x00000000-0x0001ffff(128K) |  |
| OCRAM | 0x00020000-0x0003ffff(128K) | 片上SRAM，支持半字/字节寻址，无等待 |
| Ctrl REG | 0x0ffc0000-0x0ffdffff(128K) | MTIME/PLIC |
| XT Peripherals | 0x0ffe0000-0x0fffffff(128K) | GPIO/UART/SPI/M68K/TIM |
| (Q)SPI Flash | 0x10000000-0x1fffffff(256M) | 32M@NOR,256M@NAND |
|  |  |  |
|  |  |  |
| Ext SRAM | 0x70000000-0x7fffffff(256MB) |  |
| SDRAM | 0x80000000-0x3ffffffff(14GB) |  |
| 空外设 | 所有其余地址 | 只返回0，无异常 |

2.2.控制寄存器基址表

|  |  |  |
| --- | --- | --- |
| 内部寄存器 | 基址(+0x0ffc0000) | 备注 |
| MTIME | 17’b0\_0000\_0000\_0xxx\_xxxx | SysTick定时器，带WDT |
| SDRAMC | 17’b0\_0000\_0000\_1xxx\_xxxx | SDRAM控制器 |
| FLASHC | 17’b0\_0000\_0001\_0xxx\_xxxx | 直接映射FLASH控制器 |
| ESRAMC | 17’b0\_0000\_0001\_1xxx\_xxxx | 外置SRAM控制器 |
| QERAMC | 17’b0\_0000\_0010\_0xxx\_xxxx | QSPI内存控制器 |
|  | 17’b0\_0000\_0100\_0xxx\_xxxx |  |
| SIC | 17’b1\_1110\_xxxx\_xxxx\_xxxx | 支持最大64中断源 |
| CTC | 17’b1\_1111\_1111\_1xxx\_xxxx | 总时钟树控制器，没做 |
| 空 | 其余 | 同总表空外设 |

2.3.扩展外设（伪APB）

|  |  |  |
| --- | --- | --- |
| 外设 | 基址(+0x0ffe0000) | 备注 |
| SPI | 17’b0\_0000\_0000\_0xxx\_xxxx |  |
| UART 16550 | 17’b0\_0000\_0000\_10xx\_xxxx | 兼容16550，低8位有效，和AUART二选一 |
| AUART | 17’b0\_0000\_0000\_11xx\_xxxx | 32bit对齐支持，更深FIFO |
| BusS68000 | 17’b0\_0000\_0001\_1xxx\_xxxx | 默认不启用，总线透传，支持流水线化（接驳OV7670/外置FIFO） |
| AFGPIO | 17’b0\_0000\_0010\_0xxx\_xxxx | 以32bit组织，支持最大4组GPIO |
| TIM | 17’b0\_0000\_0010\_1xxx\_xxxx |  |
| DAC | 17’b0\_0000\_0010\_10xx\_xxxx | RSVE |
| RCC | 17’b1\_1111\_1111\_1xxx\_xxxx | 时钟控制器 |
| 空 | 其余 | 同总表空外设 |

三、控制寄存器组

3.1.MTIME

|  |  |  |
| --- | --- | --- |
| 基址(+0xffc0000) | 名称 | 备注 |
| 0x00 | MTIMEL |  |
| 0x04 | MTIMEH |  |
| 0x08 | MTIMECMPL |  |
| 0x0C | MTIMECMPH |  |

3.2.SIC

|  |  |  |  |
| --- | --- | --- | --- |
| 基址(+0xffde000) | 读写 | 名称 | 备注 |
| 0x00 | RW | ITHRES | 中断阈值寄存器，低于阈值只IPA置位，无ICLAIM |
| 0x04 | RW | PRIO1 | 1号中断优先级 |
| … |  | … | … |
| 0x3FF | RW | PRIO256 | 256号中断优先级 |
| 0x400 | R/W | ICIC0 | 中断请求/完成寄存器0(不存在) |
| … |  | … | … |
| 0x7ff | R/W | ICIC256 | 中断请求/完成寄存器256 |
| 0x800 | RW | IEA0 | 中断使能0 |
| 0x804 | RW | IEA1 | 中断使能1 |
| 0x808 | RW | IEA2 | 中断使能2 |
| 0x80C | RW | IEA3 | 中断使能3 |
| 0x810 | R | IPA0 | 中断挂起寄存器0 |
| 0x814 | R | IPA1 | 中断挂起寄存器1 |
| 0x818 | R | IPA2 | 中断挂起寄存器2 |
| 0x81C | R | IPA3 | 中断挂起寄存器3 |
| 0x820 | R | IID | 中断编号寄存器 |
| 0x824 | W | SIT | 软件中断触发寄存器 |
|  |  |  |  |
|  |  |  |  |

四、SPI收发器使用：

（1）寄存器分配表

|  |  |  |
| --- | --- | --- |
| 基址 | 名称 |  |
| 0x00 | spi\_cfg | SPI 配置寄存器 |
| 0x04 | spi\_tx\_data | 低8位有效，高24位保留。 |
| 0x08 | spi\_rx\_data | 低8位有效，高24位保留。 |
| 0x0C |  |  |
|  |  |  |
|  |  |  |
| 其余 | RSVE | 保留用途。 |

SPI收发器一共有三个控制寄存器来控制其行为

（2）SPI收发器的寄存器说明

spi\_cfg寄存器:

可读可写的寄存器

spi\_cfg[31:16]:SPI\_DIVCLK，spi分频系数寄存器，用来控制spi波特率。 spi波特率=处理器主时钟/{4\*(1+spi\_divclk)}。

spi\_cfg[15:13]:SPI\_SSEL, spi外部从设备选择位，直接连载处理器引脚 ssel上，用于控制外部逻辑电路实现最多八个spi从设备的选择。默认情况下，从设备0是处理器的boot\_flash。

spi\_cfg[12:6]:保留，无意义。

spi\_cfg[5]:RTXOK，即收发OK，在完成一次收发之后自动置1，当程序对RTX位置1时候，这个位自动变为0直到收发完成。

spi\_cfg[4]:RXOK，即收OK，在完成一次收之后自动置1，当程序对RX位置1时候，这个位自动变为0直到收完成。

spi\_cfg[3]:TXOK，同上行为。

spi\_cfg[2]:RTX：收发使能位，当程序对这个位置1时候，收发器开始收发，收发完成之后自动清零。

spi\_cfg[1]:RX: 收使能，如上。

spi\_cfg[0]:TX: 发使能，同上。

spi\_tx\_data寄存器:

spi\_tx\_data[24:8]:保留，无意义，请不要在这24位里面存放数据，数据无法保存。

spi\_tx\_data[7:0] : 可读可写的寄存器，spi要发送的数据寄存器，spi开始工作（即之前程序设定了SPI收发任务，或者使能位为1，但OK位为0的时候）之后，在完成收发命令之前，不能改写这个寄存器，否则会导致收发器发出的错误的数据。

spi\_rx\_data寄存器：

spi\_rx\_data[24:8]:保留，无意义。

spi\_rx\_data[7:0] : SPI收发器收到的数据，它是一个只读寄存器，当SPI收发器完成收发之前，请不要利用这个寄存器里面读出来的数据，除非估计作死。

五、AFGPIO

AFGPIO-A复用表：

|  |  |
| --- | --- |
| 复用外设 | 位及说明 |
| S68000 | 数据总线[7:0], CS#[8], WR#[9], CKO[10], SPSEL[15:13] |
| UART1 | UART\_Tx[11], UART\_Rx[12] |
| 调试输出 | Dbg[19:16] |
| RAM | GPIOB[31:0],GPIOC[30:0] |
|  |  |
|  |  |
|  |  |

寄存器表

|  |  |  |  |
| --- | --- | --- | --- |
| 地址 | 名称 | 读写 | 用途 |
| 0x00 | GATD | RW | GPIOA输出数据 |
| 0x04 | GATR | RO | GPIOA读入数据 |
| 0x08 | GADIR | RW | GPIOA方向控制 |
| 0x0C | GAPML | RW | GPIOA端口属性控制低（推挽上下拉高阻） |
| 0x10 | GAPMH | RW | GPIOA端口属性控制高（输出推挽<->输入高阻） |
| 0x14 | GAPSL | RW | GPIOA上下拉强度控制寄存器低(推挽模式1,2,4,8mA) |
| 0x18 | GAPSH | RW | GPIOA上下拉强度控制寄存器高(上下拉模式OD-10K~1K) |
| 0x1C | GAAFC | RW | GPIOA复用使能，复用后标灰寄存器失效 |
| 0x20 | GBTD | RW | GPIOB输出数据 |
| 0x24 | GBTR | RO | GPIOB读入数据 |
| 0x28 | GBDIR | RW | GPIOB方向控制 |
| 0x2C | GBPML | RW | GPIOB端口属性控制低（推挽上下拉高阻） |
| 0x30 | GBPMH | RW | GPIOB端口属性控制高（输出推挽<->输入高阻） |
| 0x34 | GBPSL | RW | GPIOB上下拉强度控制寄存器低(推挽模式 1,2,4,8mA) |
| 0x38 | GBPSH | RW | GPIOB上下拉强度控制寄存器高(上下拉模式OD-10K~1K) |
| 0x3C | GBAFC | RW | GPIOB复用使能，复用后标灰寄存器失效 |
| 0x40 | GCTD | RW | GPIOC输出数据 |
| 0x44 | GCTR | RO | GPIOC读入数据 |
| 0x48 | GCDIR | RW | GPIOC方向控制 |
| 0x4C | GCPML | RW | GPIOC端口属性控制低（推挽上下拉高阻） |
| 0x50 | GCPMH | RW | GPIOC端口属性控制高（输出推挽<->输入高阻） |
| 0x54 | GCPSL | RW | GPIOC上下拉强度控制寄存器低(推挽模式1,2,4,8mA) |
| 0x58 | GCPSH | RW | GPIOC上下拉强度控制寄存器高(上下拉模式OD-10K~1K) |
| 0x5C | GCFC | RW | GPIOC复用使能，复用后标灰寄存器/模式配置失效 |
| 其余 | RSVE | RW | 保留 |
|  |  |  |  |
|  |  |  |  |

五、AUART/UART16550

|  |  |  |
| --- | --- | --- |
| 地址 | 名称 | 用途 |
| 0x00 | UCFG | UART配置寄存器 |
| 0x04 | UDIV | UART分频比寄存器 |
| 0x08 | UTRB | UART收发缓存寄存器 |
| 0x0C | UTRS | UART状态寄存器 |
|  |  |  |
|  |  |  |
| 0x40 | TRBUF | 16550 收发BUFFER |
| 0x44 | TRIE | 16550 中断使能 |
| 0x48 | TRII | 16550 中断查询 |
| 0x4C | FIFOC | 16550 FIFO控制 |
| 0x50 | LCR |  |
| 0x54 | MC |  |
| 0x58 | LS |  |
| 0x5C | MS |  |

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 寄存器区段 | [31:24]{RSVE,TBUFE,RBUFF,RXERR,TINT,RINT} | | | | | | | |
| UART\_CFG |  |  |  |  |  |  |  |  |
| [7]En |  |  | [4]TFEN | [3]RFEN | [2]TxEn | [1]RxEn | [0]PoChk |
| UART\_DIV |  |  |  |  |  |  |  |  |
| UART\_STAT | {TBUFE,RBUFF,TxBusy,RxError,RINT,TINT} | | | | | | | |

六、Bus S68000

该总线允许工作在标准异步68000总线时序/为FIFO用途优化带扩展时钟输入输出的68000总线。目前允许接驳最多8外置端点，PSEL线与SSEL线复用

寄存器表：

|  |  |  |
| --- | --- | --- |
| 地址 | 名称 | 用途 |
| 0x00 | EP0TR | 端点0收发寄存器，写=发送，读=接收 |
| 0x04 | EP1TR | 端点1收发寄存器，写=发送，读=接收 |
| 0x08 | EP2TR | 端点2收发寄存器，写=发送，读=接收 |
| 0x0C | EP3TR | 端点3收发寄存器，写=发送，读=接收 |
| 0x10 | EP4TR | 端点4收发寄存器，写=发送，读=接收 |
| 0x14 | EP5TR | 端点5收发寄存器，写=发送，读=接收 |
| 0x18 | EP6TR | 端点6收发寄存器，写=发送，读=接收 |
| 0x1C | EP7TR | 端点7收发寄存器，写=发送，读=接收 |
|  |  |  |
|  |  |  |
| 0x78 | EPPRH | 端点属性寄存器 |
| 0x7C | BCTRL | 总线总控制寄存器 |

所有端点收发寄存器暂时都只有低8/16位有效