

**Міністерство освіти і науки України**  
**Національний технічний університет України**  
**«Київський політехнічний інститут імені Ігоря Сікорського»**  
**Факультет інформатики та обчислювальної техніки**  
**Кафедра обчислювальної техніки**

**Лабораторна робота №2**

з дисципліни

«Архітектура комп'ютера»

на тему «ВИВЧЕННЯ СИСТЕМИ АВТОМАТИЗАЦІЇ ПРОЕКТУВАННЯ  
QUARTUS II. СТВОРЕННЯ ПРОЕКТУ»

Виконав: Перевірив:

студент групи ІП-93 Нікольський С. С.

Воловик Руслан Володимирович

Залікова книжка: 9303

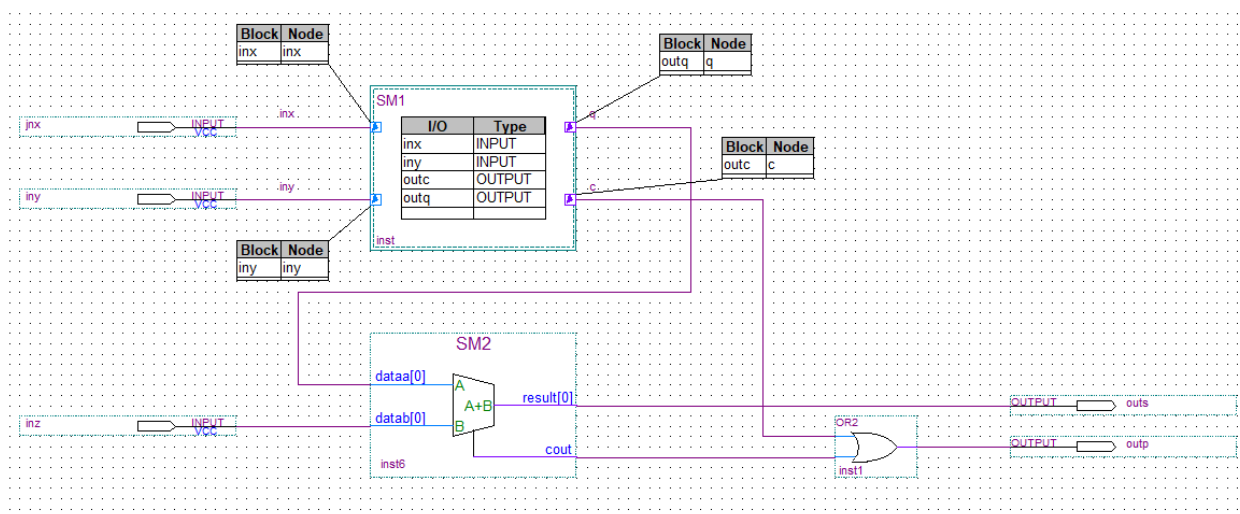
Київ 2020

Мета роботи:

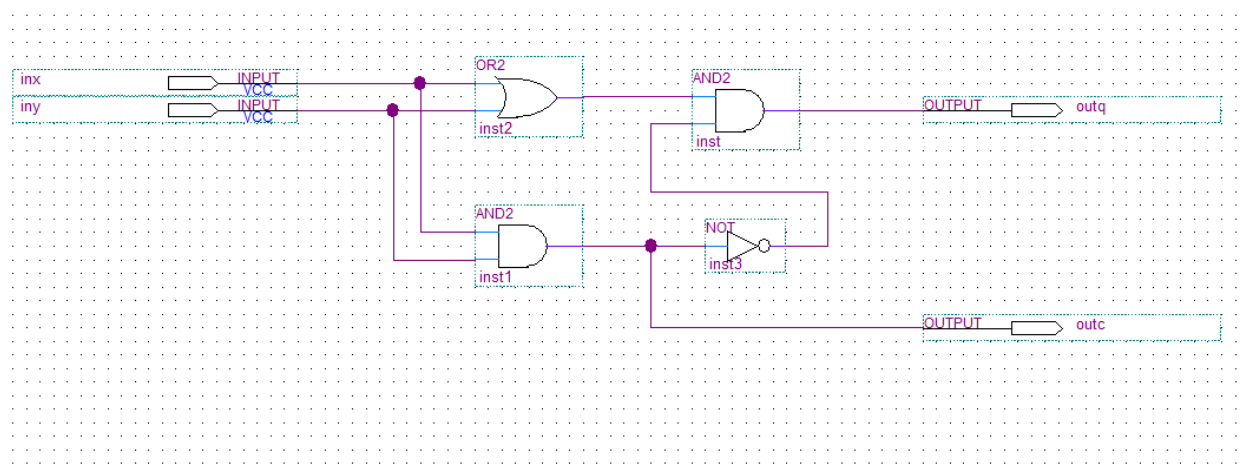
- 1). Вивчення системи автоматизації проектування Quartus II. Отримання навиків створення проекту, вводу проекту в схемотехнічному режимі, роботи в графічному редакторі, створення мегафункцій.
- 2). Вивчення особливостей функціональної побудови суматорів. Розроблення функціональної схеми суматора в САПР Quartus II.

Схеми:

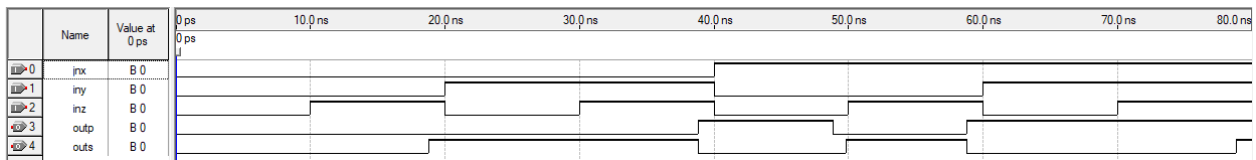
lab2\_SM.bdf:



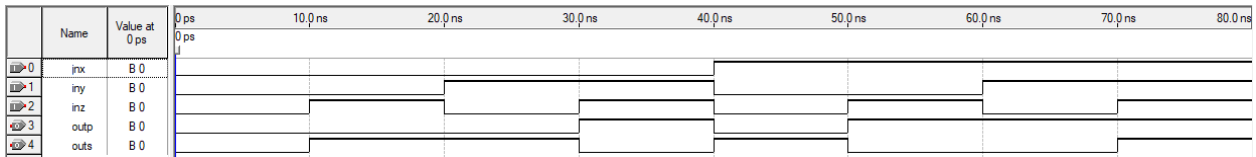
SM1.bdf:



Результати часової симуляції:



Результати функціональної симуляції:



### Аналіз звіту компілятора

| Звіти компілятора                    | SM1           |
|--------------------------------------|---------------|
| Total logic elements                 | 2 (< 1 %)     |
| Total pins                           | 5 (3%)        |
| LC Block                             | 2 Logic Cells |
| Actual Time                          | 9.913 ns      |
| Найдовший шлях проходження сигналу   | 9.913 ns      |
| Найкоротший шлях проходження сигналу | 8.726 ns      |
| Затримка на логічних елементах       | 2 ns          |
| Затримки на вихідних контактах       | --            |
| Кількість задіяних логічних комірок  | 2             |

|                                    |  |
|------------------------------------|--|
| Quartus II Version                 | 9.1 Build 350 03/24/2010 SP 2 SJ Web Edition |
| Revision Name                      | lab2_SM                                      |
| Top-level Entity Name              | lab2_SM                                      |
| Family                             | Cyclone II                                   |
| Device                             | EP2C5F256C6                                  |
| Timing Models                      | Final  |
| Met timing requirements            | Yes  |
| Total logic elements               | 2 / 4,608 ( < 1 % )                          |
| Total combinational functions      | 2 / 4,608 ( < 1 % )                          |
| Dedicated logic registers          | 0 / 4,608 ( 0 % )                            |
| Total registers                    | 0  |
| Total pins                         | 5 / 158 ( 3 % )                              |
| Total virtual pins                 | 0  |
| Total memory bits                  | 0 / 119,808 ( 0 % )                          |
| Embedded Multiplier 9-bit elements | 0 / 26 ( 0 % )                               |
| Total PLLs                         | 0 / 2 ( 0 % )                                |

## Висновок:

Протягом виконання роботи навчився створювати проекти, суматор і напівсуматор, вивчив особливості функціональної побудови суматорів, створив мегафункцію за допомогою Mega Wizard Plugin Manager, набув практичних навичок роботи в САПР Quartus II.