作业 (3.6)

1.	建立高速缓冲存储器的理论依据是。
2.	高速缓冲存储器(cache)中保存的信息是主存信息的。
3.	主存储器和 CPU 之间增加 cache 的目的是
	a) 既扩大主存储器的容量,又扩大 CPU 中通用寄存器的数量
	b) 扩大主存储器的容量
	c) 扩大 CPU 中通用寄存器的数量
	d) 解决 CPU 与主存储器之间的速度匹配问题
4.	(选做) 在 cache 的存储器系统中,当程序正在执行时,由完成地
	址变换。
	a) 程序员 b) 软件和硬件 c) 硬件 d) 操作系统
5.	从下列有关存储器的描述中,选择出正确的答案:
	a) 多体交叉存储器主要解决扩充容量问题
	b) 访问存储器的请求是由 CPU 发出的
	c) cache 的功能全由硬件实现
	d) cache 与主存统一编址,即主存空间的某一部分属于 cache
6.	下列因素中,与 cache 的命中率无关的是
	a) cache 的容量
	b) 块的大小
	c) 主存的存取时间
	d) cache 的组织方式
7.	有关高速缓冲存储器(cache)的正确说法是。
	a) 在 CPU 内外都可设置 Cache
	b) Cache 只能在 CPU 以外
	c) Cache 只能在 CPU 以内
	d) 若存在 Cache, CPU 就不能再访问主存
8.	假定主存地址为32位,按字节编址,主存和Cache之间采用直接映射方式,
	主存块大小为 8 个字,每字 32 位,写操作策略采用回写(Write Back)方式,
	则能存放 4K 字数据的 Cache, 其所有 Tag 所占的容量为bit, Cache
	的总容量至少是bit。
	a) 9K, 148K b) 9K, 137.5K c) 18K, 147.5K d) 18K, 137K
0	在下列 cache 替换算法中,比较好的一种是。
).	a) 随机法 b) 先进先出法
	c) 最近最少使用法 d) 后进先出法
10.	某计算机的 Cache 共有 16 块, 采用 2 路组相联映射方式(即每组 2 块)。每
10.	个主存块大小为 32 字节,按字节编址。主存 161 号单元所在主存块应装入
	到的 Cache 组号是。 (要求:给出计算过程)
	A. 5 B. 4 C. 6 D. 3

11. 设某计算机的 cache 采用 4 路组相联地址映射方式,已知 cache 容量 16KB,

主存容量 4MB, 每块(行) 32B。

- a) 设计主存地址格式(按字节编址)和 Cache 地址格式,并指出各字段的位数;
- b) Cache 有多少个组? 多少个行? 给出和存储格式。
- 12. 有一主存-cache 层次的存储器, 其主存容量 2MB, cache 容量 4KB, 每块(行) 32B, 采用直接地址映射方式。(按字节编址)
 - a) 设计主存地址格式和 cache 地址格式,并指出各字段的位数及作用;
 - b) Cache 有多少个行?给出 Cache 的存储格式;
 - c) 设主存单元地址为 006441H, 问它应装入(映射)到 cache 的哪个行?
 - d) (**选作**)设 CPU 每次(从 cache 或主存)读出一个字,每个字有 32 位。设 cache 起始为空,若 CPU 依次从连续的主存单元中读出 160 个字(从 0 号单元读起),并重复按此次序读 20 次,问命中率为多少?
- 13. P₁₁₂: 9
- 14. (选做) P₁₁₂: 14
- 15. (选作) P₁₁₃: 22
- 16. (选作) P₁₁₂: 10
- 17. (**选作**)一个计算机系统中,主存的容量为 12MB, Cache 的容量为 400KB,则内存的总容量为。
 - a) 12MB+400KB b) 400KB
- c) 12MB
- d) 12MB-400KB