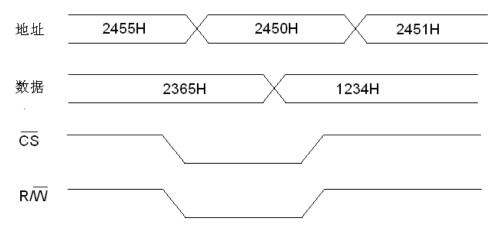
作业(3.2, 3.3)

- 1. P_{111} 5 **要求**:给出设计过程,作出主存地址空间分配表,给出各个芯片的片选信号的逻辑表达式(即, \overline{CS} 和高位地址变量之间的逻辑关系),画出存储器组成框图。
- 2. 用 $32K \times 8$ 位的 **SRAM** 芯片组成 $128K \times 16$ 位的主存储器。**SRAM** 芯片有两个控制端: \overline{CS} 和 \overline{W}/R 。当 \overline{CS} =0 时该片被选中;当 \overline{W}/R =1 时,执行读操作,当 \overline{W}/R =0 时,执行写操作。要求:
 - a) 计算共需多少片 SRAM 芯片;
 - b) 计算主存储器数据线和地址线各有多少位;
 - c) 作出主存地址空间分配表;
 - d) 画出该主存储器的组成框图(详细画出地址线、数据线以及片选逻辑, 假设所采用的译码器输出低电平有效)。
- 3. (**选做**)下图是 SRAM 的写入时序图。其中 R/\overline{W} 是读/写命令控制线,当 R/\overline{W} 线为低电平时,存储器按当时地址 2450H 把数据线上的数据 1234H 写入 存储器。请指出下图写入时序中的错误,并画出正确的写入时序图。



- 4. 某动态 RAM 芯片 (DRAM 芯片),容量为 16K×16 位,无片选信号,除电源线、接地线和刷新线外,该芯片的最小引脚数目应为多少?
- 5. (选做)某 DRAM 芯片内部的存储元为 256×256 结构。该芯片每隔 4ms 至 少要刷新一次,且刷新是通过顺序对所有 256 行的存储元进行内部读操作实 现的。设存储周期为 500ns。试计算:对此芯片的全部存储元完成一次刷新

所需的刷新时间的总和。

11. (**A 类选做**) P₁₁₁ 2

()	选做)	动态 RAM	的刷新是以	ι	为单位进	挂行的 。	
a)	存储。	单元					
b)	行						
c)	列						
d)	存储统	矩阵					
假是	定用若	干个 2K×4	位的 SRA	M 芯片组	成一个 8K	×8 位的存储器。则均	也址
0B	IFH 所在芯片的最小地址是。						
a)	00001	Н	b) 0600H	(c) 1800H	d) 0800H	
∓ π	CD A M	相比 DD	N 左由吸	壮力 乃州	能上的一种	医不同之 丛左	
							°
d) 增加了行、列地址锁存器							
	,	•	储器的描述	土 中,正面	角的是	٥	
b)	DRA	M 读后需要	刷新				
c)	DRA	M 是破坏性	读出,因此	七需要读后			
d)	静态	RAM 不需	要定期刷新				
						8 位芯片的存储元矩队	车为
	a) b) c) d) 假 B a) 和 (a) b) c) d) e) f) (a) b) c) d) e) f) (a) b) c) d) (b) c) d) (c) d) (d) (d) (d) (d) (d) (d) (d) (d) (d)	a) b) c) d) 假 OB 1FH OOO B A B B B B B B B B B B B B B B B B	a) 存储单元 b) 行 c) 列 d) 存储矩阵 () 列 有储矩阵个 2K×4 0B1FH 所在芯片的量 a) 0000H 和 SRAM 相比, DRA () 多速地度人,与人,以及,,以及,,以及,,以及,,以及,,以及,,以及,,以及,,以及,,以及	a) 存储单元 b) 行 c) 列 d) 存储矩阵 假定用若干个 2K×4 位的 SRAT 0B1FH 所在芯片的最小地址是 a) 0000H 和 SRAM 相比, DRAM 在电路 (多选) a) 速度慢,集成度低 b) 地址线封装引脚数少 c) 速度慢,集成度高 d) 增加了行、列地址锁存器 e) 需要定期刷新 f) 需要定期刷新 f) 需要定期重写 (选作)下列有关存储器的描述 a) 因为单管动态随机存储器是 b) DRAM 读后需要刷新 c) DRAM 是破坏性读出,因此 d) 静态 RAM 不需要定期刷新 (选做) P111 3 (2) 补充	a) 存储单元 b) 行 c) 列 d) 存储矩阵 假定用若干个 2K×4 位的 SRAM 芯片组 OB1FH 所在芯片的最小地址是 a) 0000H b) 0600H 和 SRAM 相比, DRAM 在电路结构及性 (多选) a) 速度慢,集成度低 b) 地址线封装引脚数少 c) 速度慢,集成度高 d) 增加了行、列地址锁存器 e) 需要定期刷新 f) 需要定期刷新 f) 需要定期重写 (选作)下列有关存储器的描述中,正确 a) 因为单管动态随机存储器是破坏性读 b) DRAM 读后需要刷新 c) DRAM 是破坏性读出,因此需要读用 d) 静态 RAM 不需要定期刷新 (选做) P ₁₁₁ 3 (2) 补充条件: 何	a) 存储单元 b) 行 c) 列 d) 存储矩阵 假定用若干个 2K×4 位的 SRAM 芯片组成一个 8K 0B1FH 所在芯片的最小地址是。 a) 0000H b) 0600H c) 1800H 和 SRAM 相比, DRAM 在电路结构及性能上的主要(多选) a) 速度慢,集成度低 b) 地址线封装引脚数少 c) 速度慢,集成度高 d) 增加了行、列地址锁存器 e) 需要定期刷新 f) 需要定期刷新 f) 需要定期重写 (选作)下列有关存储器的描述中,正确的是 a) 因为单管动态随机存储器是破坏性读出,所以是 b) DRAM 读后需要刷新 c) DRAM 是破坏性读出,因此需要读后重写 d) 静态 RAM 不需要定期刷新	b) 行 c) 列 d) 存储矩阵 假定用若干个 2K×4 位的 SRAM 芯片组成一个 8K×8 位的存储器。则比 0B1FH 所在芯片的最小地址是。 a) 0000H b) 0600H c) 1800H d) 0800H 和 SRAM 相比, DRAM 在电路结构及性能上的主要不同之处有(多选) a) 速度慢,集成度低 b) 地址线封装引脚数少 c) 速度慢,集成度高 d) 增加了行、列地址锁存器 e) 需要定期刷新 f) 需要定期最新 f) 需要定期重写 (选作)下列有关存储器的描述中,正确的是。 a) 因为单管动态随机存储器是破坏性读出,所以必须不断刷新 b) DRAM 读后需要刷新 c) DRAM 是破坏性读出,因此需要读后重写 d) 静态 RAM 不需要定期刷新 (选做) P _{III} 3 (2) 补充条件: 假设 16K×8 位芯片的存储元矩图