

# 暨南大学本科实验报告专用纸

课程名称 数字逻辑实验 成绩评定                       
实验项目名称 七段数码管 指导教师 梁倬騫  
实验项目编号 0806003805 实验项目类型 验证性 实验地点 N126  
学生姓名 阮炜霖 学号 2020101603  
学院 信息科学技术 系 计算机科学 专业 网络工程  
实验时间 2021 年 10 月 25 日 下午 ~ 10 月 25 日 下午 温度      °C 湿度     

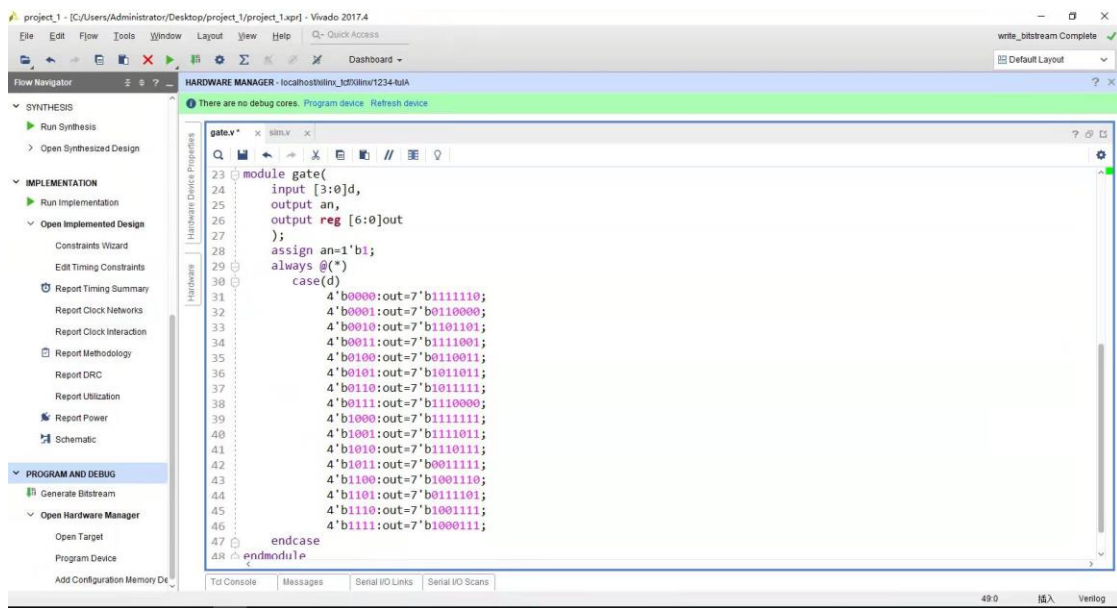
## （一）实验目的和要求；

- ❖ 掌握用 Verilog HDL 进行数据流建模；
- ❖ 学会在 EGO-1 实验板上使用七段数码管；
- ❖ 学会用 Verilog HDL 实现用七段数码管实现 16 进制数；
- ❖

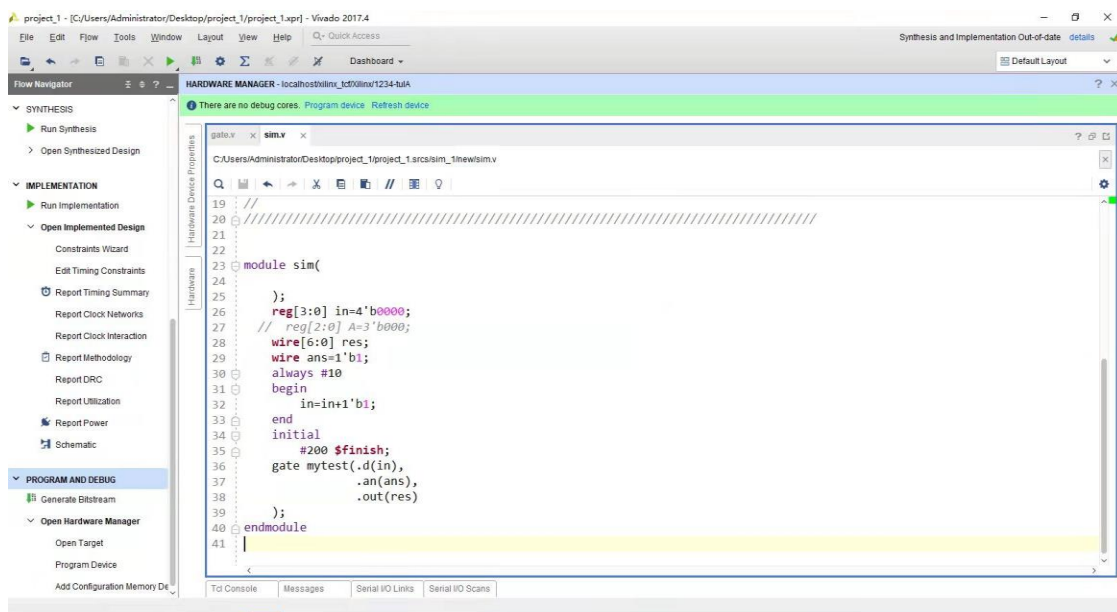
## （二）实验主要内容；

- ❖ 编写 Verilog 程序，使得在七段数码管中显示 0~9，A~F 这 16 进制数。

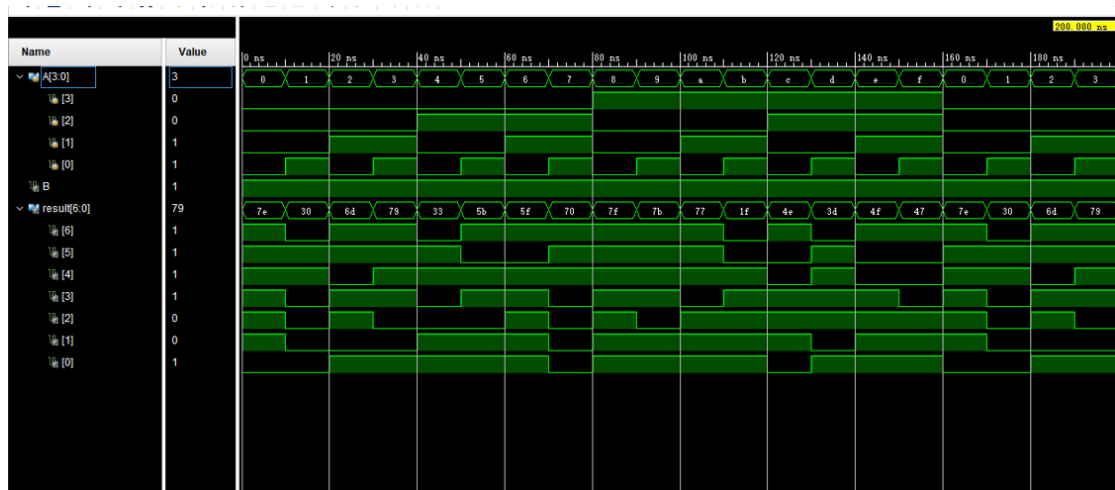
## （三）实验程序



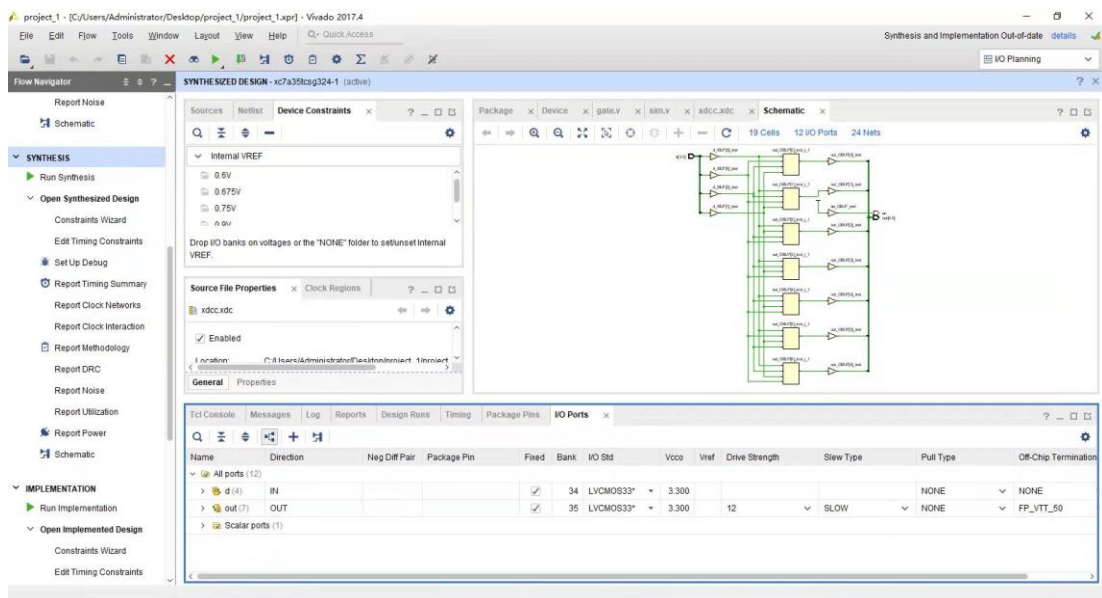
#### (四) 仿真程序



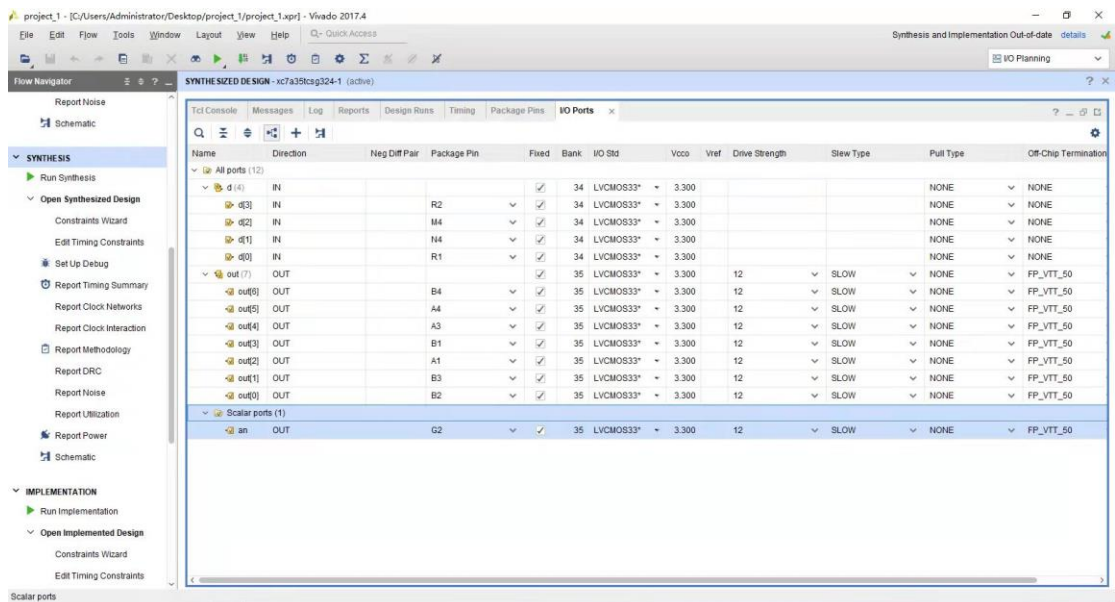
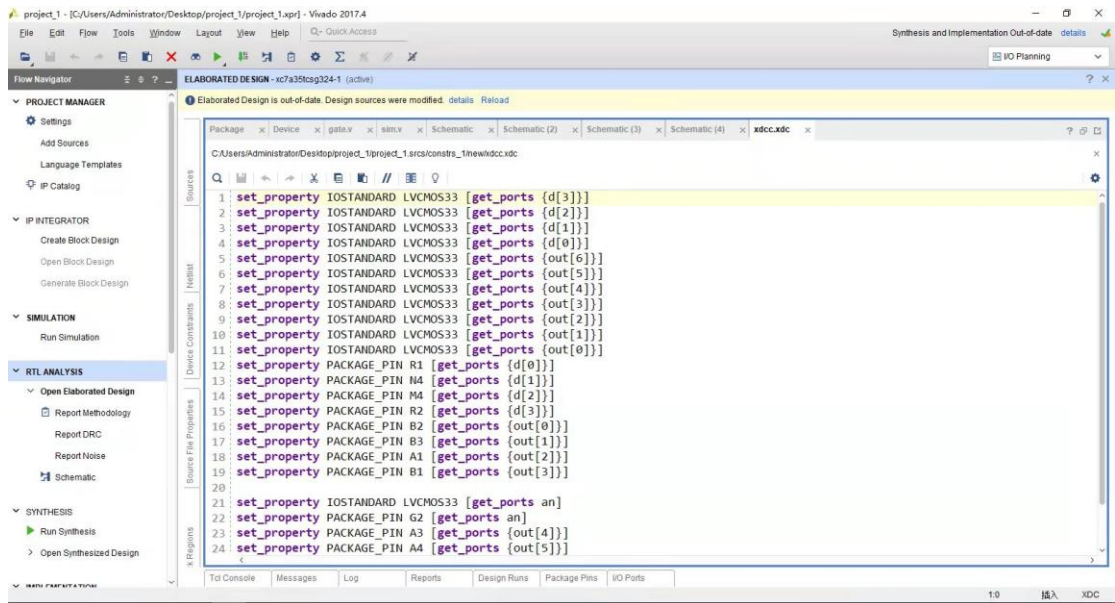
#### (五) 仿真结果



## (六) 系统网表 (RTL analysis→ schematic)

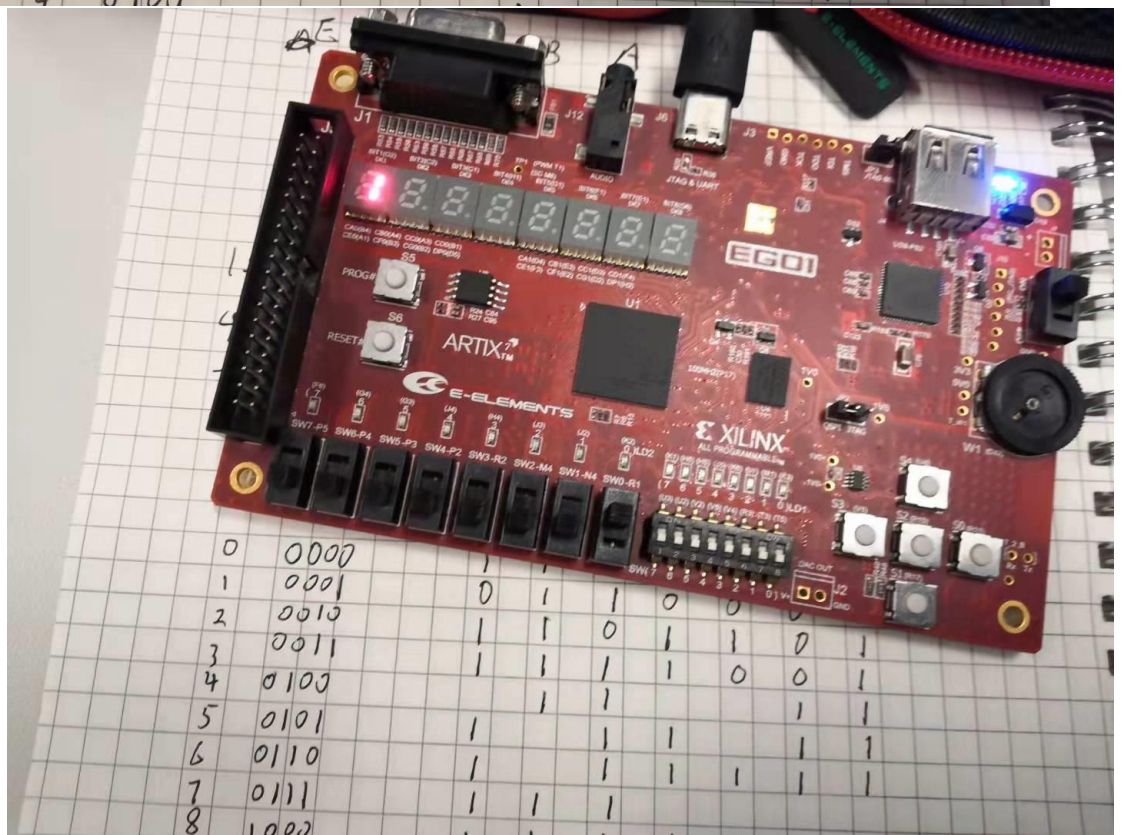
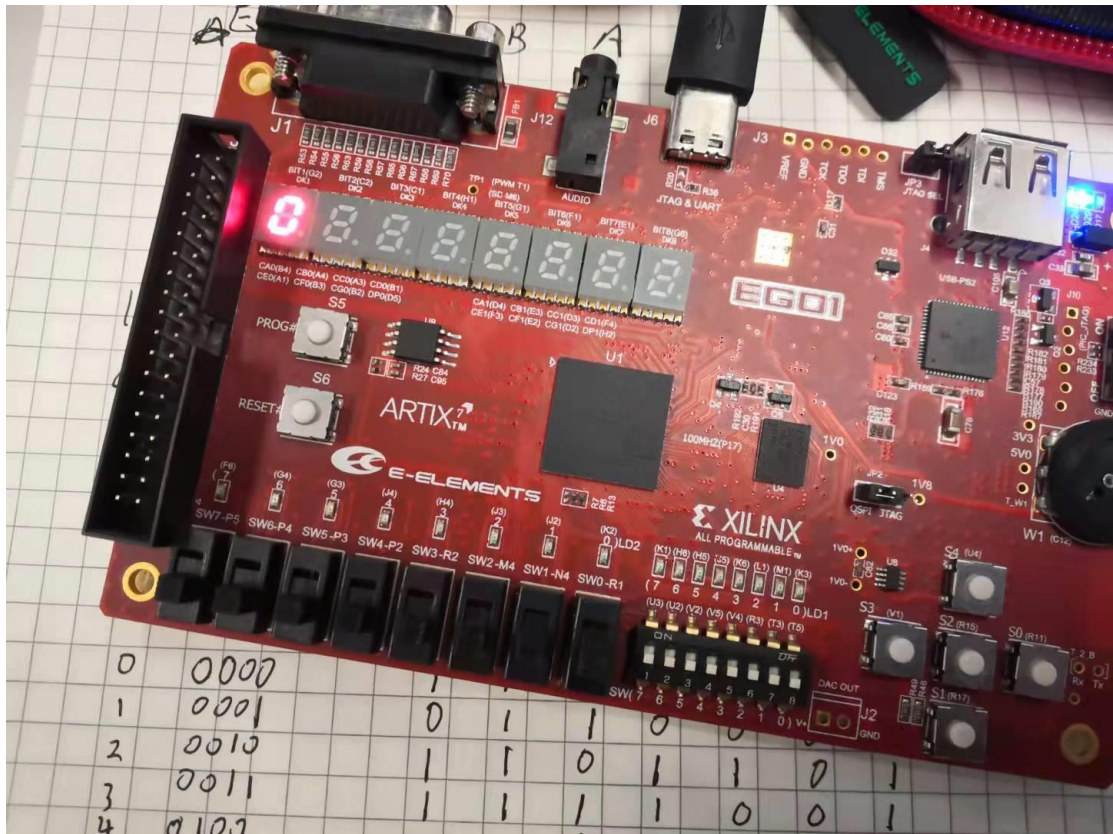


## (七) 系统约束



## (八) 实验结果



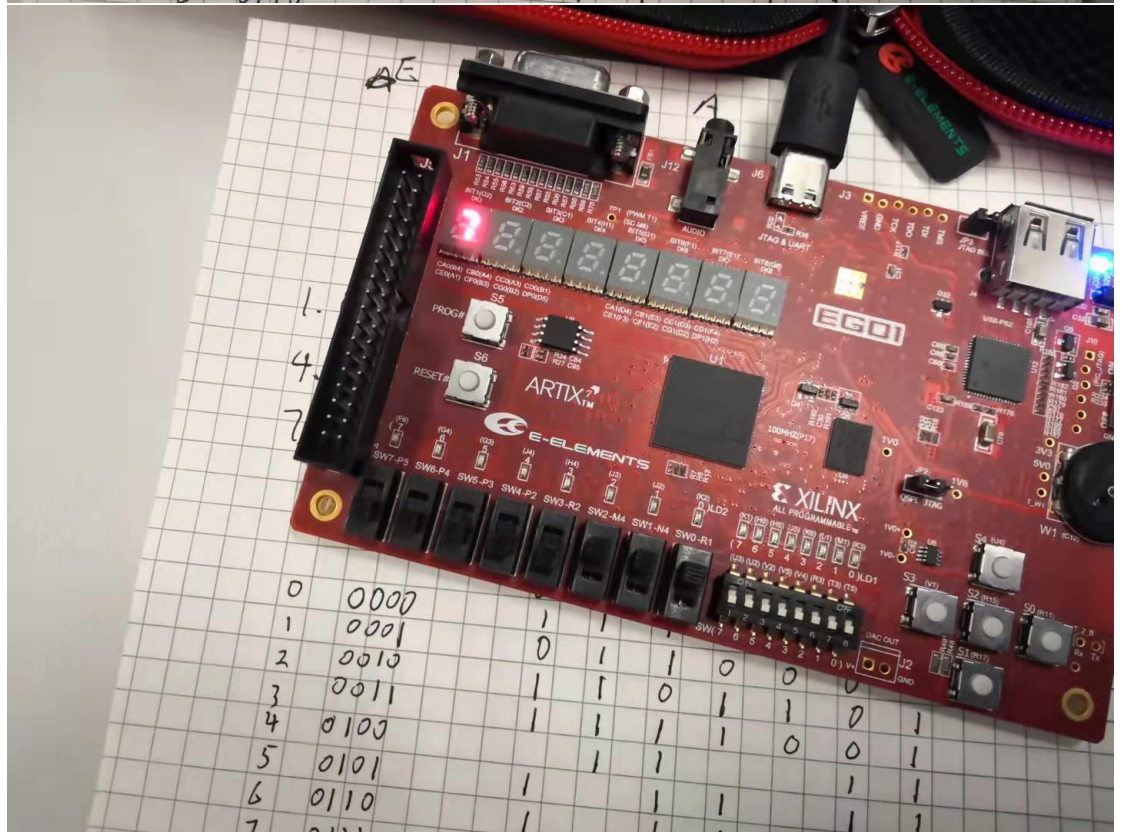
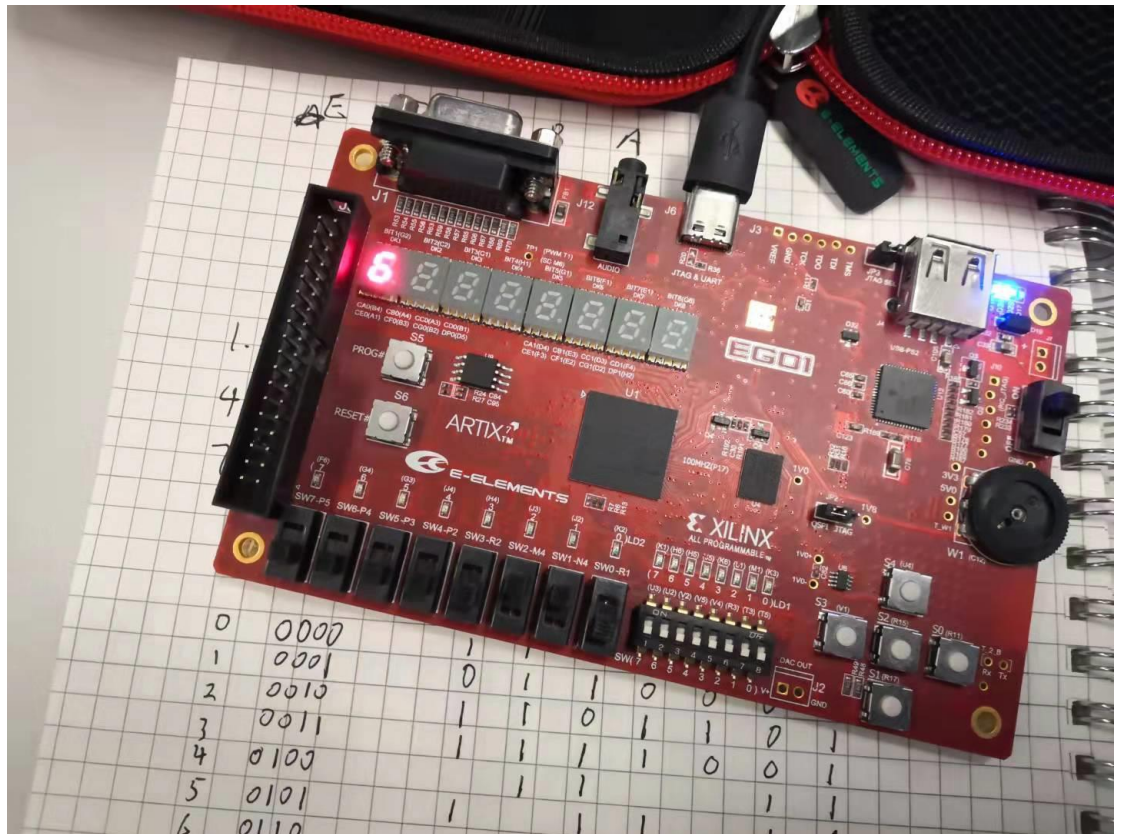




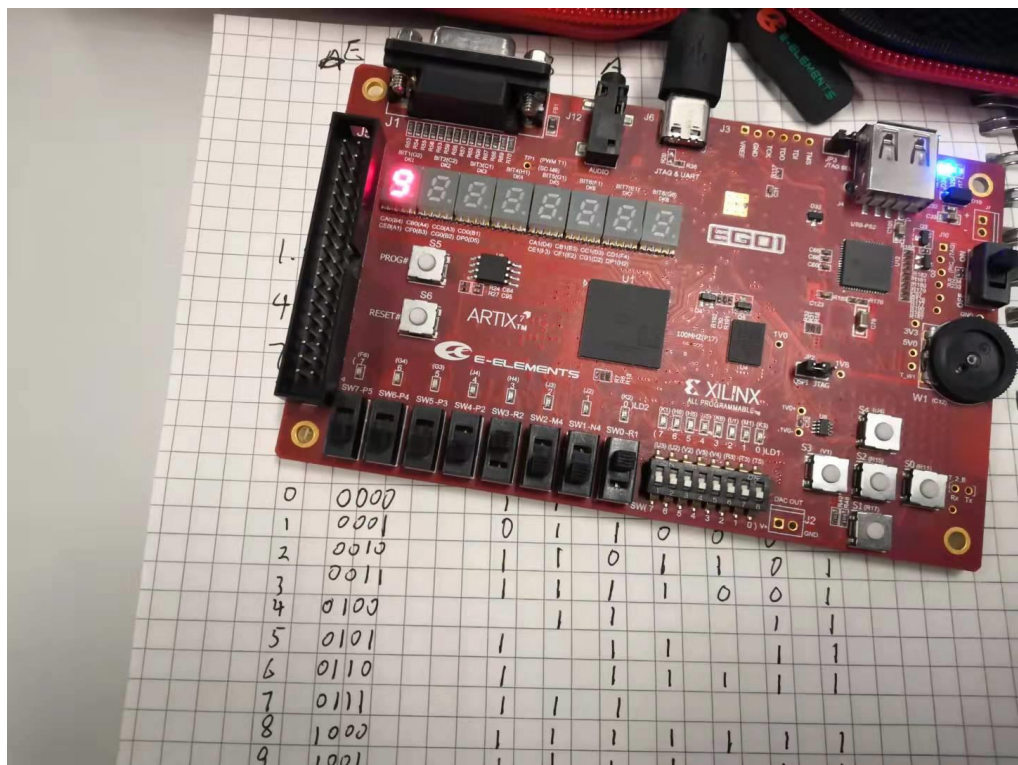
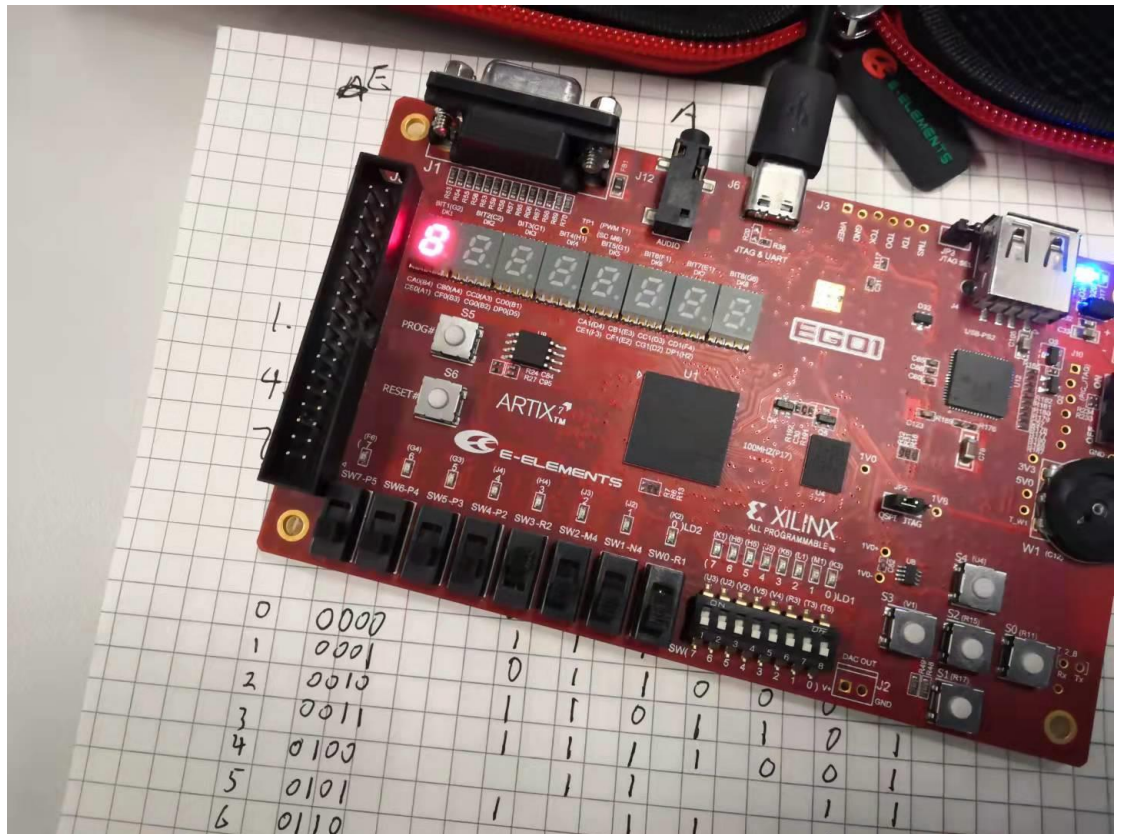


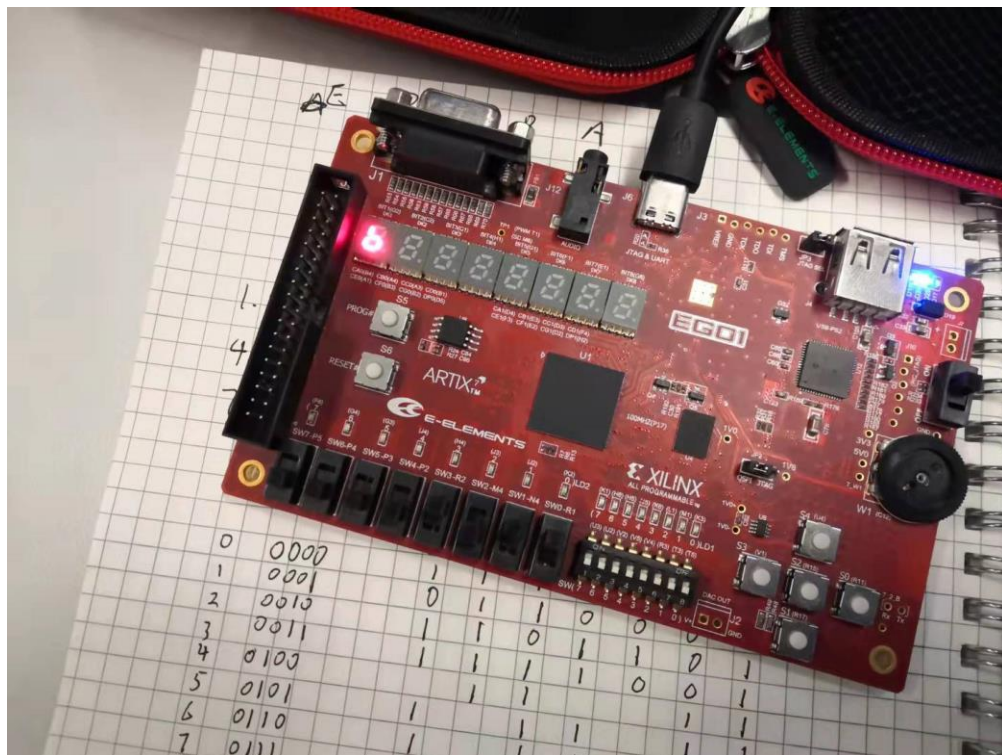
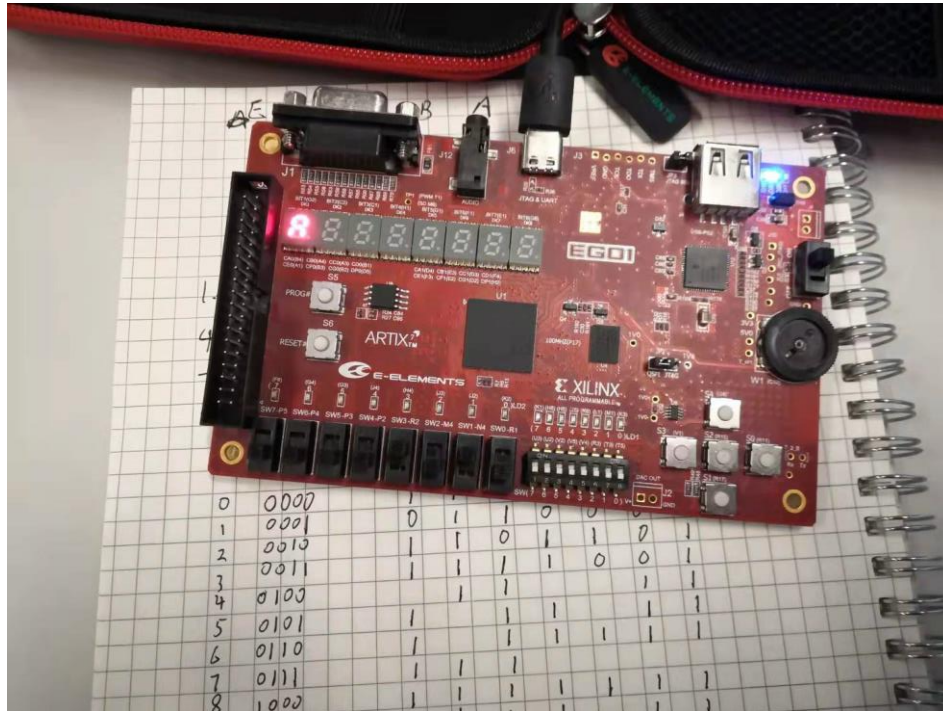








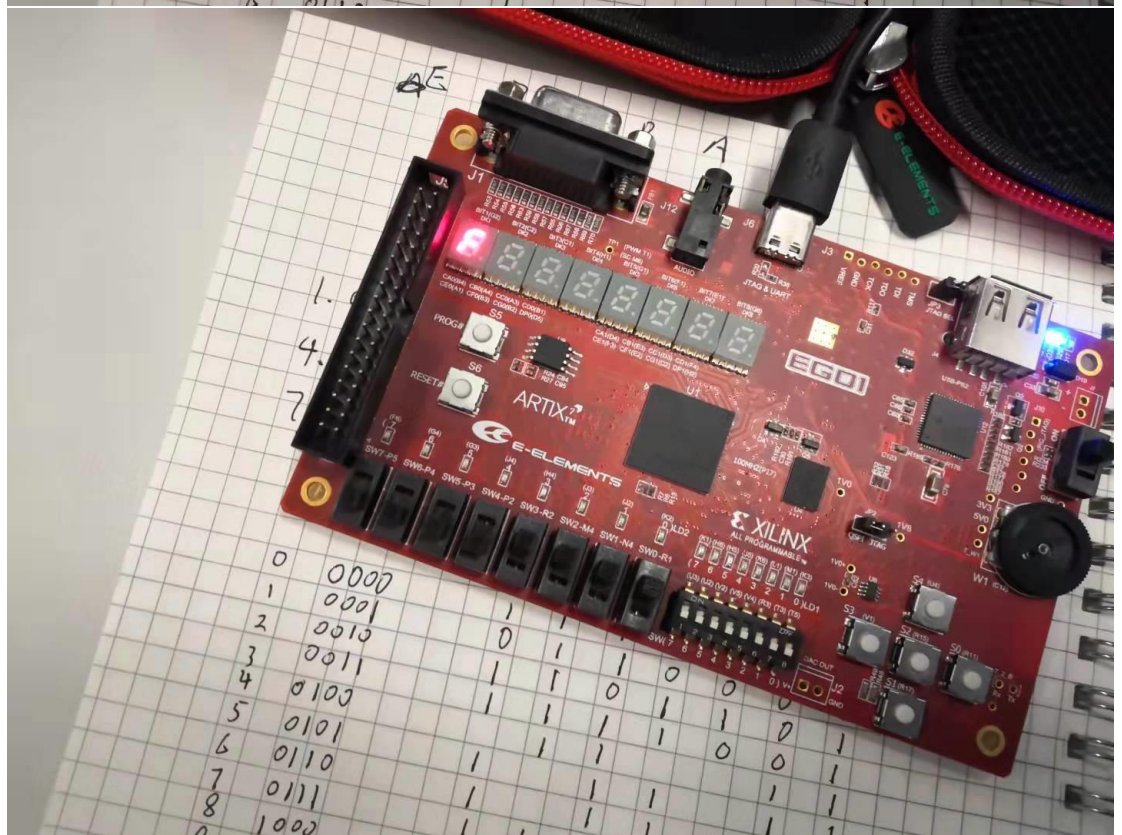
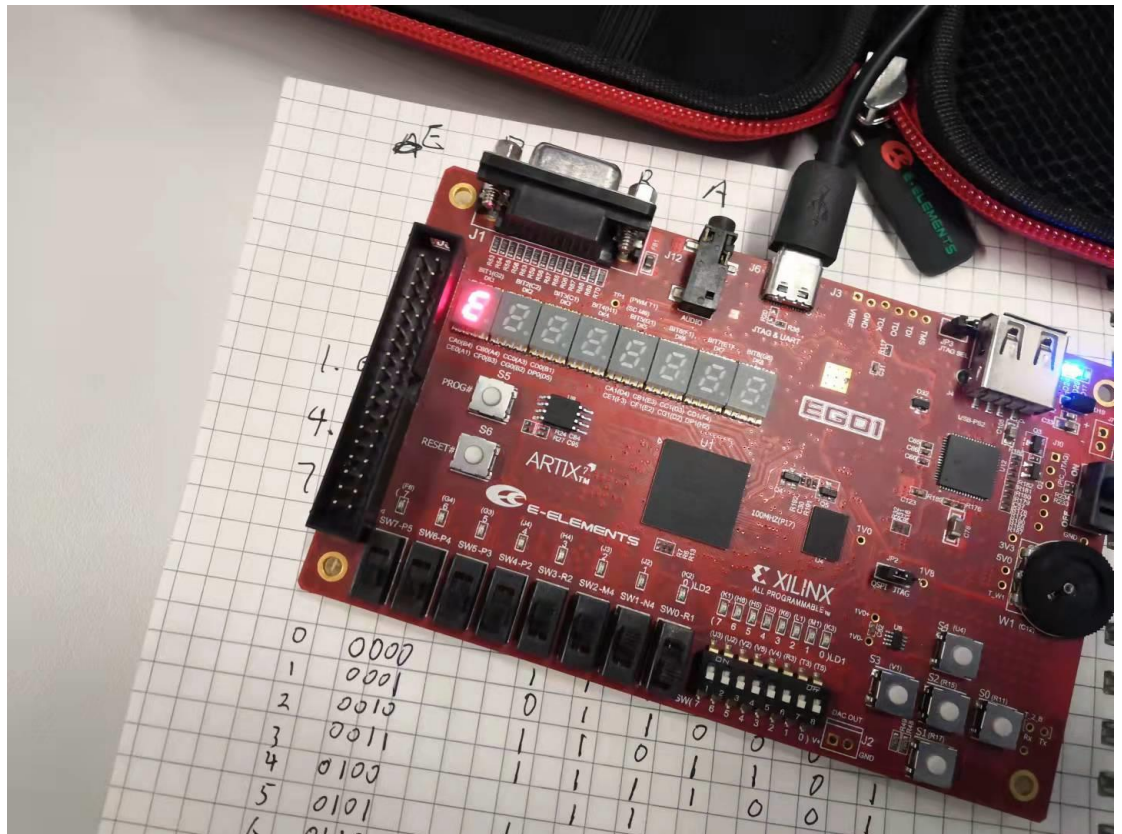












# 暨南大学本科实验报告专用纸(附页)

---