

暨南大学本科实验报告专用纸

课程名称 数字逻辑实验 成绩评定
实验项目名称 计数器 指导教师 梁倬骞
实验项目编号 0806003806 实验项目类型 验证性 实验地点 N126
学生姓名 阮炜霖 学号 2020101603
学院 信息科学技术 系 计算机科学 专业 网络工程
实验时间 2021 年 10 月 25 日 下午~10 月 25 日 下午 温度 °C 湿度

（一）实验目的和要求；

- ❖ 学会使用 Verilog HDL 进行行为建模；
- ❖ 学会的 Verilog HDL 行为建模来实现计数器；
- ❖ 学会用 Verilog HDL 行为建模来实现分频器；

（二）实验主要内容；

- ❖ 用 Verilog HDL 实现 1 位的十六进制计数器，并用七段数码管来显示十六进制数 0~F。

（三）实验程序

```
`timescale 1ns / 1ps
```

```
module div(  
    input clk,  
    output clk_3  
);  
    reg [24:0] q=25'b0;  
    always @ (posedge clk)  
    begin  
        q=q+1'b1;  
    end  
    assign clk_3=q[24];  
endmodule
```

```

module couter(
    input clk,
    input clr,
    output reg [3:0] data
);
    initial
    begin
        data=4'b0000;
    end
    always @ (posedge clk)
    begin
        if(clr==1) data=4'b0000;
        else data=data+1'b1;
    end
endmodule

```

```

module seven(
    input [3:0] data,
    output reg [6:0] out,
    output an
);
    assign an=1'b1;
    always @(*)
        case(data)
            4'h0:out=7'b0111111;
            4'h1:out=7'b0000110;
            4'h2:out=7'b1011011;
            4'h3:out=7'b1001111;
            4'h4:out=7'b1100110;
            4'h5:out=7'b1101101;
            4'h6:out=7'b1111101;
            4'h7:out=7'b0000111;
            4'h8:out=7'b1111111;
            4'h9:out=7'b1101111;
            4'hA:out=7'b1110111;
            4'hB:out=7'b1111100;
            4'hC:out=7'b0111001;
            4'hD:out=7'b1011110;
            4'hE:out=7'b1111001;
            4'hF:out=7'b1110001;
        endcase
endmodule

```

```

module vg(
    input clk,
    input clr,
    output [6:0] out,
    output an
);
    wire clk_3;
    wire [3:0] data;
    //div step1(clk,clk_3);
    counter step2(clk,clr,data);
    seven step3(data,out,an);
endmodule

```

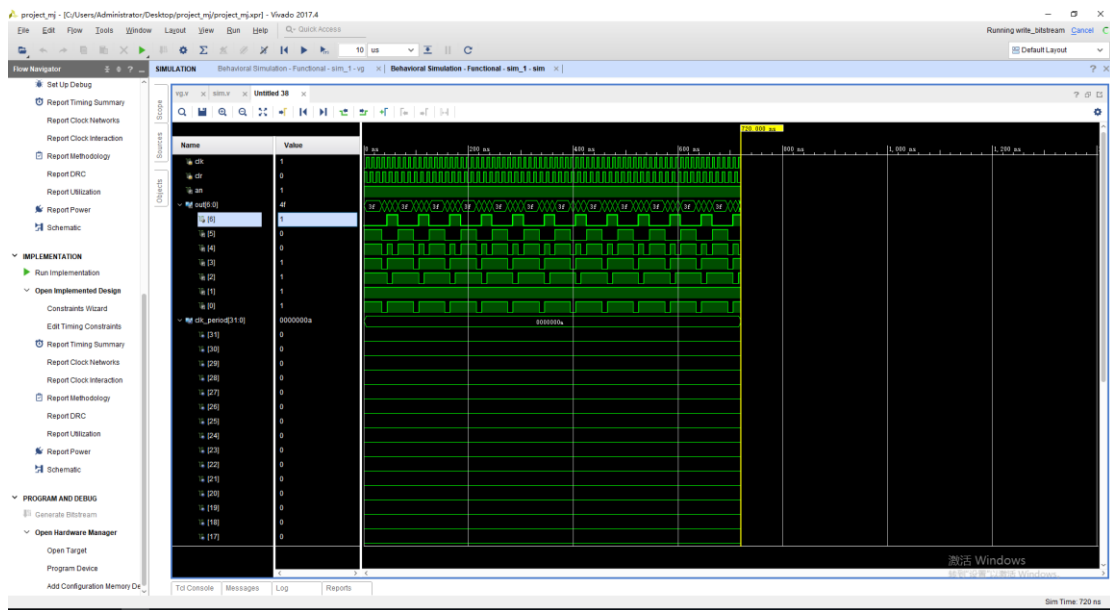
(四) 仿真程序

```

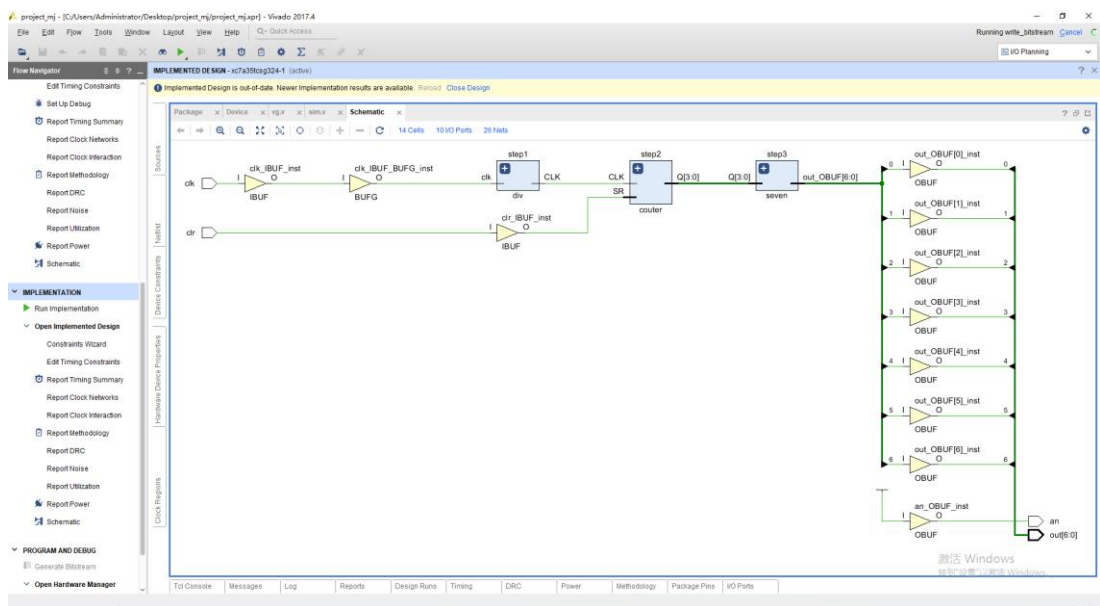
`timescale 1ns / 1ps
module sim(
);
    reg clk=1'b0;
    reg clr=1'b1;
    wire an;
    wire [6:0] out;
    parameter clk_period=10;
    initial
    begin
        forever
            #(clk_period/2) clk=~clk;
    end
    always #6
    begin
        clr=clr+1'b1;
    end
    initial
    begin
        #720 $finish;
    end
    vg mytest(clk,clr,out,an);
endmodule

```

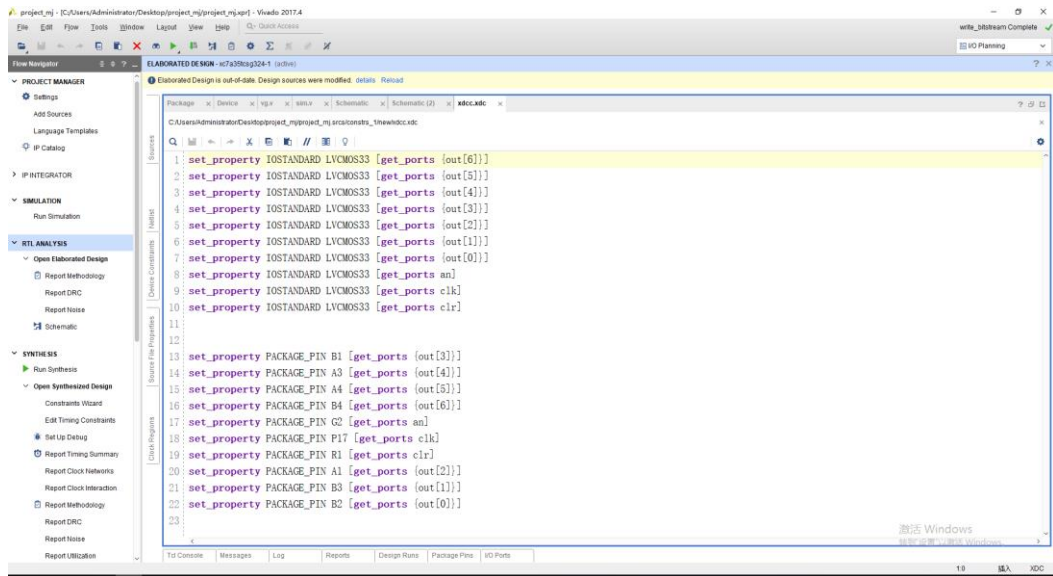
(五) 仿真结果



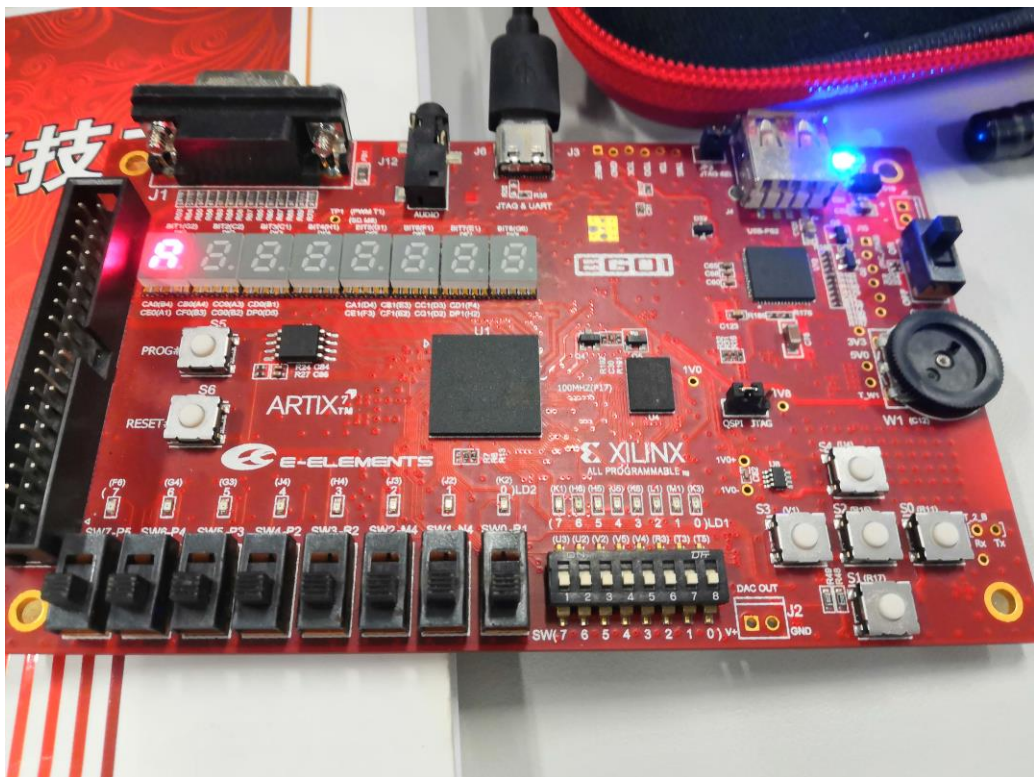
(六) 系统网表 (RTL analysis→ schematic)



(七) 系统约束



(八) 实验结果



暨南大学本科实验报告专用纸(附页)
