

暨南大学本科实验报告专用纸

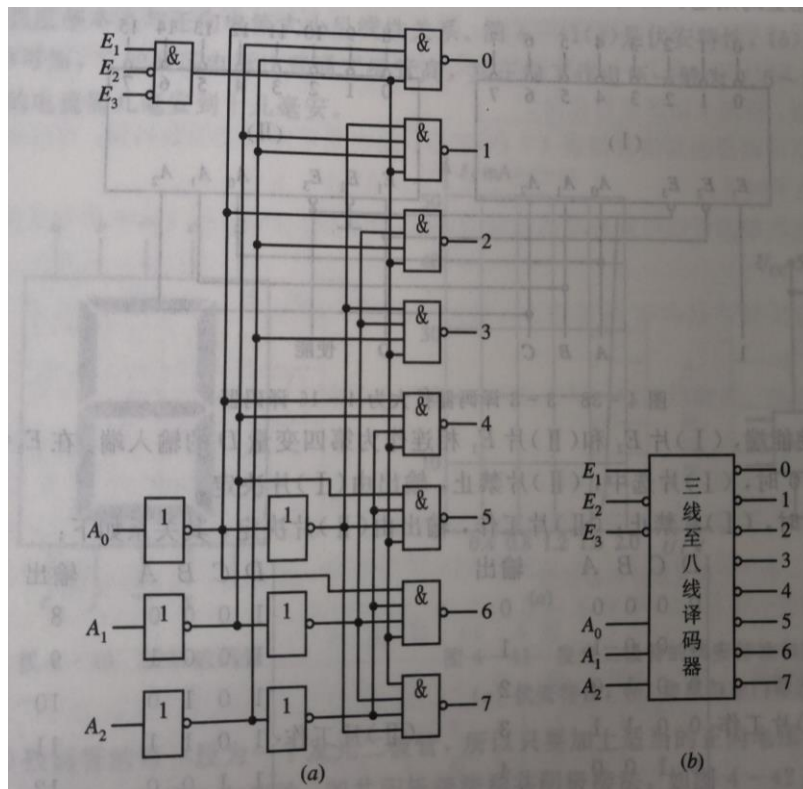
课程名称 数字逻辑实验 成绩评定
实验项目名称 74LS138 译码器 指导教师 梁倬騫
实验项目编号 0806003804 实验项目类型 验证性 实验地点 N126
学生姓名 阮炜霖 学号 2020101603
学院 信息科学技术 系 计算机科学 专业 网络工程
实验时间 2021 年 10 月 25 日 下午~10 月 25 日 下午 温度 °C 湿度

（一）实验目的和要求；

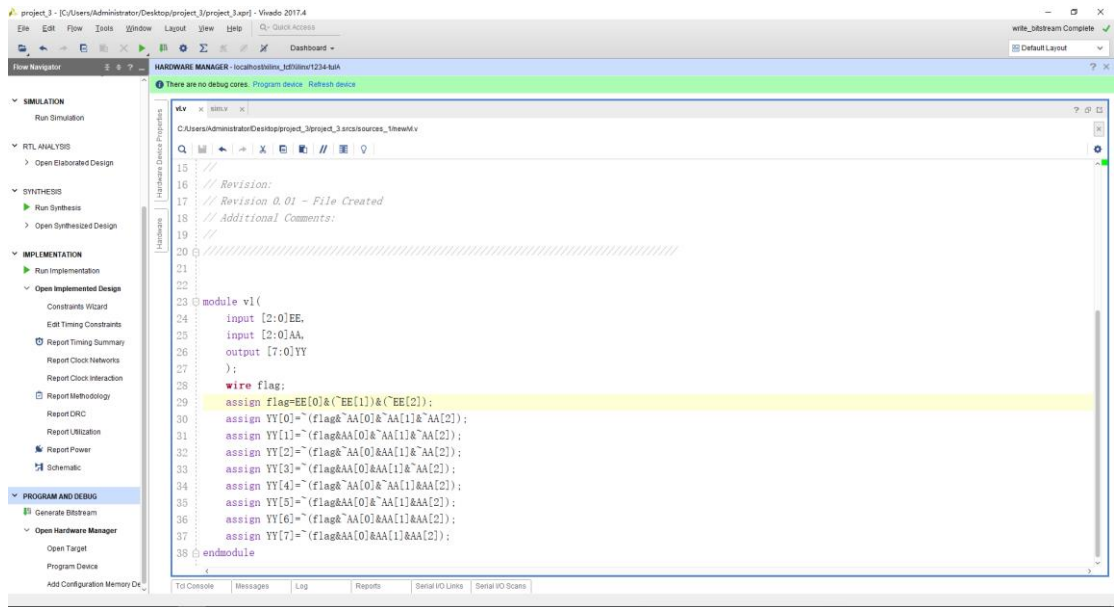
- ❖ 掌握用 Verilog HDL 进行数据流建模；
- ❖ 深入理解用门电路组成的译码器的工作原理；
- ❖ 学会用 Verilog HDL 实现 74LS138；

（二）实验主要内容；

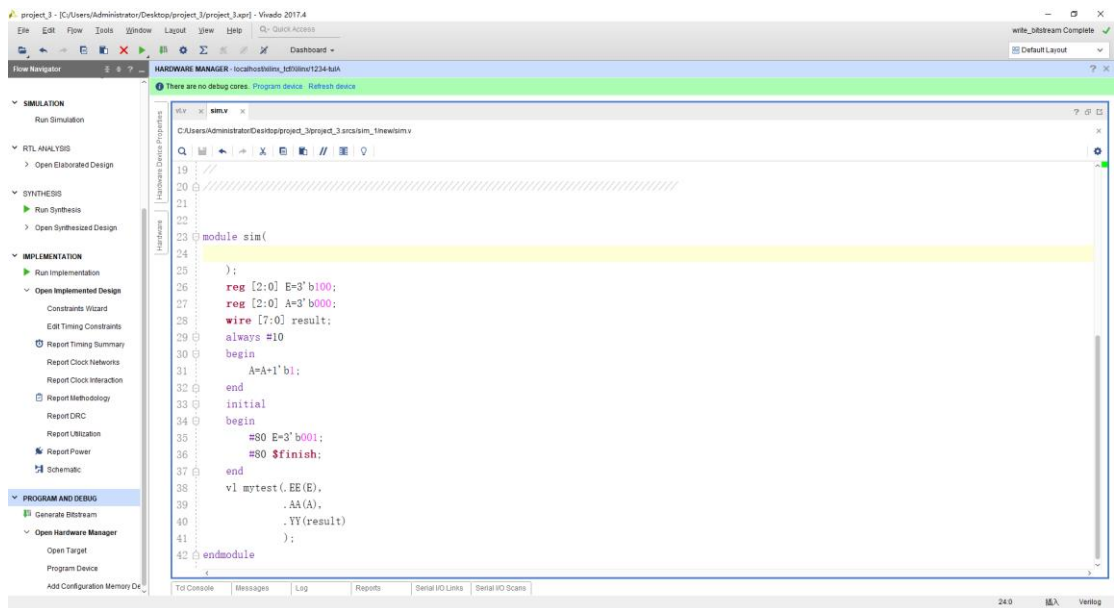
- ❖ 用 Verilog HDL 语言实现 74LS138 的功能。



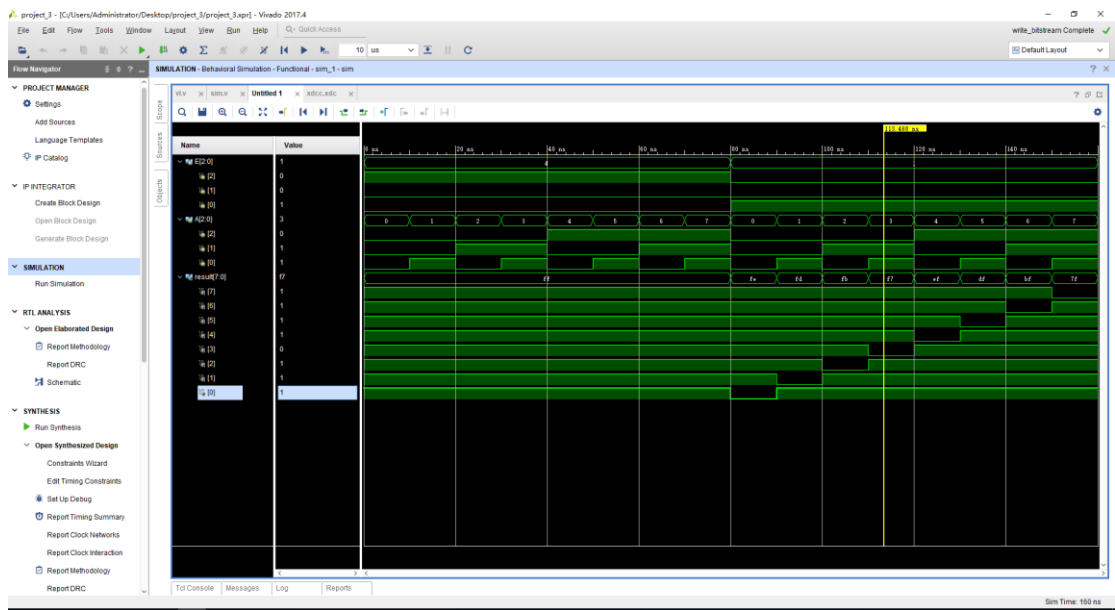
（三）实验程序



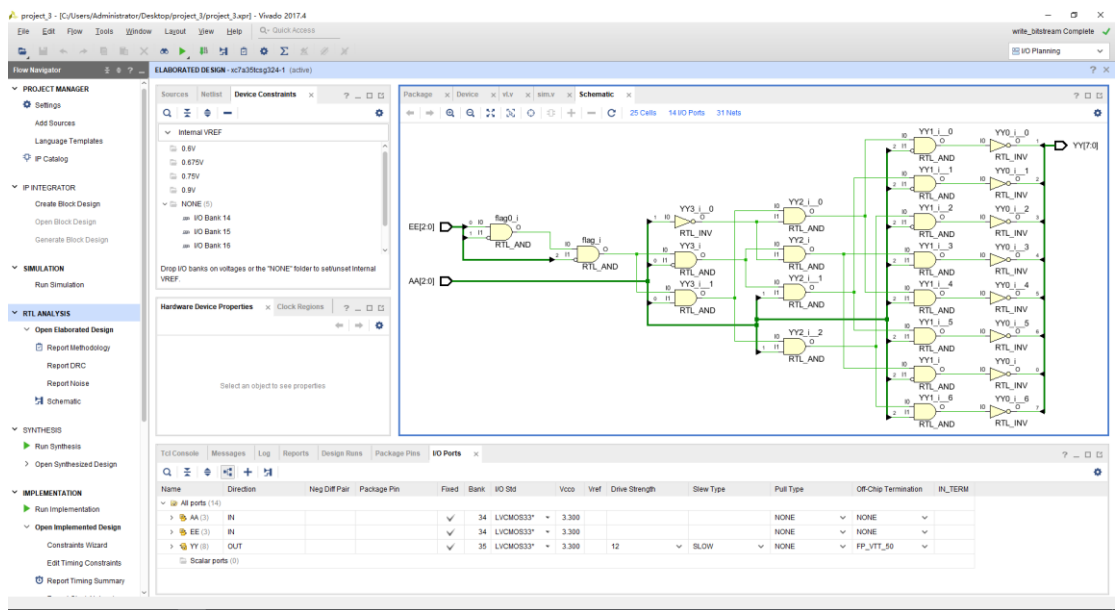
（四）仿真程序



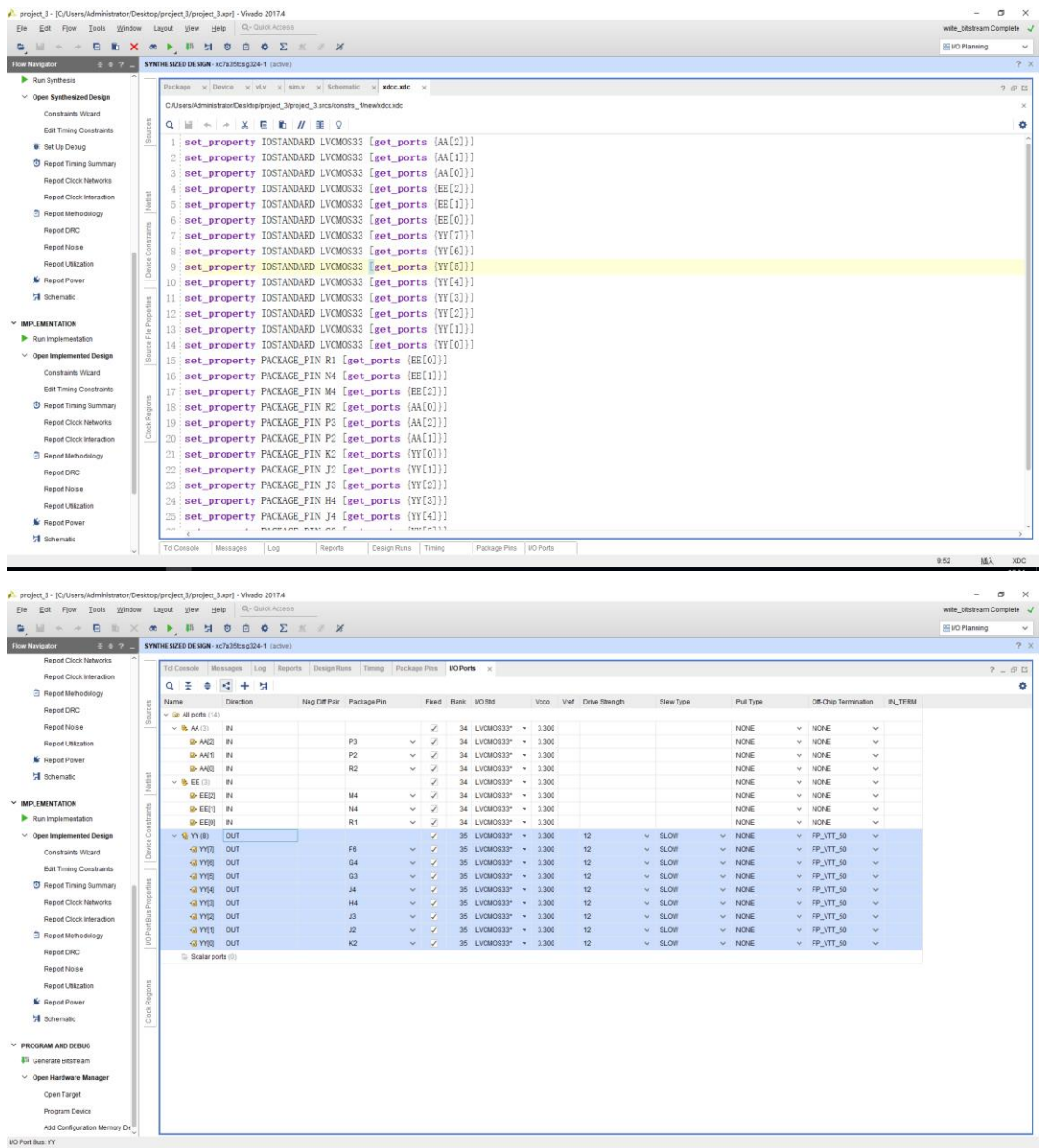
（五）仿真结果



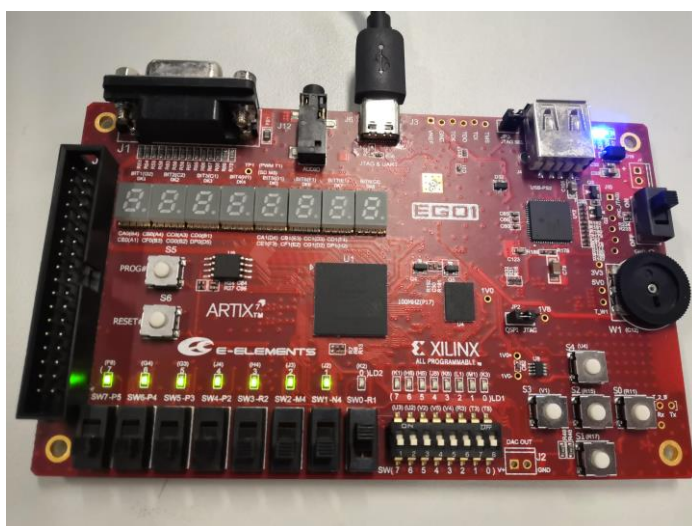
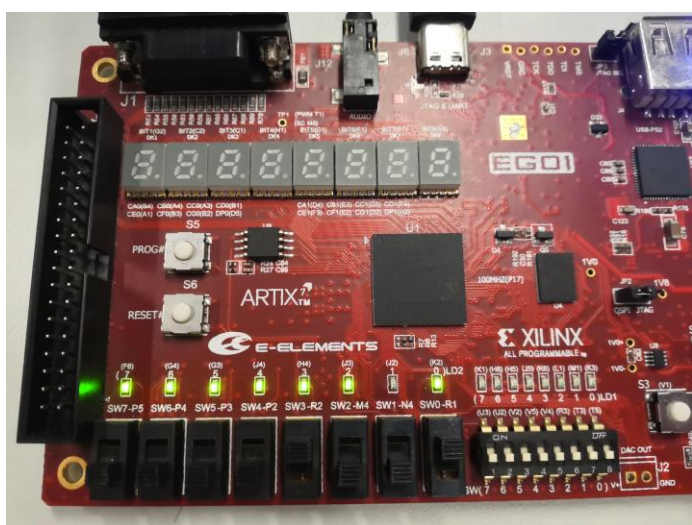
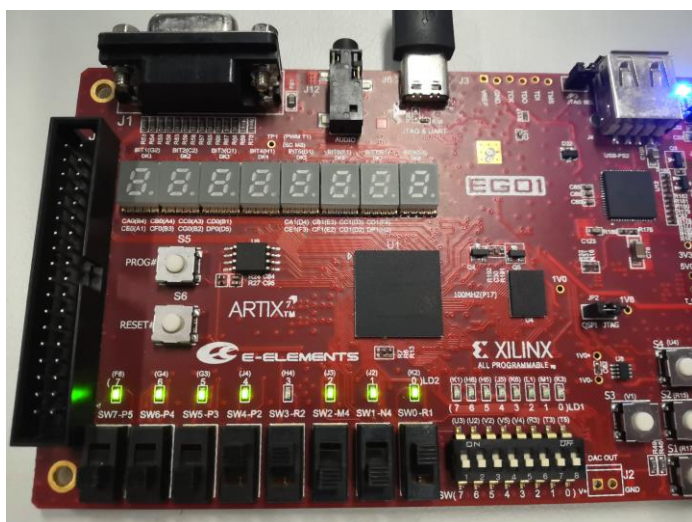
(六) 系统网表 (RTL analysis→ schematic)



(七) 系统约束



(八) 实验结果



通过控制使能 R1-N4-M4（分别为原理图的 E1,E2,E3）以及开关 R2-P2-P3（分别为原理图的 A1,A2,A3），实现 74LS138 的功能，顺利完成实验。

暨南大学本科实验报告专用纸(附页)
