

# 暨南大学本科实验报告专用纸

课程名称 数字逻辑实验 成绩评定                       
实验项目名称 Verilog 门级建模 指导教师 梁倬骞  
实验项目编号 0806003801 实验项目类型 验证性 实验地点 N126  
学生姓名 阮炜霖 学号 2020101603  
学院 信息科学技术 系 计算机科学 专业 网络工程  
实验时间 2021 年 9 月 26 日 下午~9 月 26 日 下午 温度      °C 湿度     

## （一）实验目的和要求；

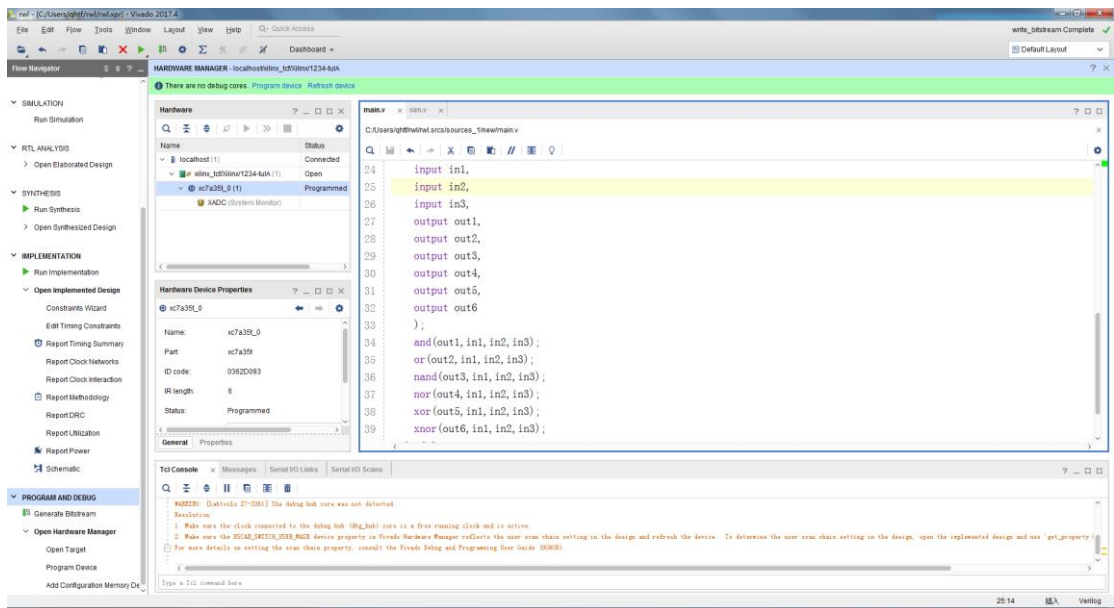
1. 学会用 Verilog HDL 进行门级建模
2. 初步学会使用 Verilog HDL 写仿真程序
3. 初步学会使用 Vivado 软件
4. 初步学会验证基本逻辑门的逻辑功能的方法
5. 初步学会使用 EGO-1 实验板

## （二）实验主要内容；

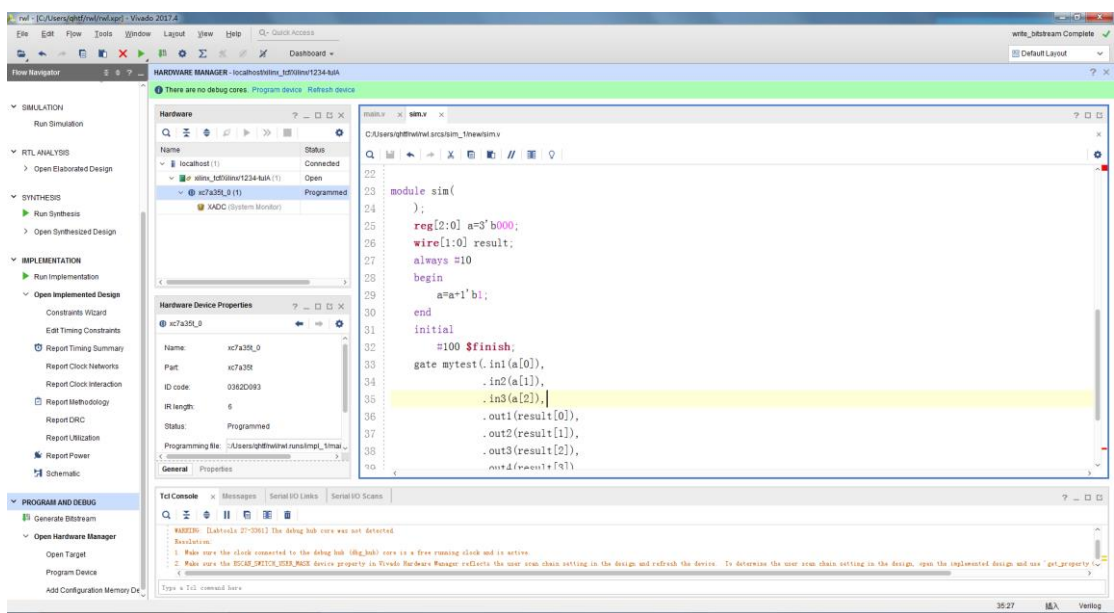
编写 Verilog 程序，实现三变量输入的与门、或门、与非门、或非门、异或门及同或门。

注意：所有门的输入都是相同的。

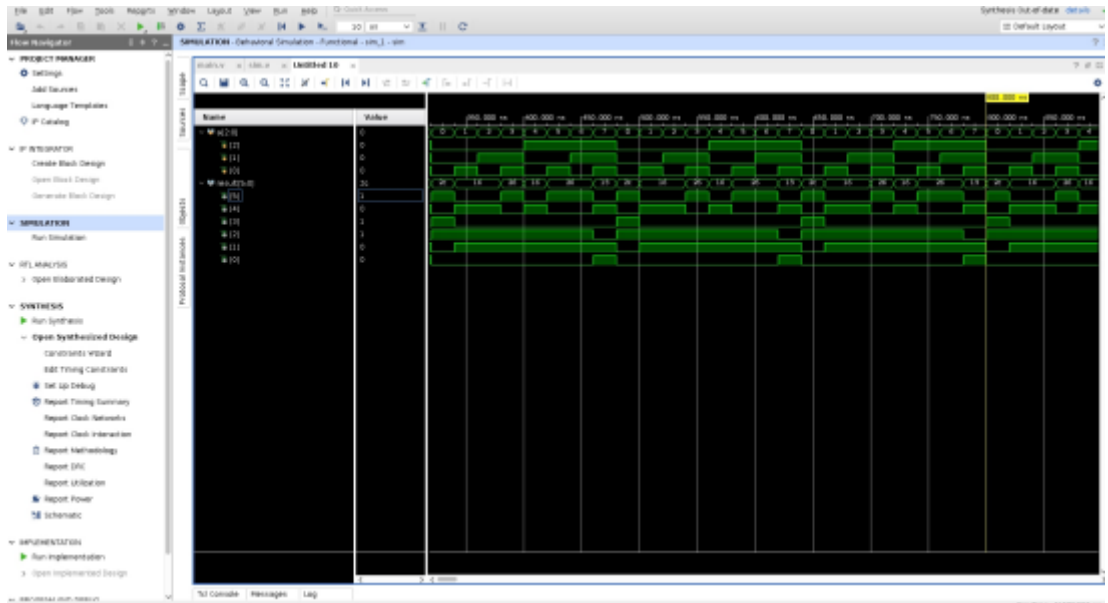
## （三）实验程序



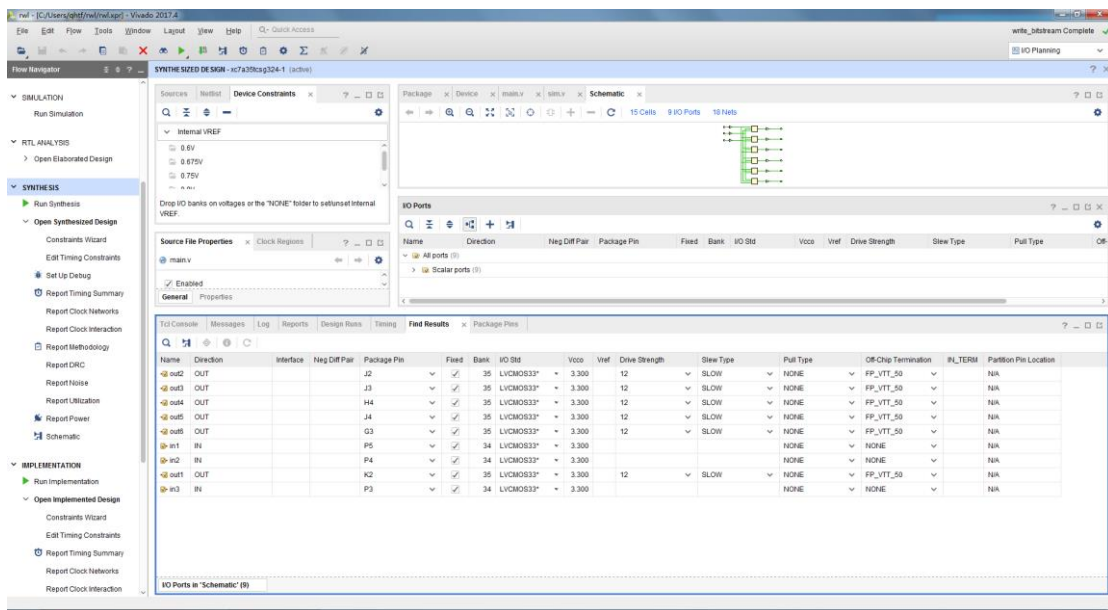
## (四) 仿真程序



## (五) 仿真结果



## (六) 系统网表 (RTL analysis→ schematic)





# 暨南大学本科实验报告专用纸(附页)

---