

(3.4, 3.5) 作业

1. 某计算机主存容量为 64KB，其中 ROM 区为 4KB，其余为 RAM 区，按字节编址。现要用 $2K \times 8$ 位的 ROM 芯片和 $4K \times 4$ 位的 RAM 芯片来设计该存储器，则需要上述规格的 ROM 芯片和 RAM 芯片数分别是_____。
a) 1、15 b) 2、15 c) 2、30 d) 1、30
2. (选做) P₁₁₁ 7 要求：给出设计过程，作出主存地址空间分配表（详细），给出片选信号的逻辑表达式，画出存储器组成框图。
3. 某机字长 8 位，用 \overline{MREQ} 作访存控制信号（低电平有效）。拟设计一个容量为 $10K \times 8$ 位的主存，其中 RAM 区为高 8K 字，ROM 区为低 2K 字，最低地址为 0。可选芯片如下： $2K \times 4$ 位的 ROM； $4K \times 8$ 位 RAM；3-8 译码器 74LS138。逻辑门自选。要求：
 - a) 主存地址线、数据线至少各多少位？
 - b) 给出 RAM 区和 ROM 区的地址范围；
 - c) 计算每种芯片各需多少片；
 - d) 给出详细的主存地址空间分配表；
 - e) 给出片选信号的逻辑表达式；
 - f) 画出此存储器的组成框图（详细画出三种总线的连接，尤其是片选逻辑）。
4. 某 CPU 地址总线为 16 位（A₁₅~A₀），数据总线 8 位（D₇~D₀），访存控制信号为 \overline{MREQ} （低电平有效）， R/\overline{W} 为读写控制信号（高电平为读，低电平为写）。拟设计一个容量为 $9K \times 8$ 位的主存，其中 ROM 区为 $4K \times 8$ 位，起始地址为 0000H；相邻的是一个 $5K \times 8$ 位的 RAM 区。可选芯片如下： $2K \times 8$ 位的 EPROM， $2K \times 4$ 位和 $1K \times 4$ 位的 SRAM，3-8 译码器 74LS138。逻辑门自选。要求：
 - a) 给出主存地址空间分配；
 - b) 指出选用的存储芯片类型及数量；
 - c) 给出片选逻辑表达式；
 - d) 画出此存储器的组成框图（详细画出三种总线的连接，尤其是片选逻辑）。
5. 计算机系统中的存储系统是指_____，没有外部存储器的计算机监控程序可以放在_____中。

- a) 主存储器和外存储器, ROM
 - b) ROM, RAM
 - c) 主存储器, ROM 和 RAM
 - d) RAM, CPU
6. 下列存储器中, 在工作期间需要周期性刷新的是_____, 具有非易失性的是_____。
- a) CDRAM
 - b) EEPROM
 - c) SRAM
 - d) FLASH
7. 下列关于闪存 (Flash Memory) 的叙述中, 错误的是_____。
- a) 采用随机访问方式, 可代替计算机外部存储器
 - b) 存储元由 MOS 管组成, 是一种半导体存储器
 - c) 信息可读可写, 并且读、写速度一样快
 - d) 掉电后信息不丢失, 是一种非易失性存储器
8. 双端口存储器能高速进行读写, 是因为采用_____
- a) 高速芯片
 - b) 两套相互独立的读写电路
 - c) 流水技术
 - d) 新型器件
9. 双端口存储器在_____的情况下会发生读/写冲突。
- a) 左端口与右端口的地址码不同
 - b) 左端口与右端口的数据码相同
 - c) 左端口与右端口的地址码相同
 - d) 左端口与右端口的数据码不同
10. 交叉存储器实际上是一种_____存储器, 它能_____执行_____独立的读写操作。
- a) 整体式, 并行, 一个
 - b) 模块式, 串行, 多个
 - c) 模块式, 并行, 多个
 - d) 整体式, 并行, 一个
11. P₁₁₂ 8