暨南大学本科实验报告专用纸

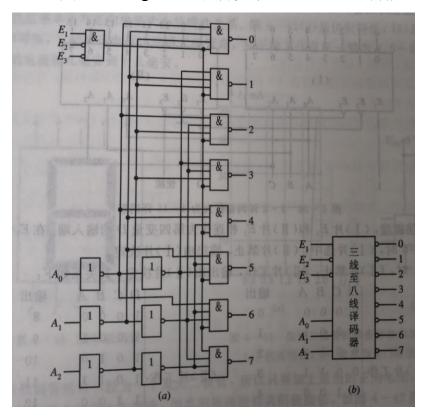
课程名称	* 数字逻辑	实验		成绩许	空定			
实验项目	名称	74LS138 ខ	圣码器		_指导	教师	梁倬	骞
实验项目	编号 080	06003804	实验项目	类型 翌	证性	实验地	点 N12	6
学生姓名		学号	202010	1603				_
学院	信息科学技	术系计	算机科学	_专业_	网络二	L程		
实验时间	<u> 2021</u> 年 <u>1</u>	0月25日	下午~10	月 25 E	了下午	温度	°C湿度	

(一) 实验目的和要求;

- ❖ 掌握用 Verilog HDL 进行数据流建模;
- ❖ 深入理解用门电路组成的译码器的工作原理;
- ❖ 学会用 Verilog HDL 实现74LS138;

(二)实验主要内容;

❖ 用 Verilog HDL 语言实现 74LS138 的功能。



(三) 实验程序

```
| Project | Construct Michael | Construct | Construct
```

(四) 仿真程序

```
VLV × sim.v ×
C:AJsers:AdministratorDesidoplproyed_3/project_3.srcs/sim_tim
                                                        Q H + + X E K // E 0
     > Open Elaborated Design
     Run Synthesis
                                                         22
23 0 module sim(
24
    ► IMPLEMENTATION

► Run Implementation

► Open Implemented Design

Constraints Wizard

Edit Timing Constraints
                                                       25 );
26 reg [2
27 reg [2
28 wire [
29 0 always
30 0 begin
31 A=/
32 0 end
33 0 initial
34 0 begin
35 =80
36 88(
37 0 end
38 vl myte
39 40
40 42 0 endmodule
                                                                      );
reg [2:0] E=3'b100;
reg [2:0] A=3'b000;
wire [7:0] result;
always #10
begin
A=A+1'b1;
end
         To Report Timing Summary
             Report Clock Interaction
         Report Methodology
Report DRC
                                                                          initial
                                                                         begin

#80 E=3'b001;

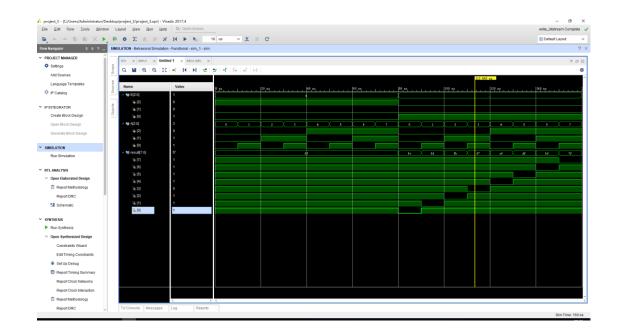
#80 $finish;

end
             Report Utilization
        ★ Report Power
★ Schematic
                                                                          vl mytest(.EE(E),
      PROGRAM AND DEBUG

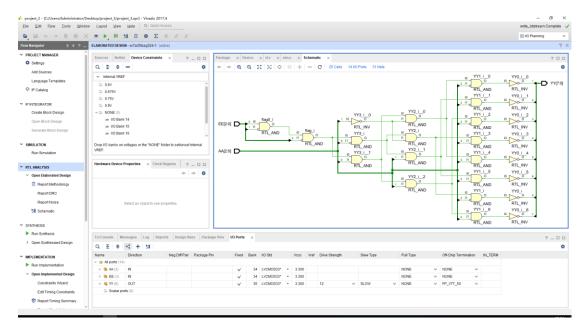
III Generate Bitstream

V Open Hardware Manager
                                                                                . AA(A),
. YY(result)
             Program Device
```

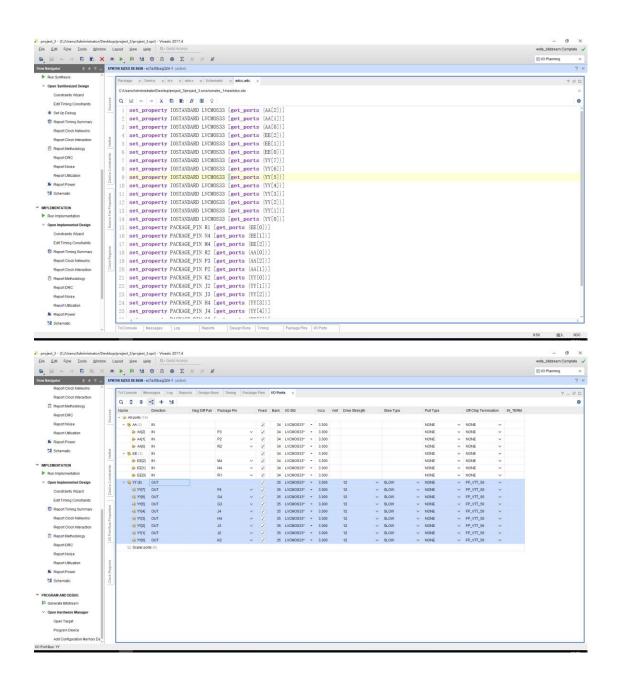
(五) 仿真结果



(六)系统网表 (RTL analysis-> schematic)



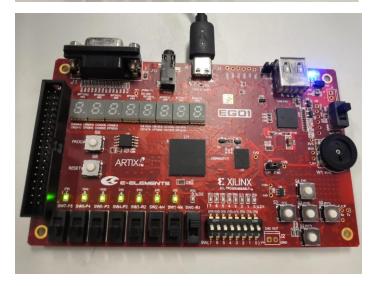
(七) 系统约束



(八) 实验结果







通过控制使能 R1-N4-M4 (分别为原理图的 E1, E2, E3) 以及开关 R2-P2-P3 (分别为原理图的 A1, A2, A3), 实现 74LS138 的功能, 顺利 完成实验。

暨南大学本科实验报告专用纸(附页)