

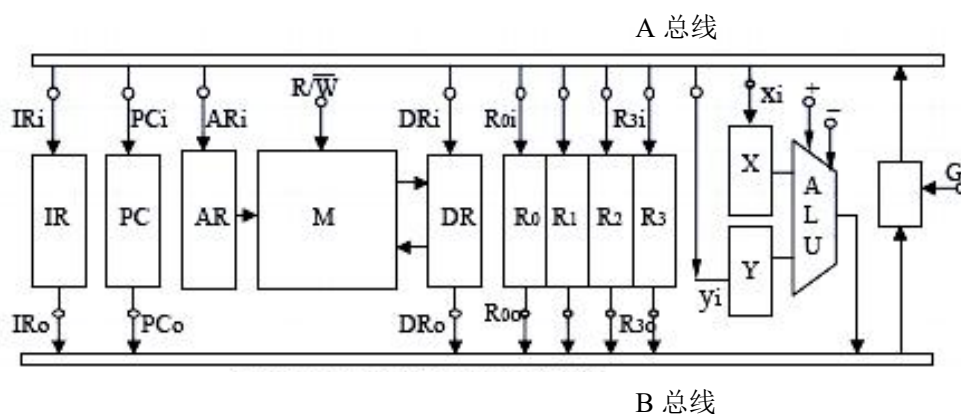
作业（5.1，5.2）

1. 中央处理器是指_____。
 - a) 运算器
 - b) 控制器
 - c) 运算器、控制器和 cache
 - d) 运算器、控制器和主存储器
2. 在 CPU 中跟踪指令后继地址的寄存器是_____。
 - a) 指令寄存器
 - b) 程序计数器
 - c) 指令寄存器
 - d) 程序状态字寄存器
3. （第四、五章内容）某机器字长 16 位，主存按字节编址，转移指令采用相对寻址，由两个字节组成，第一个字节为操作码字段，第二个字节为相对位移量字段。假定取指令时，每取一个字节 PC 自动加 1。某转移指令所在主存地址为 2000H，相对位移量字段的内容为 06H，则该转移指令成功转移之后的目标地址是 _____。
 - a) 200AH
 - b) 2009H
 - c) 2007H
 - d) 2008H
4. 指令周期是指_____。
 - a) CPU 从主存取出一条指令的时间
 - b) CPU 执行一条指令的时间
 - c) 时钟周期时间
 - d) CPU 从主存取出并执行一条指令的时间
5. （选做）由于 CPU 内部的操作速度较快，而 CPU 访问一次主存所花的时间较长，因此机器周期通常用_____来规定。
 - a) 主存中写入一个数据字的平均时间
 - b) 主存中读取一个数据字的最长时间
 - c) 主存中读取一个指令字的最短时间
 - d) 主存中读取一个数据字的平均时间
6. （选作）下列寄存器中，汇编语言程序员可见的是_____。
 - a) 程序计数器 PC
 - b) 存储器地址寄存器 MAR
 - c) 指令寄存器 IR
 - d) 存储器数据寄存器 MDR
7. P₁₈₃ 1 注：（2）改为：保存当前 CPU 所访问的操作数的内存地址，或 CPU 正在执行的指令的内存地址的寄存器

8. 双总线结构机器的数据通路如图所示，IR 为指令寄存器，PC 为程序计数器，M 为主存(受 R/\overline{W} 信号控制)，AR 为地址寄存器，DR 为数据缓冲寄存器，ALU 由加、减控制信号决定完成何种操作，控制信号 G 控制的是一个门电路。线上的小圈表示有控制信号，未标字符及小圈的线为直通线，不受控制。

存数指令“STA $R_1, (R_2)$ ”的功能为：将寄存器 R_1 的内容传送至 (R_2) 为地址的主存单元中。

要求：画出该指令的指令周期流程图，并标出各微操作信号序列。

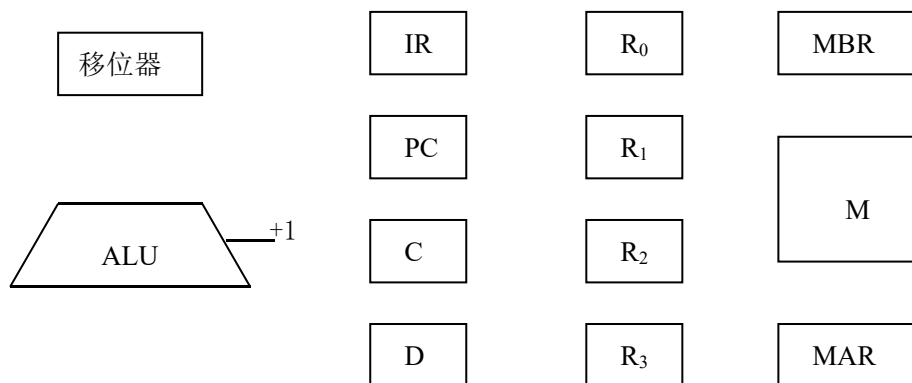


9. P₁₈₃ 3

补充条件：假设取指周期需要一个 CPU 周期，且补充以下微操作信号：

- 写入及读出通用寄存器 R_i 的微操作控制信号分别为 WR_i 、 RR_i
- 打入 IR、DR、AR、PC、PSW 的微操作控制信号分别为 $LDIR$ 、 $LDDR$ 、 $LDAR$ 、 $LDPC$ 、 $LDPSW$ ， $(PC)+1 \rightarrow PC$ 的微操作控制信号为 $PC+1$ 。
- 读写 I-cache 和 D-cache 的微操作控制信号分别为 $R/\overline{W}(I)$ 、 $R/\overline{W}(D)$ 。

10. 某计算机有如下部件：ALU，移位器，主存 M，主存数据寄存器 MDR，主存地址寄存器 MAR，指令寄存器 IR，程序计数器 PC，通用寄存器 $R_0 \sim R_3$ ，暂存器 C 和 D。
- 请将各逻辑部件组成一个数据通路，并标明数据流向。
 - 画出“ADD $(R_0), R_3$ ”指令的指令周期流程图（含取指过程与确定后继指令地址）。该指令的含义是进行求和操作，源操作数在主存单元 (R_0) 中，目的操作数在寄存器 R_3 中，运算结果送往 R_3 中。



11. (选做) 某传统 CPU 模型如下图所示。其中虚线框中为 CPU，“存储器”即主存，没有 cache。指令和数据均存放在存储器中。指令和数据的地址均须经过 AR 送至存储器，从存储器读出的指令及读出/写入存储器的数据均需经过 DR。指令“LDA 30”的含义是：将存储器 30 号单元的数据取至累加器 AC 中。试给出该指令的指令周期流程图。（注意总线传送方向：箭头指向）

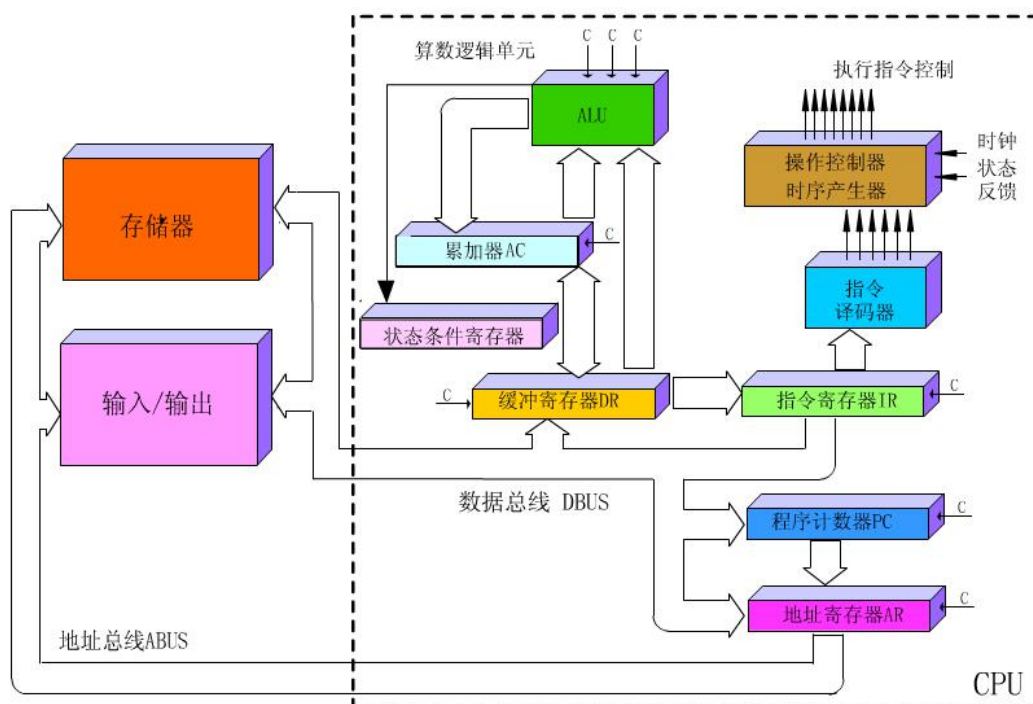


图5.1 CPU 的结构