

暨南大学本科实验报告专用纸

课程名称 数字逻辑实验 成绩评定
实验项目名称 Verilog 门级建模 指导教师 梁倬騫
实验项目编号 0806003802 实验项目类型 验证 实验地点 N126
学生姓名 陈沛恩 学号 2020101612
学院 信息科学技术学院 系 计算机科学系 专业 计算机科学与技术
实验时间 2021 年 10 月 11 日 下 午 ~ 10 月 11 日 午温度 °C 湿度

一、实验目的

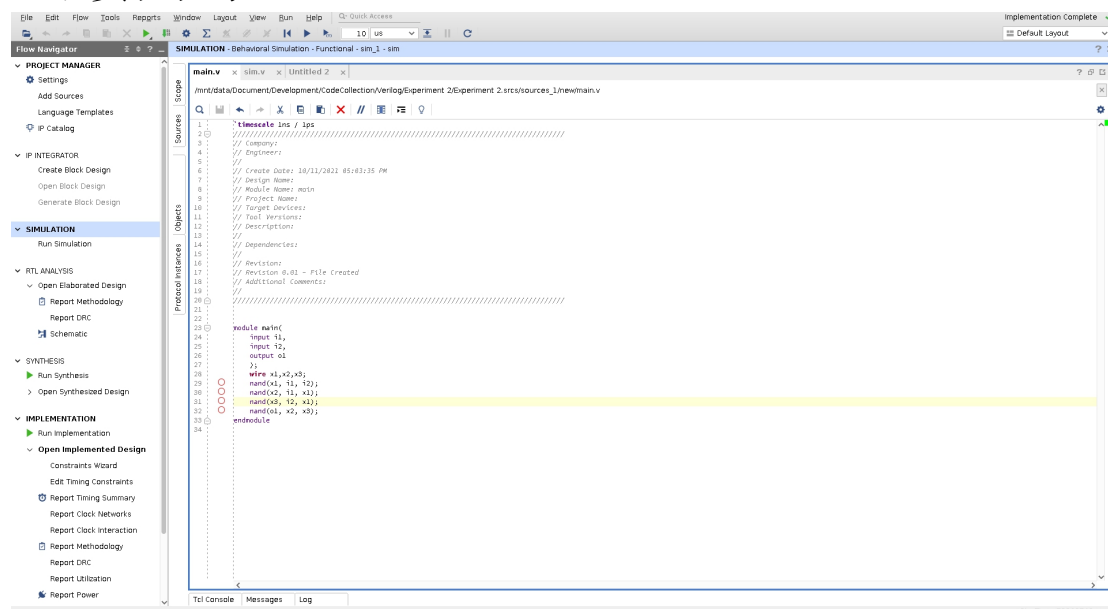
1. 掌握用 Verilog HDL 进行门级建模
2. 熟悉用 Verilog HDL 写仿真程序
3. 熟悉使用 Vivado 软件
4. 学会验证基本逻辑门电路之间的转换方法
5. 熟悉使用 EGO-1 实验板

二、实验内容

用与非门（NAND）来实现异或（XOR）运算

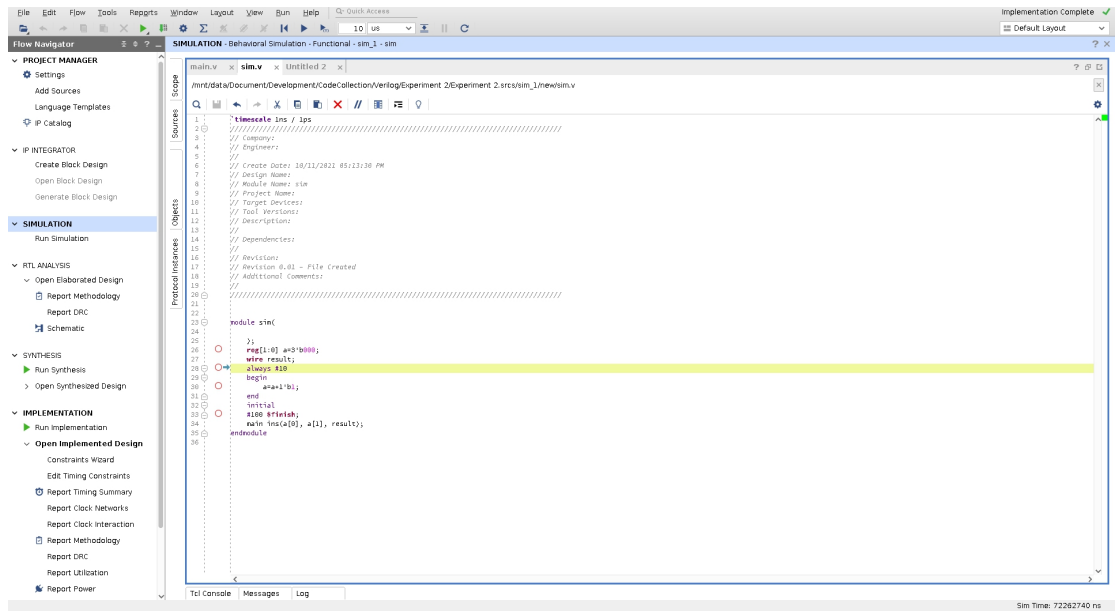
注意：只能使用 NAND.

三、实验程序

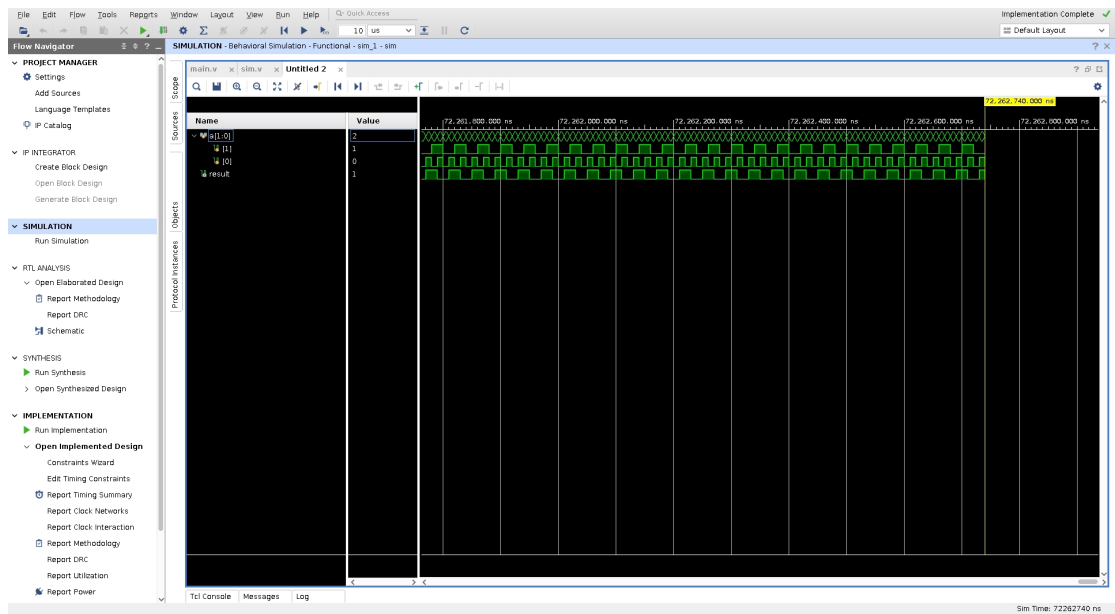


```
1: timescale 1ns / 1ps
2: //////////////////////////////////////////////////
3: // Company:
4: // Engineer:
5: //
6: // Create Date: 10/11/2021 8:43:35 PM
7: // Design Name:
8: // Module Name: main
9: // Project Name:
10: // Target Device:
11: // Tool Versions:
12: // Description:
13: //
14: // Dependencies:
15: //
16: // Revision:
17: // Revision 0.01 - File Created
18: // Additional Comments:
19: //
20: //////////////////////////////////////////////////
21:
22:
23: module main(
24:     input a,
25:     input b,
26:     output y
27: );
28:     wire x1,x2,x3;
29:     nand(x1, a, b);
30:     nand(x2, a, x1);
31:     nand(x3, x2, x1);
32:     y = x3;
33: endmodule
```

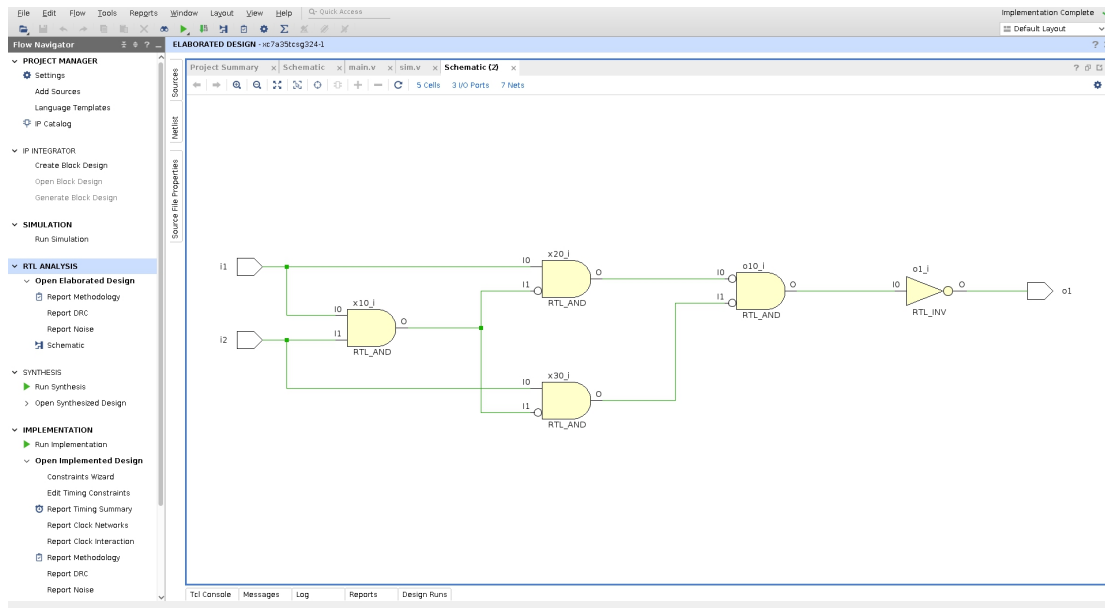
四、仿真程序



五、仿真结果



六、系统网表



七、系统约束

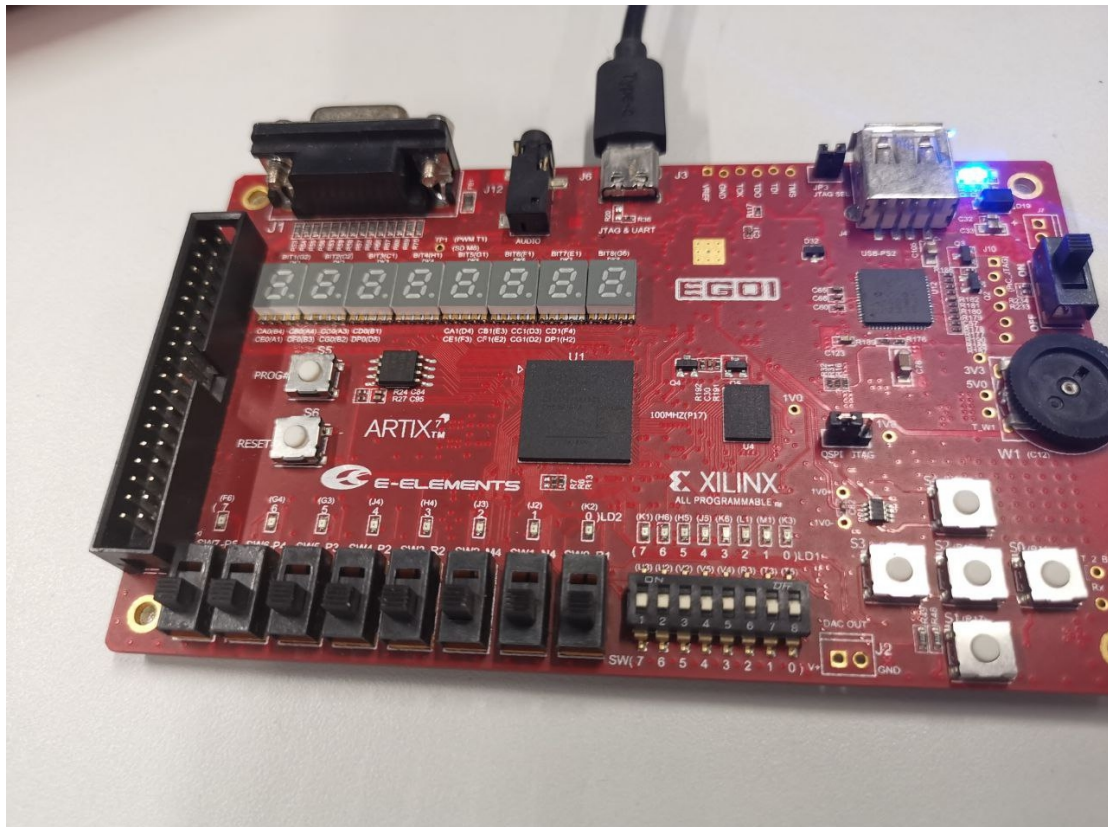
```

1 set_property IOSTANDARD LVCMOS33 [get_ports i1]
2 set_property IOSTANDARD LVCMOS33 [get_ports i2]
3 set_property IOSTANDARD LVCMOS33 [get_ports o1]
4 set_property PACKAGE_PIN R1 [get_ports i1]
5 set_property PACKAGE_PIN N4 [get_ports i2]
6 set_property PACKAGE_PIN K2 [get_ports o1]

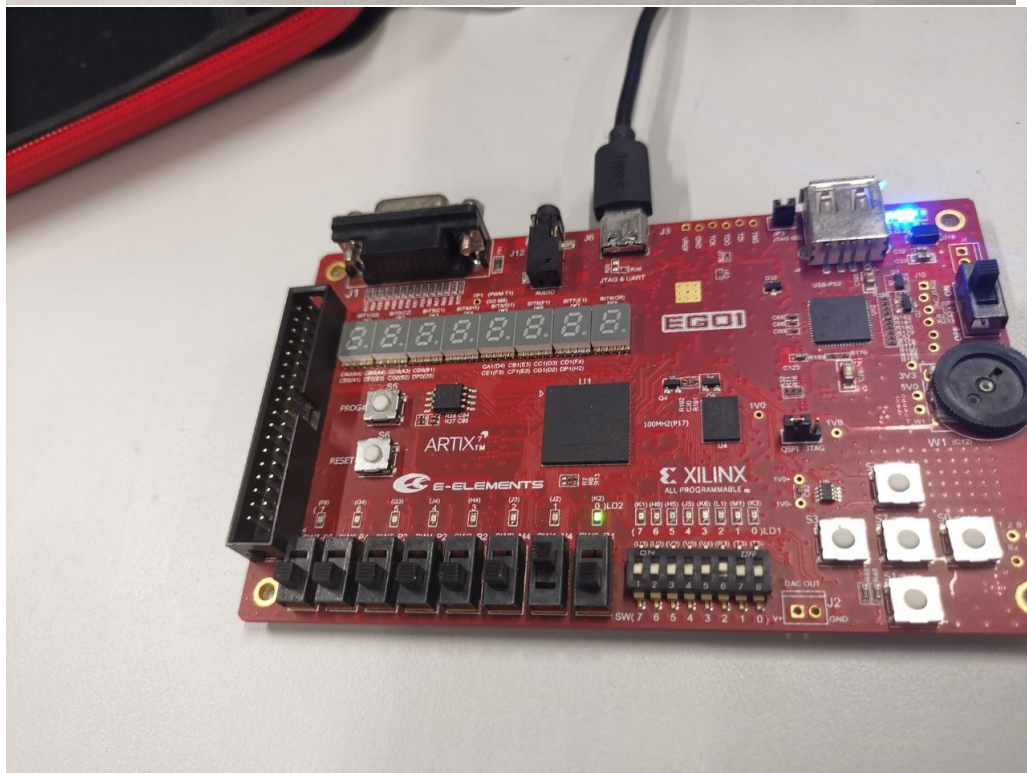
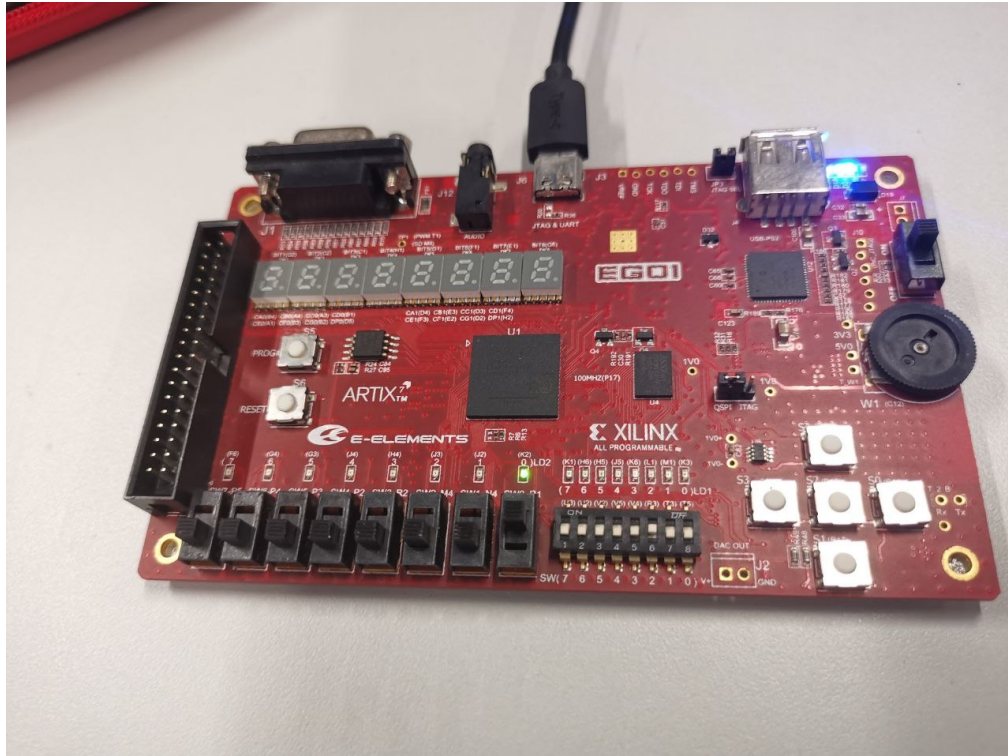
```

八、实验结果

在实验中，R1、N4 分别对应输入(i1, i2)，上面 LED 灯(K2)对应输出结果
当输入均为零时，输出如图



当其中一个输入为一时，对应输出如图



当有两个输入为一时，输出如图

