

暨南大学本科实验报告专用纸

课程名称 数字逻辑实验 成绩评定
实验项目名称 多路选择器 指导教师 梁倬骞
实验项目编号 0806003803 实验项目类型 验证性 实验地点 N126
学生姓名 阮炜霖 学号 2020101603
学院 信息科学技术 系 计算机科学 专业 网络工程
实验时间 2021 年 10 月 18 日 下午 ~ 10 月 18 日 下午 温度 °C 湿度

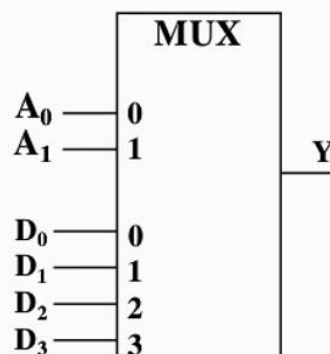
（一）实验目的和要求；

- ❖ 学会用 Verilog HDL 进行数据流建模；
- ❖ 掌握用 Verilog HDL 写仿真程序；
- ❖ 掌握使用 Vivado 软件；
- ❖ 学会使用 Verilog HDL 实现四选一的 2 位数据选择器；
- ❖ 掌握使用 EGO-1 实验板。

（二）实验主要内容；

- ❖ 用 Verilog HDL 语言基于数据流建模实现四选一的 2 位数据选择器。

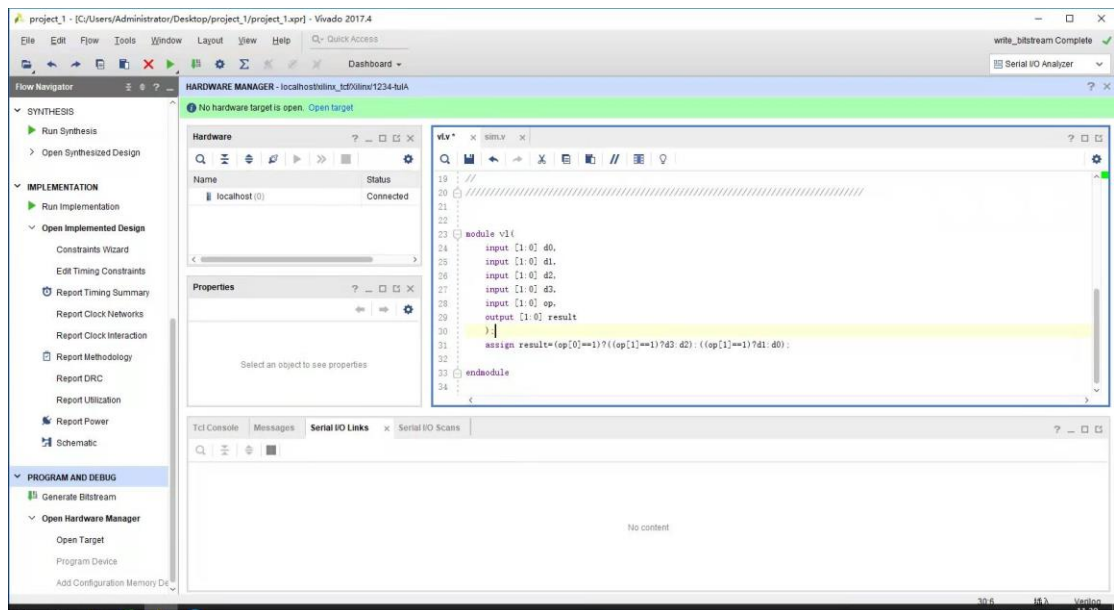
➤ 四选一数据选择器



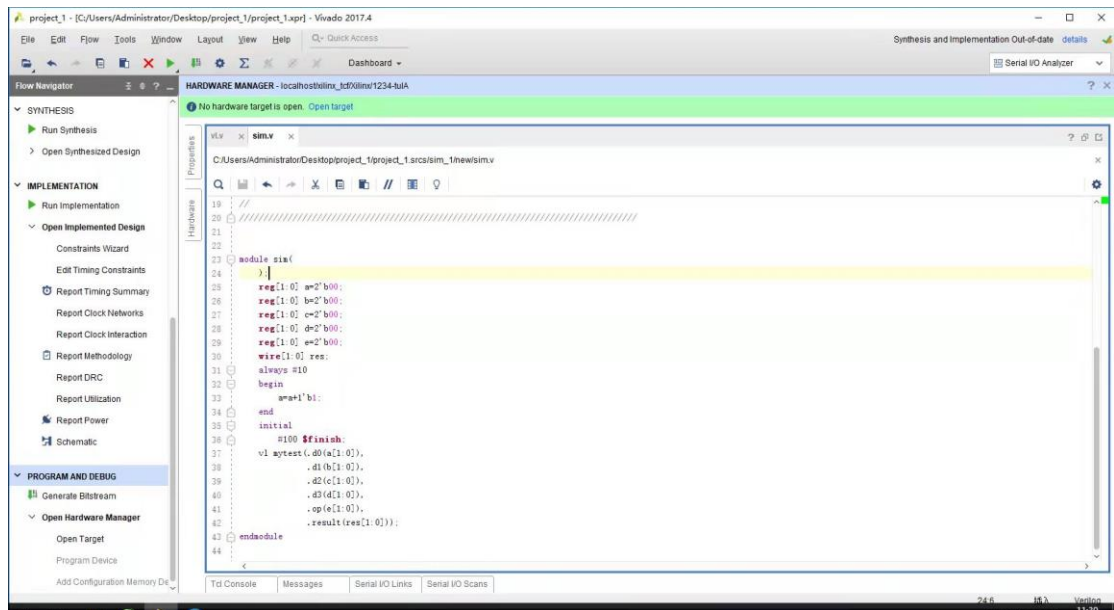
功能表

A_1	A_0	Y
0	0	D_0
0	1	D_1
1	0	D_2
1	1	D_3

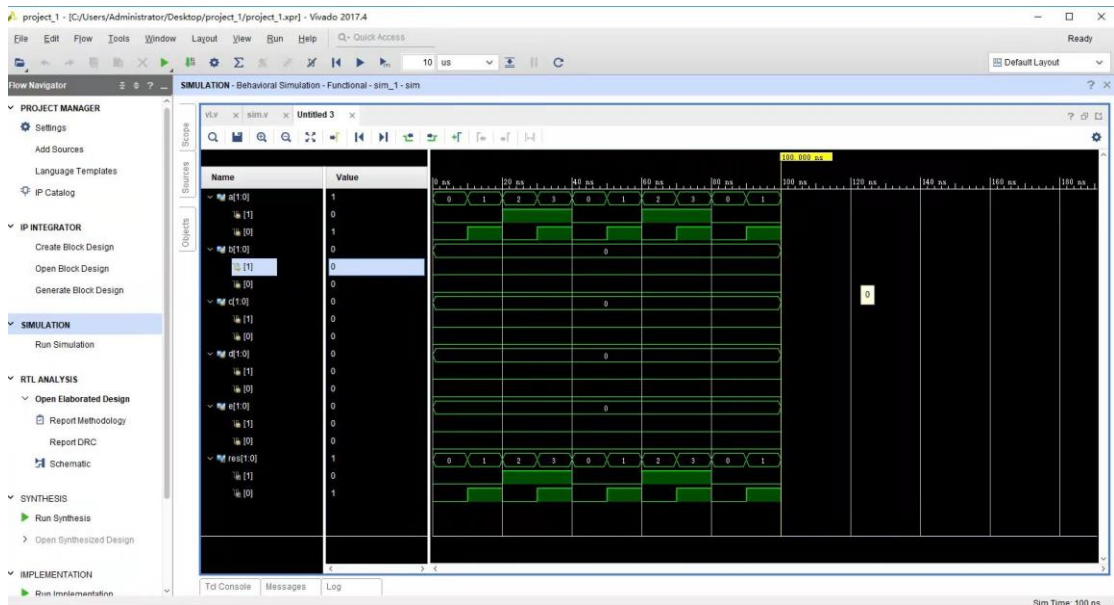
(三) 实验程序



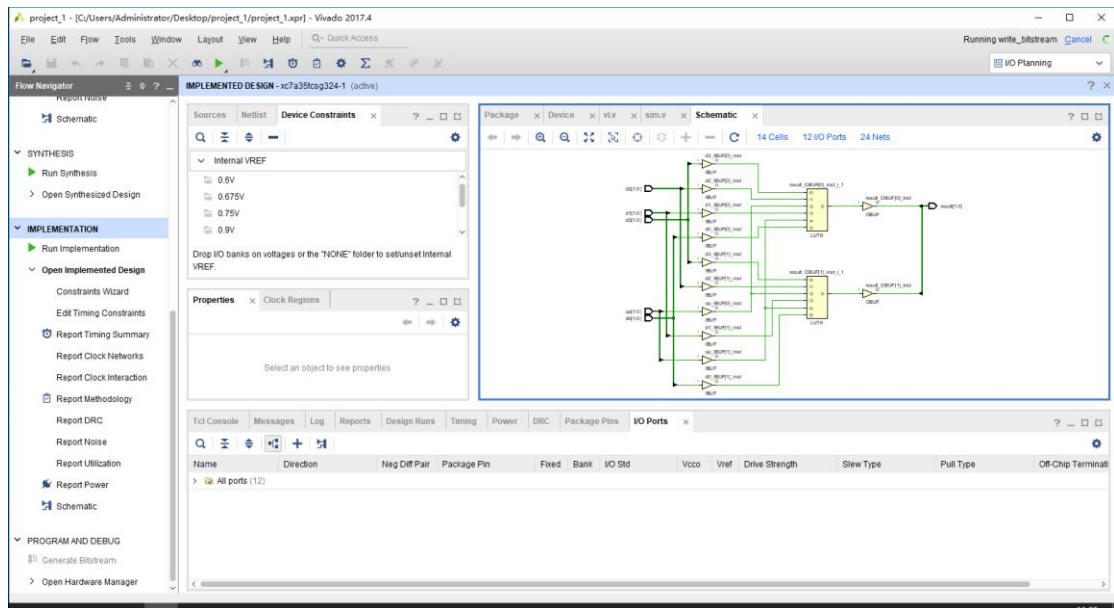
(四) 仿真程序



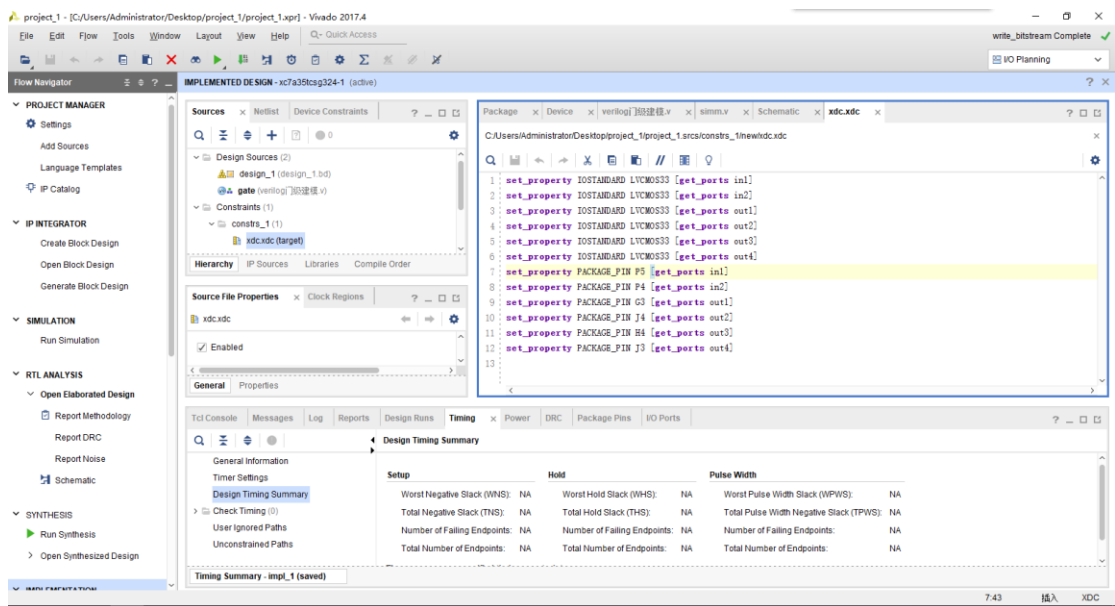
（五）仿真结果



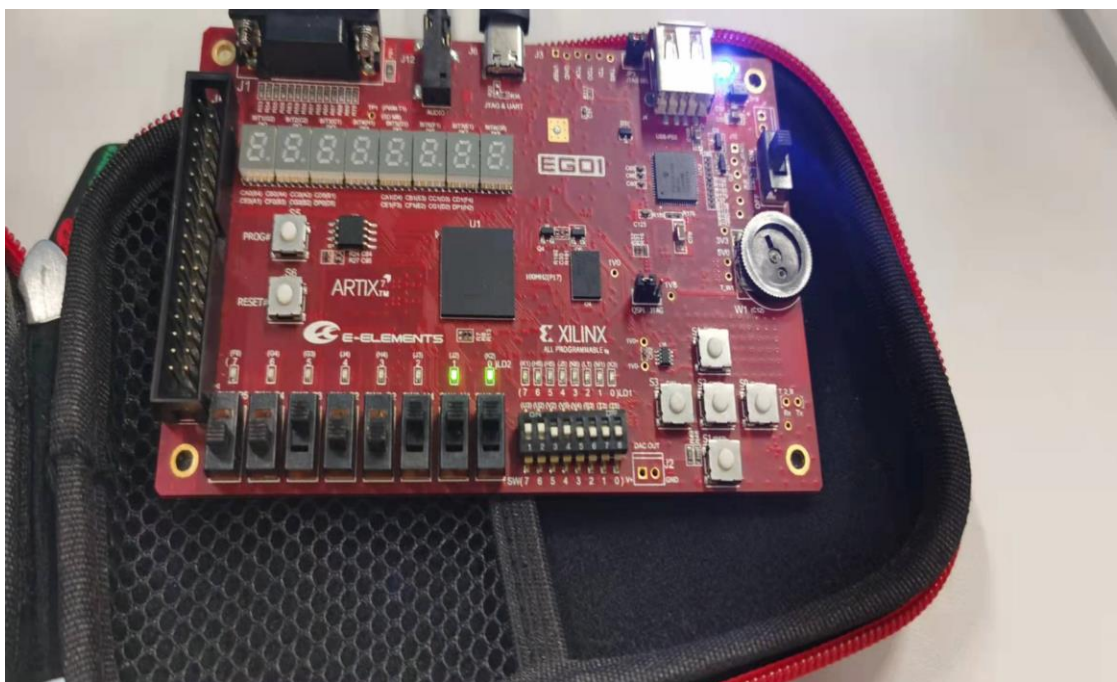
(六) 系统网表 (RTL analysis→ schematic)



(七) 系统约束



(八) 实验结果



通过控制左边大开关和右边小开关实现对输入的 4 个变量（每个变量两位）的选择输出，成功完成了实验目标。

暨南大学本科实验报告专用纸(附页)
