

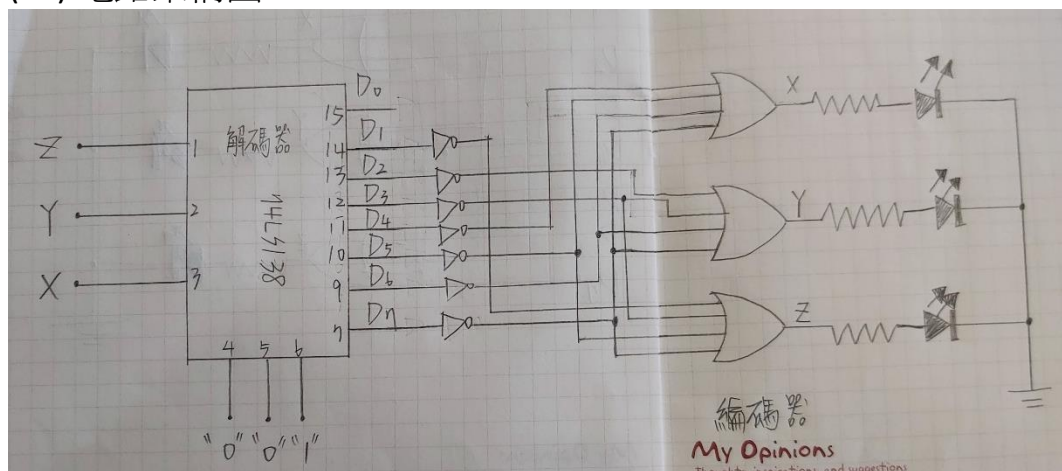
# 主題：編碼器與解碼器

日期： 2020/6/23

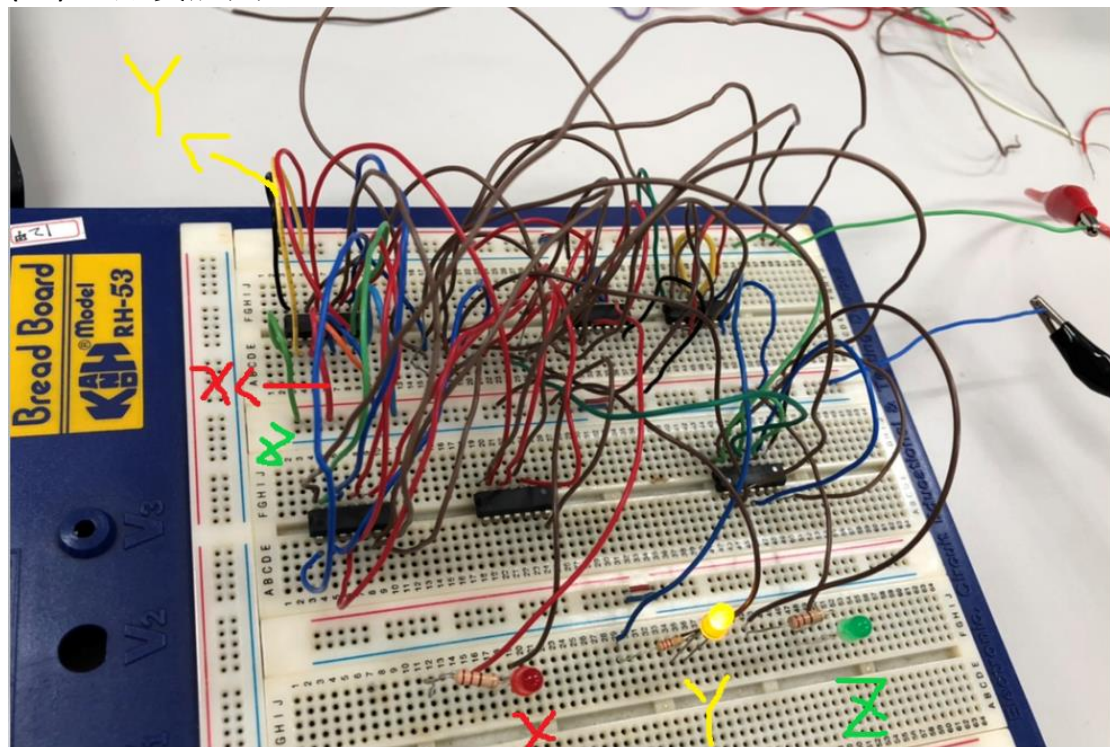
組員： 10727116 張准融

10727145 林承妍

## (一) 電路架構圖



## (二) 電路實體圖



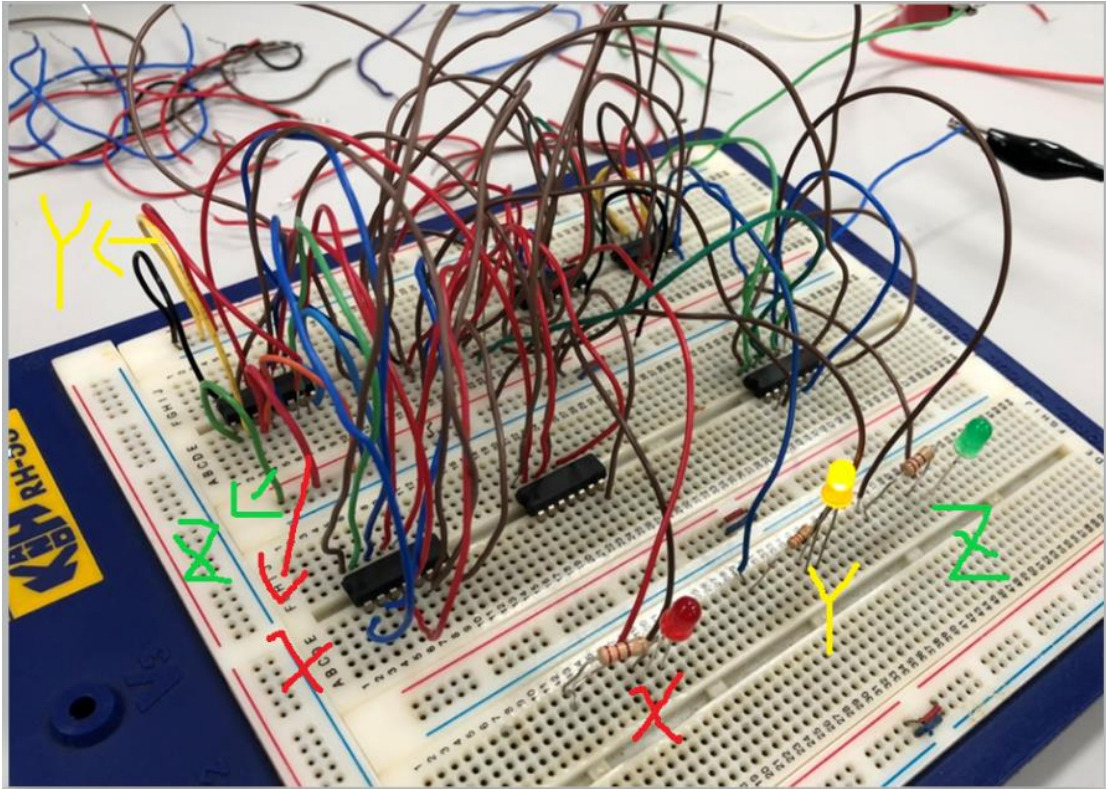


### (三) 實驗內容說明

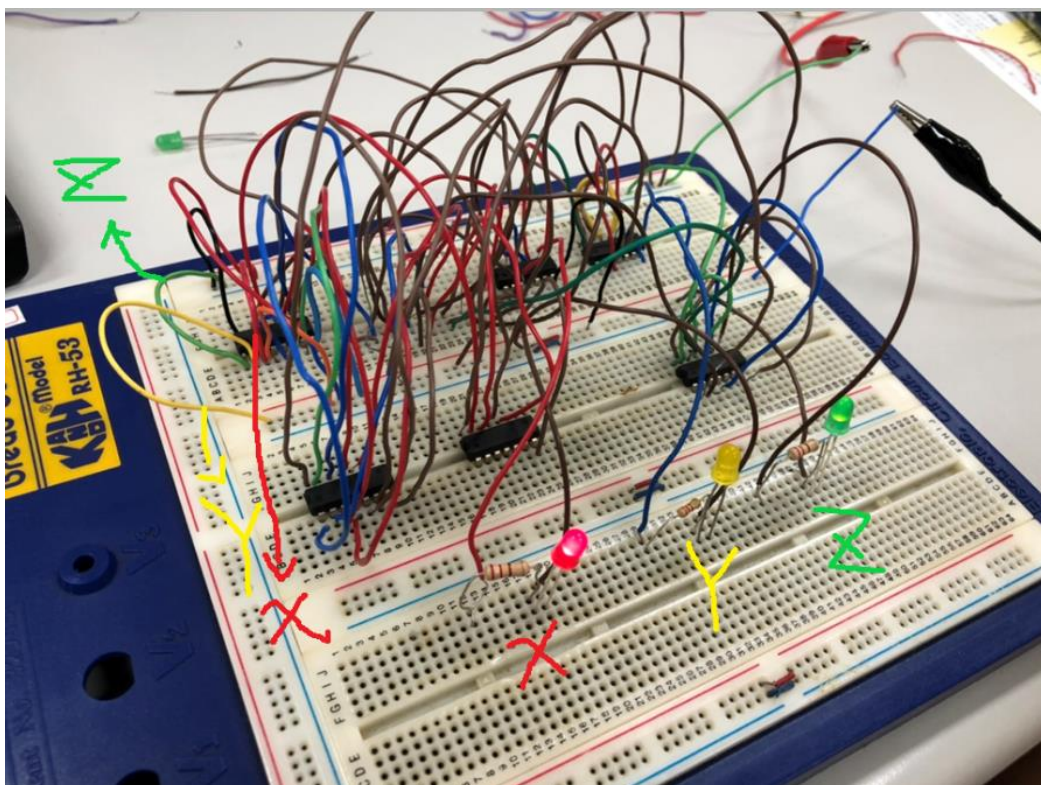
將 xyz 訊號輸入解碼器後，將所有訊號經過反相器轉換，進入編碼器，在輸出結果到訊號燈中，確認亮起的訊號是否為 xyz 的訊號。

### (四) 實驗結果

(1) Pattern1 --  $(x, y, z) = (0, 1, 0)$

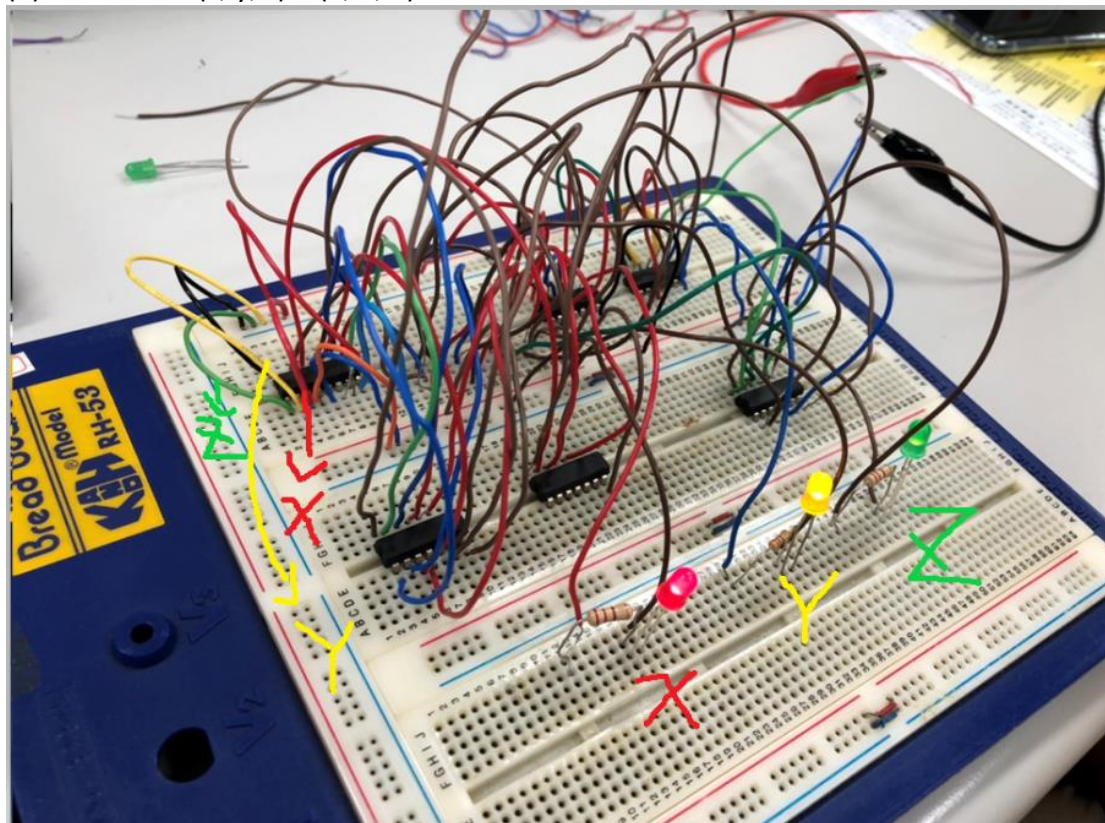


(2) Pattern2 --  $(x, y, z) = (1, 0, 1)$





(3) Pattern3 --  $(x, y, z) = (1, 1, 1)$



## (五)實驗心得

10727116 張准融

這次實驗整合了前兩次 lab 再加上反向器的應用，讓我重新複習了一遍，熟悉了不少，雖然是組員在接線但我也莫名有點成就感。一開始我們還犯下一個錯誤，在將線從解碼器接到反向器再接到編碼器的過程中，我們的線接著反向器的一端然後直接接到編碼器，但應該是要從反向器出來再接過去，這個錯誤提醒我們要更細心一點。後來也發生了燈泡壞掉的情形讓我們一度很緊張，之後組員還特地多拿燈泡進行測試後再接上去。在準備階段時，我還拿錯了電阻，好險組員果決的說要先測試是不是對的電阻，不然最後可能會出奇怪的錯。這次實驗雖然發生了這些意外，但好險最終還是順利完成了。

10727145 林承妍

這次實驗結合了上兩次的實驗內容，沒有到很困難，主要要很仔細，我們一開始還拿到了  $330\Omega$  的電阻，幸好我覺得電阻都長不一樣很奇怪就測看看，後來有換到對的電阻，不過我認為真正困難的點在接線的時候需要非常小心，我這次就有不小心接錯線，導致 z 的燈不會亮，原本以為是燈壞掉(不過燈也確實是壞的)，後來換了兩個才確定可能是接錯線，幸好最後有從錯綜複雜的接線裡面找到真正的位置，也沒想到光是接線就要花將近半小時的時間，看來這次的實驗是在考驗我們的耐心與細心，而 Verilog code 因為已經做了好多次實驗，而且也做完了計組的兩個 project，做起來並不困難，很高興順利的度過了這次的電子實驗，玩實驗也挺有趣的，希望以後也有機會可以做實驗。

## (六) 解碼器的 Verilog Coding

```
`timescale 1ns / 1ns
```

```
module Decoder( x, y, z, d1, d2, d3, d4, d5, d6, d7 );  
input x, y, z ;  
output d1, d2, d3, d4, d5, d6, d7 ;  
wire d0, x_not, y_not, z_not ;  
  
assign x_not = ~x ;  
assign y_not = ~y ;  
assign z_not = ~z ;  
  
assign d0 = x_not & y_not & z_not ;  
assign d1 = x_not & y_not & z ;  
assign d2 = x_not & y & z_not ;  
assign d3 = x_not & y & z ;  
assign d4 = x & y_not & z_not ;  
assign d5 = x & y_not & z ;  
assign d6 = x & y & z_not ;  
assign d7 = x & y & z ;  
  
endmodule
```

## (七) 編碼器的 Verilog Coding

```
`timescale 1ns / 1ns
```

```
module Encoder( d1, d2 , d3, d4, d5, d6, d7, x, y, z );  
input d1, d2, d3, d4, d5, d6, d7 ;  
  
output x, y, z ;  
  
assign x = d4 | d5 | d6 | d7 ;  
assign y = d2 | d3 | d6 | d7 ;  
assign z = d1 | d3 | d5 | d7 ;  
  
endmodule
```

(八) 解碼器與編碼器串接做(x,y,z)還原測試的模擬 waveform

