**CS202-CPU大作业检查表（答辩时间：5.29周一78节）**

|  |  |  |
| --- | --- | --- |
| **用例编号**  **（场景1）** | **用例描述** | **测试数据及结果**  **(答辩负责人签名) :** |
| 3’b000 | **输入a，led灯上显示a，同时用1个led灯显示a是否为二的幂的判断** |  |
| 3’b001 | **输入测试数a，输入完毕后在输出设备上显示a，同时用1个led灯显示a是否为奇数的判断**（比如8’h01,8’hab是奇数,该led灯亮，8’ha0,8’hbc不是奇数则该led灯不亮） |  |
| 3’b010 | **先执行测试用例3’b111, 再计算 a 和 b的按位或运算，将结果显示在输出设备** |  |
| 3’b011 | **先执行测试用例3’b111, 再计算 a 和 b的按位或非运算，将结果显示在输出设备** |  |
| 3’b100 | **先执行测试用例3’b111, 再计算 a 和 b的按位异或运算，将结果显示在输出设备** |  |
| 3’b101 | **先执行测试用例3’b111, 再执行 slt 指令，将a和b按照有符号数进行比较，用输出设备展示a<b的关系是否成立** (关系成立，亮灯，关系不成立，灭灯） |  |
| 3’b110 | **先执行测试用例3’b111, 再执行 sltu 指令，将a和b按照无符号数进行比较，用输出设备展示a<b的关系是否成立**  (关系成立，亮灯，关系不成立，灭灯） |  |
| 3’b111 | **输入测试数a, 输入测试数b，在输出设备上展示a和b的值** |  |

|  |  |  |
| --- | --- | --- |
| **用例编号**  **（场景2）** | **用例描述** | **测试数据及结果**  **(答辩负责人签名) :** |
| 3’b000 | **输入a的数值（a被看作有符号数），计算1到a的累加和，在输出设备上显示累加和（如果a是负数，以闪烁的方式给予提示**） |  |
| 3’b001 | 输入a的数值（**a被看作无符号数**），以递**归的方式计算1到a的累加和**，**记录本次入栈和出栈次数**，**在输出设备上显示入栈和出栈的次数之和** |  |
| 3’b010 | 输入a的数值（**a被看作无符号数**），**以递归的方式计算1到a的累加和，记录入栈和出栈的数据，在输出设备上显示入栈的参数，每一个入栈的参数显示停留2-3秒** （说明，此处的输出不关注$ra的入栈和出栈信息） |  |
| 3’b011 | 输入a的数值（**a被看作无符号数**），**以递归的方式计算1到a的累加和，记录入栈和出栈的数据，在输出设备上显示出栈的参数，每一个出栈的参数显示停留2-3秒**（说明，此处的输出不关注$ra的入栈和出栈信息） |  |
| 3’b100 | 输入测试数**a**和测试数**b**，实现**有符号数**（a，b以及相加和都是8bit，其中的最高bit被视作符号位，**如果符号位为1，表示的是该负数的补码**）的**加法**，并对**是否溢出进行判断，输出运算结果以及溢出判断** |  |
| 3’b101 | 输入测试数**a**和测试数**b**，实现**有符号数**（a，b以及差值都是8bit，其中的最高bit被视作符号位，**如果符号位为1，表示的是该负数的补码**）的**减法**，并对是否溢出进行判断，**输出运算结果以及溢出判断** |  |
| 3’b110 | 输入测试数**a**和测试数**b**，实现**有符号数**（a，b都是8bit，乘积是16bit，其中的**最高bit被视作符号位**，**如果符号位为1，表示的是该负数的补码**）的**乘法**，**输出乘积** |  |
| 3’b111 | 输入测试数**a**和测试数**b**，实现**有符号数**（a，b，商和余数都是8bit，其中的**最高bit被视作符号位，如果符号位为1，表示的是该负数的补码**）的**除法**，**输出商和余数（商和余数交替显示，各持续5秒**） |  |

|  |  |  |
| --- | --- | --- |
|  | **答辩负责人签名 :** | **测试结果** |
| **代码有效性检查** | 生成bitstream的代码是否与答辩上传的一致 |  |
| asm更新后加载到CPU中执行，是否生效 |  |

|  |  |  |
| --- | --- | --- |
| 小组成员签名(姓名-学号-实验班时间） | 贡献比 | 问答登记(所负责的模块，该部分问答的情况) **(答辩负责人签名) :** |
| 颜云翔-11912525-原周三34节-现周一78 | 1/3 | executs32.v, UART(cpu\_top.v, ifetc32.v, dmemory32.v) |
| 陈奕冲 12111218 周一78 | 1/3 | Ifetch,dmemory,IO ,cputop,vga |
| 黄子勖 12111227 周一78 | 1/3 | Decoder.v, controller.v, asm编写 |

|  |  |  |  |
| --- | --- | --- | --- |
| **CPU代码规范性， CPU实现所采用的语言：** | | 检查结果及必要说明 **(答辩负责人签名) :** | |
| 注释较全且能够说明问题 | |  | |
| 结构化设计 | |  | |
| 组合逻辑语句块中的if-else，以及case结构中是否明确所有分支 | |  | |
| 在一个always语句块里是否出现阻塞赋值、非阻塞赋值的混用 | |  | |
| 时序逻辑（敏感列表中是否出现 跳变沿和电平信号混用） | |  | |
| 时序逻辑（敏感列表中是否出现非时钟、非复位信号的跳变沿） | |  | |
| 模块定义中使用参数，使用头文件集中防止所有参数的定义（+1） | |  | |
|  | **方案自述** | | **检查结果及说明**  **(答辩负责人签名) :** |
| CPU 特性 | 单周期，基本时钟频率23M HZ | |  |
| CPU参考方案出处 | Computer Organization & Design, the Hardware/Software Interface, D. A. Patterson and J. L. Hennessy, 5th edition；  Computer Architecture - a quantitative approach, Hennessy and Patterson, 5th edition | |  |
| 基于CPU参考代码  所做修改 | 1. Decoder传入JR信号读出31号寄存器的值 2. IFech储存单元由ROM改为RAM以适应UART传输模式 3. 将数字输出的LED改为七段数码显示管以实现更好用户交互 | |  |
| IO方案 | 用lw,sw里的立即数拓展的高20来对应板上不同拨码开关和七段数码管，led灯的输入输出。并用memorio来判断lw的数据来自内存还是io | |  |
|  |
| 栈空间方案 | 把sp寄存器一开始存大的的地址防止调用函数时sp小于0 | |  |
|  |
| 溢出检测方案 | 使用软件实现，判断计算结果是否在4bit有符号数范围内 | |  |
| 乘除法实现方案 | 使用软件实现，借鉴课程上学习的乘法器和除法器以实现。 | |  |

Bonus及说明(实现pipeline、中断等机制，需要小组自行提供可靠的测试用例，实现其他外设，需要有该外设对应的IO地址方案以及确认落地方式）

|  |  |
| --- | --- |
| Bonus 自述 | Bonus 检查及说明 **(答辩负责人签名) :** |
| 1. UART   我们实现了使用UART传输协议在不重新烧写FPGA板的情况下进行不同程序的加载。   1. 接口： 我们在cpu\_top.v中添加了两个输入start\_pg, rx 一个输出tx。其中中rx，tx和EGO1开发板的N5和T4 pin相连，start\_pg和开发板S3按钮所对应的V1接口相连。 2. 操作：通过按压S3和S2按钮可以实现communication mode和normal mode的切换 3. VGA   通过控制每一个数码点的值来控制在屏幕上的显示的数。   1. 七段数码显示管   通过分屏器让显示管使能信号轮流变换，让显示的值轮流在每个七段数码管显示数值，达到显示不同数字的目的。  4.led灯显示位运算结果，七段管显示加减乘除结果 |  |